[II~12]

# 등방성 및 비등방성 건식 식각에 의한 다결정 실리콘 전계 에미터 어레이 형성에 관한 연구

조경재, 강승열, 송윤호, 이진호, 이상윤*, 조경익, 유형준
한국전자통신연구원 반도체연구단
*경북대학교 물리학과

실리콘 전계 에미터 어레이(FEA)는 반도체 공정을 호환성 있게 사용 할 수 있고, 높은 균일성을 가진 뾰족한 팁(tip)을 제작할 수 있기 때문에 FED(Field Emission Display)나 기타 전자원으로 많은 연구가 이루어져 왔다[1]. 그러나, 단결정 실리콘 FEA는 FED에의 응용시 실리콘 웨이퍼 크기의 제약으로 대면적화가 어렵고, 캐소드 전극들 사이간에 전기적 절연에 대한 문제가 있다. 한편, 다결정 실리콘(poly-Si)을 유리 기판 위에 증착시켜 FEA를 형성하는 경우[2], 위에서 언급한 문제점을 해결할 수 있을 뿐만 아니라, 다결정 실리콘 박막 트랜지스터(poly-Si TFT)를 이용한 구동 회로의 집적화가 가능하다. 유리 기판을 사용하는 경우 600℃ 이상의 고온 공정을 사용 할 수 없으므로 현재 900℃ 이상이 요구되는 첨예화 산화(sharpening oxidation) 공정을 사용 할 수 없게 된다. 그러므로 새로운 방법의 저온 팁 첨예화 공정이 요구되고 있다. 본 연구에서는 이러한 문제점을 해결하기 위해 건식 식각만을 이용한 팁 첨예화 방법을 제시하기로 한다.

먼저 P(100)형 실리콘 기판 위에 3000 Å의 산화막을 성장시킨 뒤에 470℃에서 $Si_2H_6$ 가스를 이용한 LPCVD 방법으로 2 ㎛ 두께의 비정질 실리콘을 증착하였다. 비정질 실리콘 위에 산화막을 증착하고 광리소그래피을 이용하여 팁 마스크를 패터닝 한 후, 산화막을 건식 식각하여 직경 1.2 ㎛인 팁 마스크를 형성하였다. 그 다음 비정질 실리콘을 $SF_6$으로 등방성 식각을 한 다음, $HBr/Cl_2$를 사용하여 비등방성 식각을 수행하였다. 그리고 6:1 BHF 용액속에서 산화막을 제거한 후 다시 비정질 실리콘을 $SF_6$으로 등방성 식각을 수행하고, 그 후 저온(600℃)에서 열처리하여 높이 1.1 ㎛을 가지는 뾰족한 다결정 실리콘 팁 어레이를 형성하였다.

본 연구에서는 팁 형성을 위한 식각 공정을 비정질 실리콘 상에서 수행함으로써 매우 매끄럽고 뾰족한 팁을 형성할 수 있었고, 또한 순수 건식 식각 공정만을 이용하여 저온에서 재현성과 균일성이 우수한 다결정 실리콘 에미터 팁을 제작 할 수 있었다. 이러한 공정을 이용하면 다결정 실리콘 팁을 저온에서 형성 할 수 있으므로 유리기판을 사용한 대면적 FED 제작에 응용될 수 있다. 자세한 제조 공정 및 제작된 에미터 팁의 전계 방출 특성은 학회에서 발표 될 예정이다.

참고문헌

1. K. Betsui, 4th IVMC Tech. Dig., p. 26. 1991.
2. Yoon-Ho Song et al., 4th ASID Proc., p. 145, Hong Kong, Feb, 1997.