

실리콘 산화막에서 스트레스 전류의 두께 의존성 Thickness Dependence of Stress Currents in Silicon Oxide

강창수 유한전문대학 전자과
이형옥 오산전문대학 전자과
이성배 광운대학교 전자재료공학과
서광열 광운대학교 전자재료공학과

Chang-Soo Kang Dept. of Electronic Engineering, Yuhhan College
Hyung-Ok Lee Dept. of Electronic Engineering, Osan College
Sung-Bae Lee Dept. of Electronic Material Engineering, Kwangwoon University
Kwang-Yeol Seo Dept. of Electronic Material Engineering, Kwangwoon University

Abstract

The thickness dependence of stress voltage oxide currents has been measured in oxides with thicknesses between 10nm and 80nm. The oxide currents were shown to be composed of stress current and transient current. The stress current was caused by trap assisted tunneling through the oxide. The transient current was caused by the tunneling charging and discharging of the trap in the interfaces. The stress current was used to estimate to the limitations on oxide thicknesses. The transient current was used to the data retention in memory devices.

I. 序論

半導體 產業의 急速한 伸張에 따라 金屬酸化物半導體 素子는 高信賴性 실리콘 酸化物을 要求한다. 실리콘 酸化膜은 스위칭, 絶緣, 記憶機能에 重要한 役割을 한다. 高品質의 얇은 실리콘 酸化膜은 高集積度 改善에 必須의 要素이다.^{1,2)}

高品质 酸化膜을 為한 얇은 실리콘 酸化膜에 對한 스트레스 電流, 스트레스 誘起 漏泄電流(SILC:Stress Induced Leakage Current) 그리고 轉移電流에 關한 研究가 集中되고 있다.³⁾ 酸化膜에 引加되는 스트레스 電壓은 스트레스 電流, 스트레스 誘起 漏泄電流 그리고 轉移電流를 誘發한다. 스트레스 電流는 얇은 酸化膜의 限界를 評價할 수 있다.⁴⁾ 스트레스 誘起 漏泄電流는 얇은 酸化膜에서 低電壓 破壞現象을 나타낸다.⁵⁾ 그리고 酸化膜 두께가 減少할수록 增加함을 보여주고 있다.⁶⁾ 스트레스 誘起 漏泄電流와 轉移電流는 界面에서 發生된 트랩의 트래핑과 디트래핑에 依한 터널링 現象에 依해 發生한다.⁷⁾ 스트레스 電壓을 引加하고 난 後, 發生된 轉移電流는 記憶素子의 記憶維持 特性에 影響을 준다.⁸⁾ 스트레스 電流와 轉移電流는 引

加 電壓이 增加함에 따라 增加한다.⁹⁾

本 研究에서는 酸化膜 두께를 다르게 製作한 素子에서 酸化膜 電流와 轉移電流를 測定 調査하였다. 酸化膜에 흐르는 酸化膜 電流와 轉移電流는 스트레스 電壓, 스트레스 極性, 酸化膜 두께 그리고 時間의 函数로써 스트레스 電壓 前後에 測定하고 메모리 素子에 應用 可能性을 調査하였다.

II. 實驗

素子는 比抵抗 $1\sim2 \Omega\text{cm}$ 인 n과 p形 基板에 LOCOS 過程과 n+ 폴리실리콘 게이트를 使用하여 850°C 乾式 酸化法으로 製作하였다. 酸化膜 두께는 各各 111.3\AA , 204\AA , 398.3\AA 그리고 814\AA 이고, 素子의 게이트 面積은 各各 10^{-3}cm^2 이었다. 스트레스 電壓에 따른 電壓 電流特性은 휴렛 패커드 HP4140B, 웨이브택 395 그리고 마이크로 매니퓰레이터 프로브 스테이션을 連結하여 測定하였다. 이 때 캐패시터의 스트레스 電壓은 HP4140B의 電壓源을 使用하여 引加하였다. 마이크로

배니플레이터는 쉴드箱子로完全遮蔽하였으며 웨이퍼上端에서 3次元軸으로動作하는 텁을 사용하였다. 웨이퍼는 3次元軸으로動作하는 척에 固定시키기為해서 真空 펌프를 使用하였다. HP4140B는 램프電壓과 固定電壓에 依한 電流를 測定하기為해서 使用하였으며, 피코 암페어 미터의 測定範圍는 1㎲to 암페어였다. 테스트 리드 획스쳐의 스트레이電流 및 캐페시턴스는 오프셋 키이에 依해 最小化하였다. 피코 암페어로 測定되어진 데이터는 허렛 패코드 HP9000으로 데이터 파일을 傳送하여 分析하였다.

電壓에對한 酸化膜電流密度의 램프電壓 測定條件은 始作電壓, 終電壓, 段階電壓, 段階時間, 維持時間 그리고 스윕率를 變化시키면서 實行하였다. 高스트래스電壓은 固定電壓과 固定時間에 對하여 遂行하였다. 스트래스電流와 轉移電流에對한 時間의 測定은 高스트래스電壓을 引加하였을 때와 引加後를 測定하였다.

III. 結果 및 討議

酸化膜에 스트래스電壓을 引加할 때 흐르는 電流는 變位電流, 터널링電流, 스트래스誘起漏泄電流로構成되며, 스트래스電壓를 引加하고 난 後 흐르는 電流는 變位電流와 트랩의 充放電 터널링電流로構成된다.

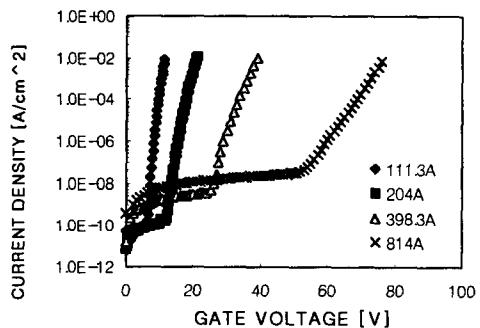


그림 1 酸化膜 두께에 따른 케이트電壓에對한 電流密度

Fig. 1 The gate voltage vs. current density according to oxide thickness

酸化膜 두께에 따른 電壓電流密度, 電壓電流 그리고 時間電流의 測定은 酸化膜의 스트래스電流, 轉移電流를 理解하고 記憶素子에 利用할 수 있는 酸化膜

의 限界를 把握할 수 있다.

酸化膜 두께 111.3Å, 204Å, 398.3Å 그리고 814Å 金屬酸化物 半導體에서 케이트電壓에對한 酸化膜電流密度의 關係를 그림 1에서 보여주고 있다.

그림 1에서 보여준 것과 같이 케이트電壓이增加할 수록 酸化膜電流密度가增加함을 보여주고 있다. 酸化膜의 두께가增加할수록 스트래스誘起漏泄電流가增加함을 보여주고 있으며 얇은 酸化膜일수록 작음을 알 수 있다. 酸化膜 터널링電流는 酸化膜의 두께가增加할수록 높은 케이트電壓이要求됨을 알 수 있다. 酸化膜 두께가 111.3Å과 204Å의 電壓 스윕率은 0.2V/sec 그리고 398.3Å과 814Å의 電壓 스윕率은 1V/sec로 하여 測定하였다.

酸化膜 두께가 각각 111.3Å, 204Å, 398.3Å 그리고 814Å 金屬酸化物 半導體에서 電界에對한 酸化膜電流量의 關係를 그림 2에서 보여주고 있다.

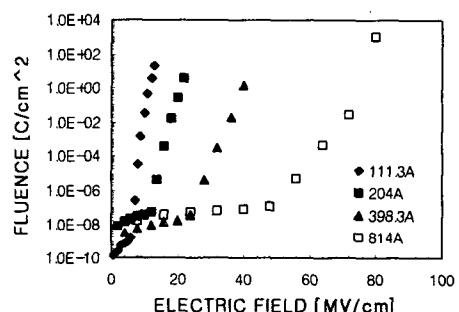


그림 2 酸化膜 두께에 따른 酸化膜電界에對한 電流量

Fig. 2 The oxide electric field vs. the fluence according to oxide thickness

그림 2에서와 같이 각각의 酸化膜 두께에對한 酸化膜 터널링電流 電界는 각각 111.3Å, 204Å, 398.3Å 그리고 814Å에서 6.1MV/cm, 6.86MV/cm, 13.2MV/cm 그리고 5.65MV/cm였다. 케이트電界에對한 酸化膜 터널링電流量은 酸化膜 두께에 따라 比例적으로增加함을 보여주고 있다. 酸化膜 두께가減少함에 따라 케이트電界에對한 酸化膜電流量增加도 커짐을 보여주고 있다. 酸化膜 터널링電流量 電界와 酸化膜電流量增加率은 酸化膜 두께에比例함을 보여주었다.

酸化膜 두께에 따라 酸化膜電界를 引加하면서 測定한 스트래스誘起漏泄電流와 酸化膜電流는 그림 3

과 같다.

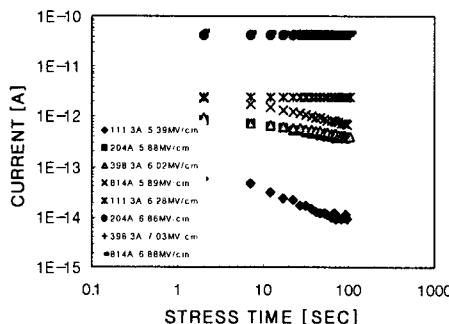


그림 3 酸化膜 두께에 따른 引加 電界에 對한 酸化膜 電流

Fig. 3 Applied electric field vs. oxide current according to the oxide thickness

그림 3에서와 같이 酸化膜 두께 111.3Å, 204Å, 398.3Å 그리고 814Å에서 스트래스 電界를 각각 5.39MV/cm와 6.28MV/cm, 5.88MV/cm와 6.86MV/cm, 6.02MV/cm와 7.03MV/cm 그리고 5.89MV/cm와 6.88MV/cm를 引加하면서 测定한 스트래스 電流이다. 각각의 電流量은 111.3Å에서 $1.6970 \times 10^{-9} \text{C}/\text{cm}^2$ 와 $2.5198 \times 10^{-7} \text{C}/\text{cm}^2$, 204Å에서는 $5.7625 \times 10^{-8} \text{C}/\text{cm}^2$ 와 $4.1211 \times 10^{-6} \text{C}/\text{cm}^2$, 398.3Å에서는 $4.2976 \times 10^{-8} \text{C}/\text{cm}^2$ 와 $4.4153 \times 10^{-6} \text{C}/\text{cm}^2$ 그리고 814Å에서는 $1.2205 \times 10^{-7} \text{C}/\text{cm}^2$ 와 $4.8959 \times 10^{-6} \text{C}/\text{cm}^2$ 였다. 각각의 酸化膜에서 스트래스 引加 時間을 100秒, 酸化膜 電界는 각각 111.3Å에서 12.58MV/cm, 204Å에서 11.76MV/cm, 398.3Å에서 10.04MV/cm 그리고 814Å에서 9.82MV/cm로 测定하는 中에 酸化膜 破壞가 發生하였다.

酸化膜이 111.3Å, 204Å, 398.3Å 그리고 814Å인 素子에서 스트래스 電壓 引加 後, 测定한 轉移電流는 그림 4와 같다.

그림 4와 같이 酸化膜 두께 111.3Å 素子에 스트래스 電界 5.39MV/cm와 6.28MV/cm를 引加하고 電流量 $1.6970 \times 10^{-9} \text{C}/\text{cm}^2$ 와 $2.5198 \times 10^{-7} \text{C}/\text{cm}^2$ 가 흐르고 난 後, 204Å 素子에 스트래스 電界 5.88MV/cm와 6.86MV/cm를 引加하고 電流量 $5.7625 \times 10^{-8} \text{C}/\text{cm}^2$ 와 $4.1211 \times 10^{-6} \text{C}/\text{cm}^2$ 가 흐르고 난 後, 398.3Å 素子에 스트래스 電界 6.02MV/cm와 7.03MV/cm를 引加하고 電流量 $4.2976 \times 10^{-8} \text{C}/\text{cm}^2$ 와 $4.4153 \times 10^{-6} \text{C}/\text{cm}^2$ 가 흐르고 난 後 그리고 814Å 素子에 스트래스 電界 5.89MV/cm와 6.88 MV/cm를 引加하고 電流量 $1.2205 \times 10^{-7} \text{C}/\text{cm}^2$ 와 $4.8959 \times 10^{-6} \text{C}/\text{cm}^2$ 가 흐르고 난 後, 测定한 轉移電流이다. 轉移電流

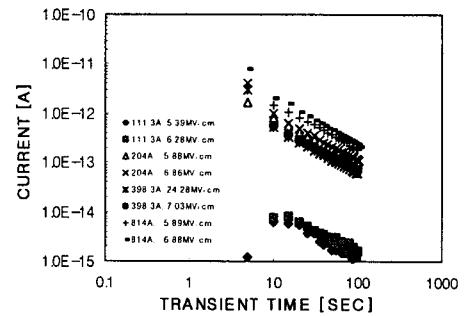


그림 4 酸化膜 두께와 引加 電界에 따른 轉移時間에 對한 酸化膜 電流

Fig. 4 Transient time vs. oxide current according to the oxide thickness and applied electric field

는 酸化膜 두께가 增加할수록 增加함을 보여 주고 있으며 스트래스 電界가 커질수록 增加함을 보여주고 있다. 그리고 스트래스 電界를 引加하고 난 後 轉移電流는 時間에 對하여 反比例의 으로 減少함을 알았다. 이 때의 減少率은 $1/t$ 이었다.

酸化膜 두께와 引加 電界에 따른 轉移電流에 對한 트랩密度의 關係를 그림 5에서 보여주고 있다.

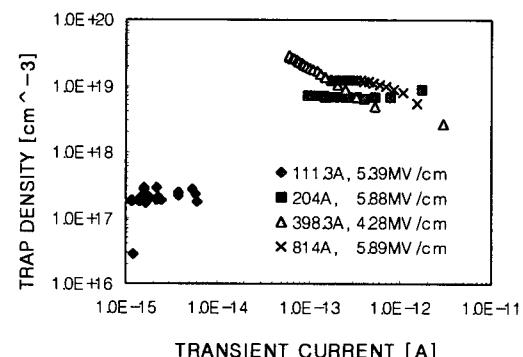


그림 5 酸化膜 두께와 引加 電界에 따른 轉移電流에 對한 트랩密度

Fig. 5 Transient current vs. trap density according to the oxide thickness and applied electric field

그림 5에서 보여준 것과 같이 酸化膜 두께에 따른 轉移電流에 對한 트랩密度는 一定한 關係를 維持함을 알 수 있다. 이 때의 트랩密度는 10^{19} 程度로 두께

을 알 수 있다. 이 때의 트랩密度는 10^{19} 程度로 두께에 관계없이維持됨을 알 수 있다. 여기에서 111.3\AA 酸化膜 素子의 트랩密度는 다른 酸化膜 素子의 트랩density보다 작다. 이것은 스트래스 誘起 漏泄電流의範圍에서 電界를 引加하여 測定한 트랩密度이기 때문이다.

스트래스 電界效果에 依한 低電壓 酸化膜 電流密度의影響을 그림 6에 나타내었다.

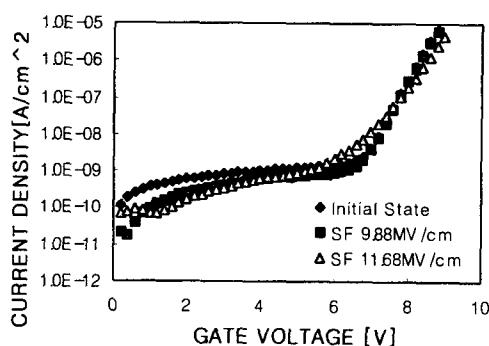


그림 6 스트래스 電界效果에 依한 低레벨 게이트 電壓對酸化膜 電流密度의 關係

Fig. 6 Low level gate voltage vs. current density according to the effect of stress electric field

스트래스 電界效果에 依한 低게이트 電壓對酸化膜 電流密度의 關係를 그림 6에 나타내었다. 그림에서 알 수 있는 바와 같이 산화막 111.3\AA 인 素子에 스트래스 電界를 각각 9.88MV/cm 와 11.68MV/cm 로 引加하여 比較한結果, 酸化膜 低電壓 레벨의 酸化膜 漏泄電流가 形成되어 增加함을 알 수 있다. 이와 같은 低電壓 酸化膜 電壓 레벨의 漏泄電流가 나타나는 酸化膜은 메모리 素子의 記憶維持特性에 影響을 주어 메모리 素子製作時考慮되어야 할 事項이다.

本 素子를 製作하고 스트래스 電流와 스트래스 誘起漏泄電流 그리고 轉移電流에 對하여 研究가 現在 進行中에 있다.

IV. 結論

스트래스 電壓을 引加하여 酸化膜의 特性을 把握하기 為하여 酸化膜의 두께를 각각 111.3\AA , 204\AA , 398.3\AA 그리고 814\AA 로 製作하고 메모리 素子의 應用

可能性을 調査하였다.

1. 酸化膜의 두께가 增加할수록 酸化膜 터널링 電流와 電流量이 增加함을 알았다.
 2. 스트래스 電壓에 比例하여 스트래스 電流가 增加하였으며 轉移電流는 酸化膜의 두께에 關係 없이 一定한 比率로 減少함을 알았다.
 3. 스트래스 電壓에 依한 트랩density는 一定한 狀態를維持하였다.
- 以上과 같이 메모리 素子의 應用을 為한 酸化膜 두께 變化에 依한 電壓電流 特性이 優秀함을 알았다.

V. 參考文獻

- [1] T. Izawa, IEEE Electron Device Lett., vol. 14, p. 533, 1993
- [2] M. Ono, et al., IEEE Trans. Electron Devices, vol. 42, p. 1822, 1995
- [3] J. Maserjian, et al., J. Vac. Sci. Technol., vol. 20, p. 743, 1982
- [4] K. Naruke, et al., IEEE IEDM Tech. Dig., p. 424, 1988
- [5] M. Depas, et al., IEEE Trans. Electron Devices, vol. 43, p. 1499, 1996
- [6] H. Satake, et al., Appl. Phys. Lett., vol. 67, p. 3489, 1995
- [7] R. S. Scott, et al., Solid State Electron., vol. 38, p. 1325, 1995
- [8] D. J. Dumin, et al., IEEE Trans. Electron Devices, vol. 43, p. 130, 1996
- [9] N. A. Dumin, et al., Solid State Electron., vol. 39, p. 655, 1996