

연접형 비터비 복호기 설계에 관한 연구

김동원, 정상국, 김영호, 노승용
 서울시립대학교 전자공학과

A Study on the Design of Concatenated Viterbi Decoder

Dong-Won Kim, Sang-Guk Jeong, Young-Ho Kim, Seung-Yong Rho
 Dept. of Electronic Engineering, University of Seoul

Abstract - In this paper, we proposed the method to improve the performance of Viterbi decoder by applying Concatenated structure. Proposed decoder for Concatenated Code is designed with inner Viterbi decoder, block deinterleaver and outer Viterbi decoder. Inner Viterbi decoder ($K=7, R=1/2$) has 8-level soft decision, but outer decoder ($K=7, R=1/2$) has 2-level hard decision.

Applied interleaving scheme make decoder to have better BER performance in Concatenated code.

The designed VLSI shares inner decoder with outer decoder. Because of sharing structure, complexity of decoder can be reduced to half. But it required about twice clock speed.

션 코딩은 현재의 입력 데이터와 저장된 과거 입력 데이터들 사이에 콘볼루션을 취하여 순차적으로 전송되는 데이터들 사이의 상관 관계를 높여 줌으로써, 수신 단에서 이 특징을 이용하여 오류를 제거하는 오류 정정 코딩 기법이다.

본 논문에서는 내부 부호기(inner encoder)와 외부 부호기(outer encoder)사이에 블록 Interleaver를 사용하여 Concatenated Code를 구성하였다. 내부 부호기와 외부 부호기로 그림 1과 같은 형태의 부호기가 사용되었으며, 부호기에 입력된 데이터가 6개의 Shift 레지스터를 지나는 동안 각각 2개의 콘볼루션 출력을 갖는다($R=1/2, K=7$). 사용된 부호기의 생성 다항식은 $G_1=1011011$ 과 $G_2=1111001$ 이다.

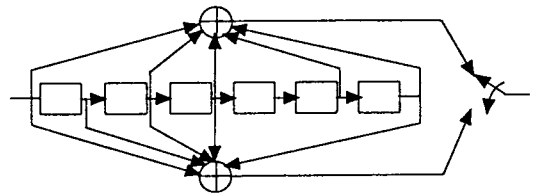


그림 1. 콘볼루션 부호기

1. 서 론

무선 데이터 통신은 데이터를 송수신할 때 천둥, 번개, 전자기파, 반사파, 그 밖의 여러 가지 잡음 환경에 의하여 오류(Error)가 발생할 수 있다. 따라서 신뢰성 있는 통신을 위해서는 사용할 수 있는 오류율(Error Rate)을 설정하여, 만약 오류율보다 높은 수신 데이터의 경우에는 적절한 오류 정정 부호화 기술을 이용하여 오류를 제거해주어야 한다.

이러한 문제점을 해결하기 위하여 채널 부호화시에는 오류 정정 부호화 기법이 거의 모든 데이터 통신 분야에서 쓰이고 있다. 오류 정정 부호화 방법 중에서 콘볼루션 부호화 방법과 연관된 Viterbi 복호기는 가산성 백색 잡음(additive white gaussian noise)에 대해 오류 정정 능력이 매우 강한 것으로 알려져 있어 디지털 통신 회로에 많이 사용되고 있다.

본 논문에서는 연접 코드를 사용하는 콘볼루션 부호기와 연접 코드용 비터비 복호기를 설계하고 이를 검증하였다. 설계된 부호기는 일반적인 비터비 복호기를 Deinterleaver를 사이에 두고 두 단계로 연접한 형태이다. 이러한 구조를 사용하여 복호시의 오류 정정 능력의 향상을 꾀할 수 있었다. Burst 오류에서 높은 효율을 얻기 위하여 블록 (block) Interleaving과 블록 Deinterleaving을 사용하였으며, 설계에 따른 회로의 면적, 오류 정정 능력, 전송률 사이의 Trade-off에 관해서도 다양한 실험을 하였다. 실제 VLSI 설계에서는 하나의 Viterbi 복호기로 연접 코드를 복호할 수 있는 구조를 고안하였다.

2. 본 론

2.1 Concatenated 부호기 구조

콘볼루션 부호화 기법은 구현이 간단하고 상대적으로 높은 코딩 이득을 얻을 수 있는 장점이 있어, 최근 순방향 오류 정정 디코딩기법에 많이 채택되고 있다. 콘볼루션

외부 부호기의 출력은 그림 2의 블록 Interleaver를 거쳐 내부 부호기로 전달된다. 블록 Interleaver는 $n \times n$ 크기의 행 방향 입력 데이터에 대해 $n \times n$ 크기의 열 방향 출력을 내보내게 된다. 블록 Interleaver는 외부 부호기의 출력에서 인접한 데이터와의 상관 관계를 줄이는 역할을 하며, Burst 오류가 Random 오류로 바뀌는 특징을 갖고 있다. 따라서 복호 단계에서 보다 향상된 오류 정정 성능을 갖게 된다.

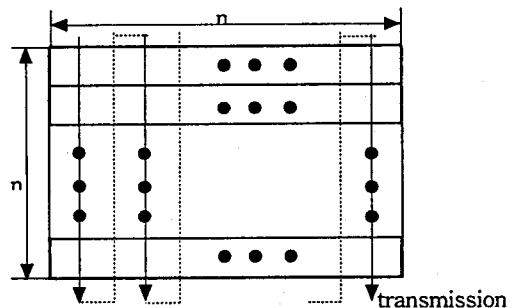


그림 2. 블록 Interleaver 구조

2.2 Concatenated 복호기 구조

Viterbi 알고리즘은 송신단의 격자도(trellis)와 수신된 신호 사이에 발생한 차이를 나타내는 척도로서 가지 매트릭과 경로 매트릭을 사용한다. 가지 매트릭은 채널 모델에 따라 Hamming distance 혹은 Euclidean

distance로 구해지며 경로 매트릭은 가지 매트릭의 합으로 구해진다. Viterbi 알고리즘은 2^{k-1} 개의 상태로 구성된 격자도 상의 각 상태로 들어오는 분기 중 가장 작은 경로 매트릭을 갖는 분기를 선택하여 그 상태의 가지 매트릭을 더함으로써 새로운 경로 매트릭을 생성하고 현재 상태에서의 선택 정보를 저장한다. 가장 작은 경로 매트릭을 갖는 경로를 생존자 경로(survivor path)로 정의하며 일정한 시간이 지난 후에 현재 시간 축에서 생존자 경로를 역추적 함으로써 디코딩 출력을 결정하게 된다.

그림 3은 일반적인 Viterbi 복호기를 나타낸다. Viterbi 복호기는 크게, 가지 매트릭(Branch Metric) 생성 모듈, 현재 입력 신호화 가지 매트릭사이의 유사성을 계산하여 적은 경로 매트릭(Path Metric)을 취하는 ACS (Add-Compare-Select) 계산기 모듈, 격자도의 진행을 거꾸로 추적하여 출력을 얻는 역추적(Traceback) 모듈로 구성된다.

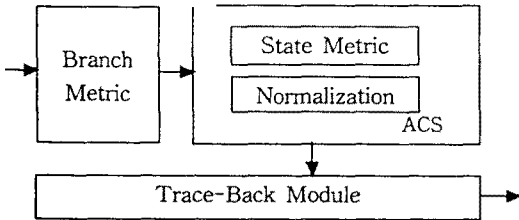


그림 3. 일반적인 Viterbi 복호기의 구조

가지 매트릭 생성 모듈은 t번째 복호단계의 임의의 노드로 들어오는 2개의 고유 가지 매트릭을 생성하는 기능을 한다. 생성된 두 개의 고유 가지 매트릭은 현재 t번째 상태 노드로 입력되는 수신된 신호와의 Hamming distance 혹은 Euclidean distance를 구한다.

구해진 각 distance는 상태의 경로 매트릭과 더해지며(add), 두 개의 경로 매트릭을 비교한다(compare). 비교되는 두 개의 경로 매트릭 중 작은 것을 취하여(select) 역추적을 위한 메모리에 선택 결과(decision bit)를 표시하고 현재 상태 노드의 경로 매트릭을 갱신한다. 이러한 과정을 2^{k-1} 개의 상태에 걸쳐 반복한다. 임의의 길이 L만큼 진행한 후 역추적을 실행하여 복호된 결과를 출력하게 된다.

일반적으로 Viterbi 복호기는 AWGN 채널 하에서는 매우 강한 오류 정정 능력을 갖는다. 그러나 Viterbi 복호기의 복호 동작에서 t상태의 복호 오류가 이웃하는 상태의 복호에도 영향을 미치므로, Viterbi 복호기의 복호 오류 경향은 Burst 잡음과 유사한 형태로 볼 수 있다. 이러한 특성을 보정하기 위하여 Interleaving을 사용하여 인접한 데이터와의 상관 관계를 낮춘 후 한번 더 복호하는 구조를 사용하였다.

2.2.1 내부 복호기 (inner decoder)

내부 복호기로 사용된 Viterbi 복호기는 변조기의 출력을 8단계로 나누어 가지 매트릭과 상태 매트릭을 계산하는 Soft Decision을 사용하며, 40의 역추적 길이를 갖는다. 일반적으로 Soft Decision은 Hard Decision에 비해 가지 매트릭 계산기와 상태 매트릭 계산 부분에 약간의 회로 추가함으로써, 높은 효율을 얻을 수 있다.

2.2.2 Deinterleaver

그림 2의 블록 Interleaver가 내부 부호기와 외부 부호기 사이에 사용된 것과 마찬가지로 내부 복호기와 외부 부호기 사이에도 블록 Interleaver와 유사한 기능을 갖는 블록 Deinterleaver가 사용된다. 블록

Deinterleaver는 $n \times n$ 크기의 열 방향 입력 데이터에 대해 $n \times n$ 크기의 행 방향 출력을 내보내게 된다. 사용된 블록 Deinterleaver의 구조는 블록 Interleaver와 동일하다. 본 논문에서는 블록 Interleaver와 블록 Deinterleaver의 n을 여러 가지로 변화하여 실험하였다.

2.2.3 외부 복호기 (outer decoder)

내부 복호기의 출력은 블록 Deinterleaver를 통해 interleaving 적용전의 상태로 재 조합되어 외부 복호기로 전달된다.

외부 복호기로 사용된 Viterbi 복호기는 내부 복호기와 유사한 구조의 Viterbi 복호기가 사용되었다. 내부 복호기는 8단계 Soft Decision으로 동작하는데 반해, 외부 복호기는 2단계 Hard Decision으로 동작한다. Hard Decision으로 동작하는 외부 복호기는 내부 복호기에 비해 ACS 모듈과 역추적 메모리의 복잡도가 감소하므로 회로 면적을 줄일 수 있다.

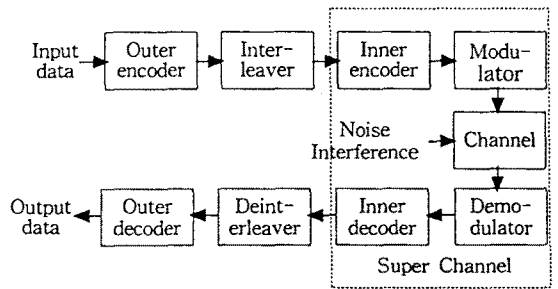


그림 4. 제안된 연결형 Viterbi 복호기

2.3 모의 실험 및 성능 평가

그림 4는 본 논문에서 제시한 Concatenated Code의 부호 및 복호의 과정을 나타낸다. 내부 부호기 - 변조기 - 채널 - 복조기 - 내부 복호기를 통칭하여 Super Channel이라고도 한다.

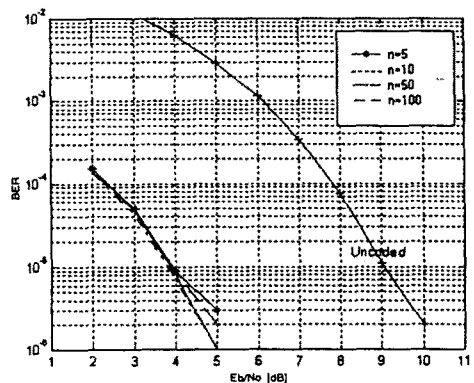


그림 5. Interleaving 크기에 관한 실험

외부 부호기로 입력된 신호는 내부 부호기의 부호화 과정과 Interleaving 과정을 거쳐 내부 부호기로 전달된다. 내부 부호기로 전달된 신호는 AWGN으로 모델링된 채널을 통과하게 되며, 내부 복호기로 전달된다. 내부 복호기의 출력은 Deinterleaving을 거쳐 외부 부호기로 전달되며, 최종 복호된 출력이 생성된다.

Interleaving의 크기가 Concatenated Code의 성능

에 미치는 영향을 실험하기 위하여, n 의 크기를 5, 10, 50, 100으로 변화시켜 실험을 하였다. 그림 5는 Interleaver의 크기 n 이 전체 성능에 미치는 영향에 관한 실험의 결과를 나타낸다. 실험 결과, 동일한 조건의 AWGN 채널하에서 Interleaving의 크기는 Concatenated Code의 성능에 크게 영향이 없음을 알 수 있었다.

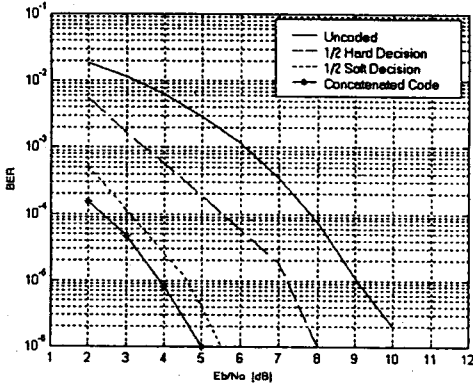


그림 6. 제안된 Concatenated Code의 성능

그림 6은 제안된 Concatenated Code의 성능 비교 실험 결과이다. 비교의 대상이 된 코드는 Hard Decision Viterbi 복호기($K=7, R=1/2$)와 8 단계 Soft Decision Viterbi 복호기($K=7, R=1/2$)이다.

실험 결과 BER= 10^{-5} 에서 Hard Decision에 비해 약 3.5dB, Soft Decision에 비해 약 0.8dB의 이득을 얻을 수 있었다.

2.4 VLSI 설계

제안된 Concatenated Code를 VHDL을 이용하여 설계하였다. 제안된 복호 방법은 유사한 구조의 Viterbi 복호기를 2개 사용하므로, 설계 방법에서 복호단의 Viterbi 복호기를 내부 복호기뿐만 아니라 외부 복호기로 사용하여 회로의 복잡도를 크게 줄일 수 있었다.

실제 VLSI 설계는 그림 7과 같은 구조를 갖는다. 복조기를 통과한 신호는 내부 복호 과정을 거쳐 Deinterleaving되며, 외부 복호과정동안 도착된 신호는 Buffer에 저장된다. 위의 구조를 사용함으로써 동일한 효율을 갖는 복호기를 구성할 수 있으며, 결과적으로 회로의 복잡도를 한층 더 줄일 수 있다. 단, 동작 클럭은 2배 이상 요구하게 된다.

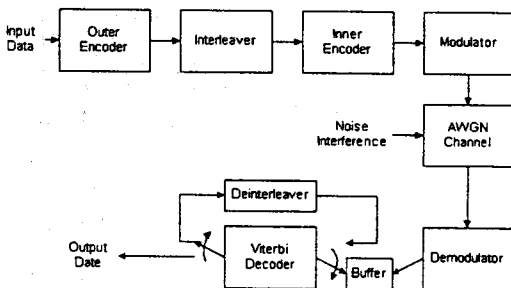


그림 7. 설계된 VLSI 구조

3. 결 론

본 논문에서는 2개의 콘볼루션 부호기와 2개의 Viterbi 복호기로 구성된 Concatenated Code를 설계하여 설계된 Code의 성능을 실험하였다. 제안된 복호기의 성능은 8단계 Soft Decision Viterbi 복호기($K=7, R=1/2$)에 비하여 향상된 성능을 얻을 수 있었다. 또한 VLSI 설계측면에서 볼 때, 사용된 복호기의 구조가 동일하므로 복호시 동일한 복호기를 사용하고 동작 클럭을 높임으로써, VLSI 설계시 보다 적은 면적으로 구현 가능했다.

추후에 설계될 VLSI에서는 복조기와 변조기 및 제어 회로가 모두 포함된 One-Chip으로의 설계하여 다양한 분야에서 이용될 수 있을 것으로 생각된다.

(참 고 문 헌)

- [1] IDEC, "오류정정부호 알고리즘 및 구현", 반도체설계교육센터, pp 221-286, 1998
- [2] IDEC, "디지털 모뎀의 알고리즘 및 구현", 반도체설계교육센터, 1997
- [3] Joachime Hagenauer, Peter Hoeher, "A Viterbi Algorithm with Soft-Decision Outputs and its Application", GLOBECOM, pp 4711-4717, 1989
- [4] BERNARD SKLAR, "DIGITAL COMMUNICATIONS Fundamentals and Application", pp 333-349, 1988
- [5] A.J.viterbi, "Convolutional Codes and Their Performance in Communication Systems", IEEE Trans. on Commun., Vol.19, pp 751-772, 1971
- [6] SHU LIN, DANIEL J.COSTELLO, JR., "ERROR CONTROL CODING Fundamentals and Applications", pp 257-272, 1983
- [7] Young-bae Choi, "VLSI Design for High Speed and Variable Code Rate Viterbi Decoder", IEEE ICC/ISPACS, pp 682-686, 1996