

Pspice 시뮬레이션을 이용한 IGBT 게이트 드라이브 디자인

박석인^{*}, 남광희
포항공과대학교 전자전기공학과

IGBT Gate Drive Design Using Pspice Simulation

Sukin Park and Kwanghee Nam
Department of Electrical Engineering, POSTECH University

Abstract - Pspice를 사용하여 IGBT의 게이트 드라이브의 동작과 시스템의 단락에 의한 Fault 발생 시 IGBT를 보호하기 위해서 밀러 효과에 의한 전류를 게이트 저항을 통하지 않고 이미터로 흐르게 하여 게이트 전압의 상승을 줄여주는 방법을 제안하고 게이트 전압을 낮게 클램핑하는 방법과 비교하였다.

친다. 그러나 turn-off시에는 게이트 capacitance를 discharging 시켜도 pnp transistor의 minority carrier의 life time에 의해서 recombination이 완전히 일어나야 함으로 게이트 드라이브의 저항이 큰 역할을 하진 못한다[1].

1. 서 론

초기의 IGBT는 회로가 단락이 되었을 때 견딜 수 있는 시간(short-circuit withstand time)이 bipolar transistor만큼 긴 시간을 견딜 수 있었으나 점점 고효율의 IGBT가 개발이 되면서 단락에 견딜 수 있는 시간이 줄어들어 BJT에 사용되던 보호회로 방법으로는 IGBT를 보호하기 힘들어졌다[2]. 따라서 본 논문에서는 부하가 단락 되었을 때 IGBT가 보호회로가 동작할 때까지 충분히 견딜 수 있도록 게이트 전압을 낮추는 방법과 밀러 효과에 의해서 발생된 전류를 게이트 저항을 통하지 않고 이미터로 흐르게 하여 게이트 전압이 상승하는 것을 줄여주는 방법을 시뮬레이션을 통해서 비교한다.

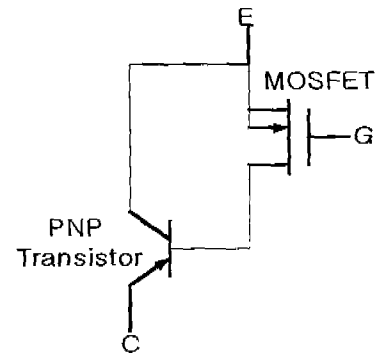


그림 1. IGBT 등가회로

2. IGBT 게이트 드라이브

IGBT는 그림 1에서와 같이 등가 적으로 MOSFET과 BJT의 달링톤(Darlington) 구조로 되어 있어서 turn-on 시에는 MOSFET과 turn-off 시에는 BJT와 비슷한 특성을 보인다. IGBT의 turn-on은 게이트 capacitance를 charging시킴으로써 이루어지게 되므로 게이트 드라이브의 전압과 게이트 저항이 큰 영향을 미

on-저항 : 스위칭 손실 측면에서 보면 IGBT를 빨리 turn-on 시킬수록 손실이 적어지므로 게이트 capacitance를 빨리 charging 시키기 위해서 높은 전압과 작은 게이트 저항을 사용하면 된다. 그러나 게이트 드라이브의 turn-on 게이트 전압은 게이트 oxide의 breakdown이 일어나지 않도록 보통 20V 이하로 가해져야한다. 그리고 게이트 저항은 작을수록 IGBT의 밀러 캐패시터에 의한 게이트 전압상승이나 기생 인덕턴스에 의한 전류의 영향을 줄일 수 있지만 인덕티브 부하에서는 free wheeling diode의 recovery특성 때문에 diode의 스트레스를 감안해서 저항을 충분히 크게 해서 turn-on 시간을 충분히 느리게 할 필요가 있다.

부하의 단락에 의한 Fault : 부하에 의해서 시스템이 단락이 되었을 경우 turn-on 되어있는 IGBT에 단락으로 인해서 큰 short 전류가 흐르게 되어 긴 시간 동안 단락이 발생 시 IGBT의 온도가 상승하게 되어 IGBT가 파괴된다. 이 때 IGBT가 파괴되지 않고 견딜 수 있는 시간은 short 전류와 게이트전압의 곱에 반비례하게 된다. 또한 short 전류는 게이트 전압에 비례하여 그 크기가 변화하게 된다. 그러나 이런 단락이 발생하게 되면 IGBT의 콜렉터와 이미터 사이의 전압이 상승하게 되어 밀러 캐패시터에 의해서 $C dv/dt$ 의 전류가 게이트 저항을 통해서 흐르게 되어 게이트 전압이 증가하게 되고, 또한 기생 인덕턴스에 의해서 $L di/dt$ 의 전압이 게이트의 전압을 증가시키게 되어 short 전류가 더 커지게 된다.

3. IGBT 게이트 드라이브 회로 및 시뮬레이션 결과.

시뮬레이션에 사용된 Test 회로는 그림 2와 같이 인덕티브 부하 회로로 스위칭구간에서 부하로 흐르는 전류가 일정한 크기를 갖게 하였다. 그림에서 L를 제외한 인덕터는 기생 인덕터를 나타내고 저항은 기생 저항을 나타낸다.

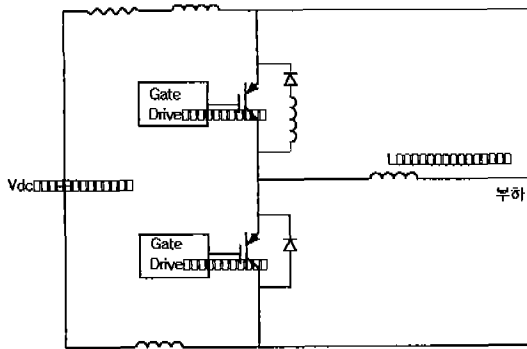


그림 2. Test 회로

앞에서 설명한 것과 같이 부하의 단락으로 인한 Fault 시 IGBT의 콜렉터와 이미터간의 전압 상승으로 인한 밀러 효과로 콜렉터 단에서 게이트 단으로 전류가 흘러 게이트 저항을 통해 게이트 단의 전압이 올라가게 된다. 따라서 밀러 효과를 줄이려면 게이트 저항을 줄여야한다. 그러나 free wheeling diode의 recovery 특성으로 인해서 게이트의 저항 값은 줄일 수 있는 한계가 있다. 따라서 밀러 효과가 발생할 시에는 게이트 저항으로 흐르는 밀러 전류를 이미터 단으로 바로 흐르게

하면 게이트 전압의 상승을 막을 수 있다.

그림 3은 제안된 게이트 드라이브 회로이다. 기본적인 동작은 게이트 드라이브에 turn-on 전압(GV)이 들어오면 Q2 BJT가 동작을 하고, 부하 단락으로 인해 게이트 전압이 GV보다 높게 되면 Q1이 동작하여 밀러 전류가 Q1, Q2를 통하여 이미터로 흐르게 되어 게이트 단의 전압 상승을 막아준다.

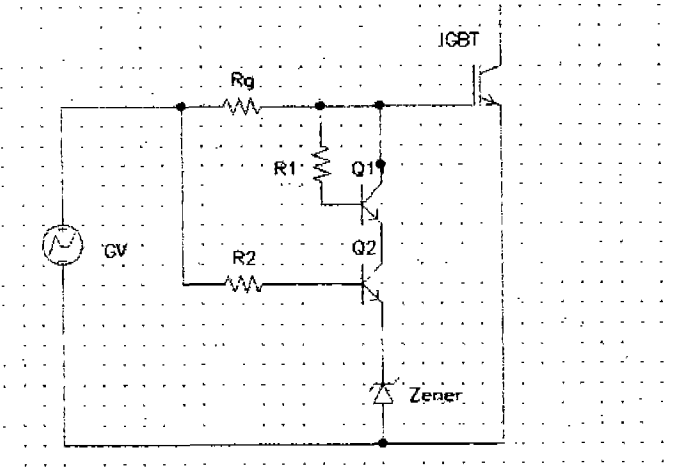


그림 3. 제안된 게이트 회로

부하의 단락은 그림 2에서 한 쪽의 IGBT가 turn-on 되어있을 때 다른 쪽을 약 5μ 정도 turn-on 시켜 시뮬레이션을 하였다.

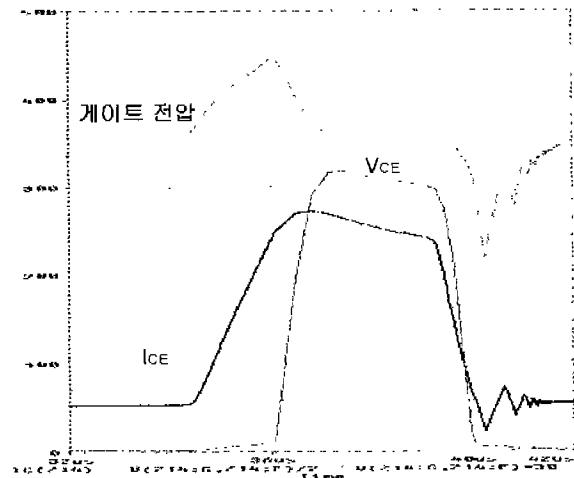


그림 4. 게이트 저항만 사용한 경우

게이트 전압 : 12V → 15V

ICE : 53A → 270A

VGE : 5V → 634V

그림 4는 게이트 저항만을 연결한 경우이고 그림 5는 제안된 회로를 사용한 경우이다.

게이트 저항만 사용한 경우 밀러 효과에 의한 전류로 인해서 게이트 전압이 12V에서 15V로 상승하였다. 그 결과 IGBT에 흐르는 전류가 53A에서 270A로 상승하였다. 그러나 제안된 회로에서는 게이트 전압이 0.7V만 상승하여 전류가 210A로 60A정도 줄어들었다.

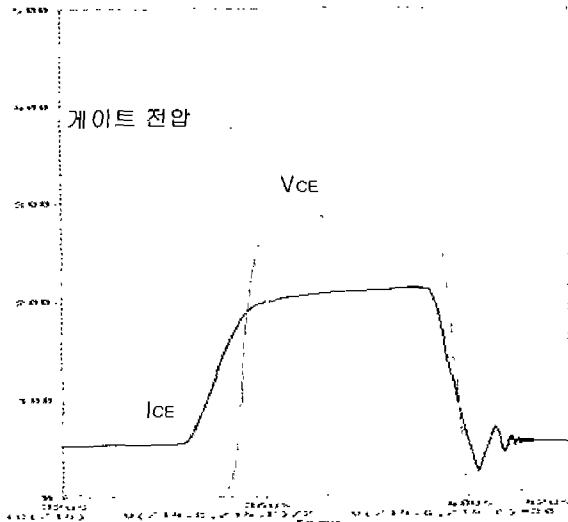


그림 5. 제안된 회로

게이트 전압 : 12V → 12.7V
ICE : 53A → 210A
VGE : 5V → 578V

R. Chokhawala와 G. Castino는 이러한 Fault 발생시 게이트 전압을 낮추어 주는 방법을 제안했는데[4], 이 경우 그림 6에서와 같이 전류가 164A로 많이 줄어들었음을 알 수 있다. 그러나 이 경우에는 Fault를 알아내기 위해서 IGBT와 Breakdown Voltage가 비슷한 다이오드가 필요하고, 또한 스위칭 시에 회로에 영향을 주지 않기 위해서 어느 정도의 delay시간을 주었다. 따라서 회로가 동작하기까지는 delay시간과 Fault를 체크하는 시간이 걸려서 Fault 발생초기에 게이트 전압이 크게 상승할 수 있는 단점이 있다. 제안된 회로를 통하여 이 단점을 보완해 줄 수 있을 것이다.

4. 결 론

Pspice 시뮬레이션을 통해서 부하의 단락으로 인한 Fault 시 밀러 효과에 의한 전압상승을 밀러 전류를 게이트 저항을 통하지 않고 이미터로 흐르게 하여 줄이는

회로로서 Fault 전류가 줄어들 수 있었다. 그러나 Fault 시에 Fault 전류의 크기는 게이트 전압과 관계되므로 게이트 전압을 낮추는 방법이 더 효과적임을 시뮬레이션을 통해 확인하였다.

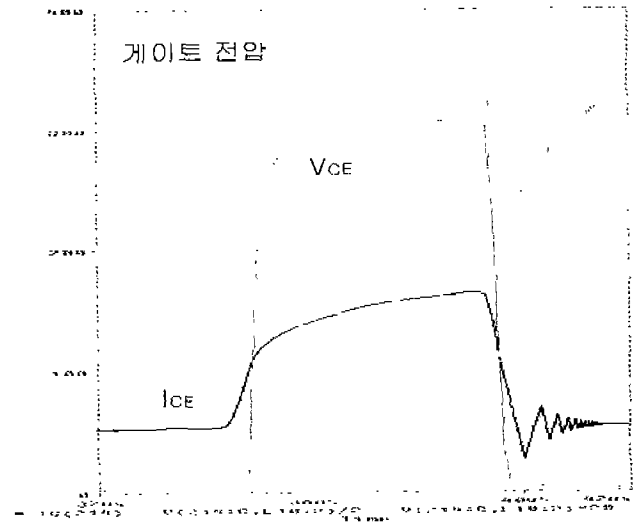


그림 6. 게이트 전압을 낮추는 회로

게이트 전압 : 12V → 10V
ICE : 53A → 164A
VGE : 5V → 619V

참고문헌

- [1] B. J. Baliga, "Power Semiconductor Devices", PWS publishing company, 1996.
- [2] R. S. Chokhawala, J. Catt and L. Kiraly, "A Discussion on IGBT Short-Circuit Behavior and Fault Protection Schemes", IEEE Trans. on Indus. Applicant. Vol. 31, No. 2. pp. 256-263, March/April 1995.
- [3] R. S. Chokhawala, J. Catt and B. P. Pelly, "Gate Drive Considerations for IGBT Modules", IEEE Trans. on Indus. Applicant. Vol. 31, No. 3. pp. 603-611, May/June. 1995.
- [4] R. S. Chokhawala and G. Castino, "IGBT Fault Current Limiting Circuit", IAS'93 Conference vol. 2, pp1339-1345, 1993
- [5] E. R. Motto, "Gate Drive Techniques For Large IGBT Modules", article from Intertec International Inc.