

# 중성점 전류 리플을 고려한 3-레벨 인버터의 공간 벡터 펄스폭 변조 기법

김 래 영, 이 요 한, 현 동 석  
한양대학교 전기공학과

## A SVPWM for the Small Fluctuation of Neutral Point Current in Three-level Inverter

Rae-Young Kim, Yo-Han Lee, Dong-Seok Hyun  
Dept. of Electrical Engineering, Hanyang University

**ABSTRACT** - For the high power variable speed applications, the DCTLI(diode clamped three-level inverter) has been widely used. This paper describes the analysis of the neutral point current of the DCTLI and the improved space vector-based PWM strategy considering the switching frequency of power devices, that minimizes the fluctuation of the neutral point current in spite of high modulation index region and low power factor. It contributes to decrease the capacitance of dc-link capacitor bank and to increase the neutral point voltage controllable region. Especially, even if second (or even) order harmonic is induced in load current (at this situation, it was investigated that the general control method can not suppress the neutral point voltage variation), this PWM can provide effective control method to suppress the neutral point voltage variation. Various simulation results by means of Matlab/Simulation are presented to verify the proposed PWM.

### 1. 서 론

전력용 반도체 소자의 용량 및 스위칭 속도의 비약적인 발전과 전력전자의 지속적인 성장은 전력변환회로에 많은 변화를 일으켜 왔다. 특히, 고압 대용량의 직류-교류 변환을 위해 Diode Clamped 방식, Flying Capacitor 방식 그리고 H-bridge 방식과 같은 다양한 멀티-레벨 인버터 회로들이 각각 적절한 제어 기법과 함께 제안되었다 [1]-[3]. 이러한 멀티-레벨 인버터는 다음과 같은 중요한 장점을 지니고 있다. 첫째로, 많은 수의 직류 전압원의 합성을 통하여 높은 전압 정격을 실현할 수 있다. 둘째, 턴-오프시, 직렬 연결된 전력용 반도체 소자의 전압 분배 문제가 추가적인 회로없이 해결될 수 있으며 셋째로, 전압의 레벨이 증가함에 따라, 같은 스위칭 주파수에서 출력 전압 파형의 THD(Total Harmonic Distortion)가 비례적으로 감소하게 된다. 마지막으로, 스위칭 과도 상태 동안에 발생하는  $dV/dt$ 와 Surge 전압의 감소로, EMI(Electro-Magnetic Interference)가 저감될 수 있다. 특히, Traction 이나 Steel Mill 시스템과 같은 고압 가변속 응용 분야에서는, Diode Clamped 3-레벨 인버터(또는 Neutral Point Clamped 인버터)가 널리 사용되고 있다 [1]. 그러나, Diode Clamped 3-레벨 인버터는 구조적으로 DC-링크를 구성하는 커패시터들이 직렬로 연결되어 있기 때문에 중성점 전압 불균형이라는 문제점을 지니고 있다. 중성점 전압의 불균형 발생시, 인버터에 사용된 전력용 반도체 소자는 안전한 동작 영역을 확보할 수 없으며 출력 전압에 많은 왜곡이 포함되게 된다. 따라서,

중성점 전압의 불균형 제어는 Diode Clamped 3-레벨 인버터의 신뢰성 및 성능을 결정짓는 중요한 요인이 된다. 이러한 전압 불균형은 DC-링크 커패시터의 중성점에서 흐르는 전류의 리플 축적이 그 원인이다. 지금까지, 많은 논문에서 중성점 전류의 분석과 중성점 전류의 리플을 줄이기 위한 제어기법이 제시되었다 [4]-[7]. 그러나, 이러한 제어기법들은 다음과 같은 점에서 만족스럽지 못한 결과를 나타낸다.

- 전압벡터의 Redundancy 에 대한 인가시간을 조절하는 방법이 제시되었다 [4],[5]. 이러한 방법은 Redundancy 가 존재하지 않는 고변조영역에서는 적용될 수 없는 한계를 지니고 있다.
- 특정한 전압 벡터를 이용하지 않는 방법이 제시되었다 [6]. 이러한 방법은 고변조영역과 저역률 부하에서도 중성점 전류의 리플을 효과적으로 억제시킬 수 있다. 그러나, 전력소자의 스위칭 주파수(고압 대용량 응용분야에서는 수 kHz로 제한되어 있는)가 증가해야 하며, 스위칭 패턴이 고려되지 못하여 Diode Clamped 3-레벨 인버터에 허용되지 않는 스위칭 천이(State 0 → State 2)가 발생할 수 있다.
- 인버터의 부하 전류에 2차(짝수) 고조파가 주입되는 경우, 중성점 전압 불균형의 제어가 불가능하며 이를 해결하기 위해서 Buck Boost 컨버터를 추가하는 방법이 제시되었다 [7]. 그러나 보조 회로의 추가는 시스템의 구조를 더욱 복잡하게 만들며, 가격 상승의 요인이 된다.

본 논문에서는 Diode Clamped 3-레벨 인버터의 중성점 전류의 리플을 분석하고 스위칭 주파수와 스위칭 패턴이 고려된 작은 중성점 전류 리플을 갖는 새로운 SVPWM 을 제안한다. 제안된 SVPWM 은 중성점 전압 제어 범위를 증가시키며, DC-링크 커패시터의 용량을 줄이는데 기여한다. 또한, 부하 전류에 2차(또는 짝수) 고조파가 주입되는 경우에도, 중성점 전압 불균형을 효과적으로 제어할 수 있다. 제안한 SVPWM 의 타당성을 검증하기 위하여 다양한 시뮬레이션 결과를 제시한다.

### II. 중성점 전류 리플 분석

그림 1은 Diode Clamped 3-레벨 인버터의 구조를 나타내고 있다. 인버터의 각상은 2개의 Clamping Diode 와 Freewheeling Diode 를 포함한 4개의 전력용 반도체 소자로 구성되어 있다. DC-링크는 직렬로 연결된 두개의 캐

패시터에 의해 구성되어 있으며, Diode를 통하여 중성점 전압을 Clamping 함으로써 3-레벨의 출력전압을 얻고 있다. 표 1은 인버터의 스위칭 상태에 따른 출력전압을 나타내고 있으며 이들 스위칭 상태는 각각 인접한 레벨로 천이해야 한다. 세 상의 스위칭 상태의 조합은 27개의 전압 벡터를 만들 수 있다. 그림 2에는 Diode Clamped 3-레벨 인버터의 스위칭 상태에 대한 공간 전압 벡터도를 나타내고 있다. 공간 전압 벡터도는 6개의 영역으로 나누어 지며 이러한 영역은 전압 벡터에 의해 4개의 작은 구역으로 나누어진다. 전압 벡터들은 그들의 크기에 의해 ZVVs(Zero Voltage Vectors), SVVs(Small Voltage Vectors), MVVs(Middel Voltage Vectors) 그리고 LVVs(Large Voltage Vectors)로 구분될 수 있다. 이를 표 2에 나타내었다. 이러한 전압 벡터 그룹 중 중성점 전류의 리플을 발생시키는 그룹은 SVVs와 MVVs임이 널리 알려져 있다. 만약, 인버터의 부하 연결을 고려한다면, 각 전압벡터와 중성점 전류와의 관계를 쉽게 알 수가 있다. 예를 들면 MVVs의 210 벡터가 선택된다면, 중성점 전류는  $I_B$ 가 된다. 그림 2는 각 전압 벡터와 중성점 전류를 나타내고 있다.

### A. 새로운 SVPWM 기법 [8]

본 논문에서 중성점 전류의 분석은 [8]에서 서술된 새로운 SVPWM 기법에 기본을 두고 있다. 지령 전압  $V_q, V_d$ 는 식 (1)에 의해 가상 상전압  $V_A', V_B', V_C'$ 로 변환된다. 식 (2)에 의해  $V_{OFFSET}$ 을 계산한 후, 식 (3)에 의해 결과적인 실효 상전압  $V_A, V_B, V_C$ 가 얻어진다. 만약, 실효 상전압이 수직으로 배치된 동일 위상의  $1/(2T_s)$  주파수를 가진 삼각파 Carrier와 비교된다면, 최종적인 게이트 신호를 얻을 수 있다. 여기서,  $V_{DC}$ 는 전체 dc-링크 전압이고,  $V_{MAX}, V_{MIN}$ 은 각각 세개의 가상 상전압 중 최대, 최소 전압이다.

$$\begin{bmatrix} V_{AS}' \\ V_{BS}' \\ V_{CS}' \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ -1/2 & +\sqrt{3}/2 \\ -1/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} V_q \\ V_d \end{bmatrix} \quad (1)$$

$$V_{OFFSET} = 0.5 \cdot (V_{DC} - V_{MAX} - V_{MIN}) \quad (2)$$

$$V_{AS,BS,CS} = V_{AS,BS,CS}' + V_{OFFSET} \quad (3)$$

표 1. Diode Clamped 3-레벨 인버터의 스위칭 상태 (X=A,B,C)

스위칭 상태	$S_{2X,U}$	$S_{1X,U}$	$S_{2X,L}$	$S_{1X,L}$	$V_X$
2	ON	ON	OFF	OFF	$V_{DC}$
1	OFF	ON	ON	OFF	$V_{DC}/2$
0	OFF	OFF	ON	ON	0

표 2. Diode Clamped 3-레벨 인버터의 전압 벡터의 분류

전압 벡터	
ZVVs	(222), (111), (000)
SVVs	(211), (221), (121), (122), (112), (212) (100), (110), (010), (011), (001), (010)
MVVs	(210), (120), (021), (012), (102), (201)
LVVs	(200), (220), (020), (022), (002), (202)

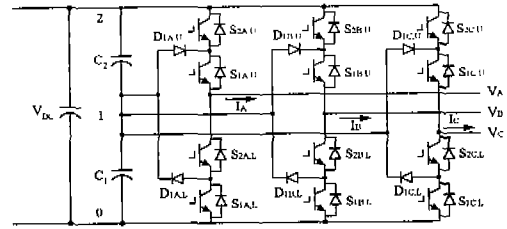


그림 1. Diode Clamped 3-레벨 인버터의 구조

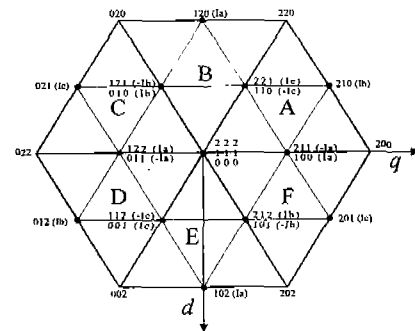


그림 2. 공간 전압 벡터도와 전압벡터와 중성점 전류의 관계

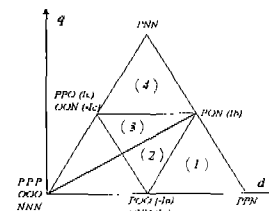


그림 3. 영역 A에서의 공간 전압 벡터도

### B. 고변조지수에서의 중성점 전류 리플 분석

지령 전압 벡터가 그림 3의 영역 A의 구역 4에 놓여진 경우, (1), (2), (3)에 의하여 구해지는 유효 상전압은 앞에서 기술한 새로운 SVPWM에 의하여 그림 4와 같이 나타나게 된다. 그림 4에는 각각 사용되는 전압 벡터(SVVs, MVVs, LVVs)와 그들의 인가 시간이 나타나 있다. 또한 그림 2에 나타난 각 전압 벡터에 해당하는 중성점 전류가 나타나 있다. 만약, 샘플링 시간  $T_s$ 를 1로 표준화 시킨다면, 그림 4에 나타난  $x, y, z$ 의 값이 (4)에 의하여 구해질 수 있으며, 각 전압 벡터의 인가 시간은 이들  $x, y, z$ 로 표현될 수 있기 때문에, 샘플링 시간동안 중성점에 흐르는 전류는 시간 평균의 개념에 의하여 (5)와 같이 구해질 수 있다.

$$x, y \text{ and } z = \frac{V_{MAX, MID \text{ and } MIN} + V_{OFFSET} - V_{DC}/2}{V_{DC}/2} \quad (4)$$

여기서,  $V_{MID} = (V_A + V_B + V_C) - (V_{MAX} + V_{MIN})$

$$I_m = (1-x)(-I_C) + (x+z-1)I_B + (1-z-y)(-I_A) + yI_C \quad (5)$$

$$= -(I_A \cdot x + I_B \cdot y + I_C \cdot z)$$

마찬가지 방법으로 의해, 영역 A에서의 다른 구역의 시간 평균의 중성점 전류도 구해질 수 있다. 이렇게 구해진 모든 중성점 전류식은 한가지 형태로 결정이 된다. 새로운 SVPWM에서, 지령 전압 벡터의 영역 변경은 단지 부하전류의 순서 변화로 표현된다. 예를 들면, 영역 A

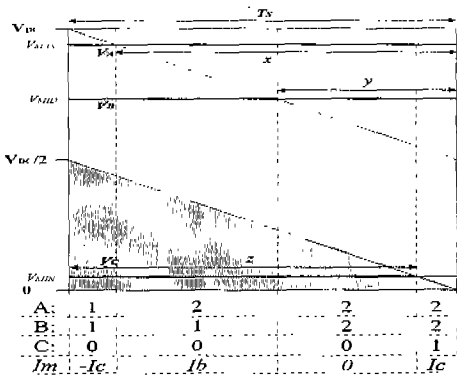


그림 4. 새로운 SVPWM에서의 전압 벡터, 인가 시간, 중성점 전류의 관계

에서 영역 B로의 변화는  $I_A, I_B, I_C$ 가  $I_C, I_A, I_B$ 의 순서로 변화시킴으로써 표현할 수 있다. 따라서, 그림 2의 모든 공간 전압 벡터도의 영역에서의 중성점에 흐르는 전류에 대한 식은 하나의 형태로 표현 될 수 있으며 이를 표 3에 나타내고 있다.

### III. 작은 중성점 전류 리플을 고려한 향상된 SVPWM

#### A. 향상된 SVPWM의 구현

고변조영역에서 중성점에 흐르는 전류 리플의 최대치는 MVVs 그룹의 전압 벡터들의 인가 시간과 부하 역률(출력 선간 전압과 부하전류의 위상차)에 따라 결정된다. 이때, 부하 역률은 시스템의 상황에 의하여 결정되므로, 제어 변수가 될 수 없다. 따라서, MVVs 그룹의 전압 벡터들의 인가 시간의 감소가 중성점 전류 리플의 최대치를 감소시키는 방법이 될 수 있다. 지령 전압 벡터가 그림 3의 영역 A의 구역 1에서 4로 이동하는 경우, 작은 중성점 전류 리플을 갖는 향상된 SVPWM의 MODE를 가운데 유효 상전압( $V_{MID}$ )의 위치에 따라 그림 5과 같이 6가지로 구분할 수 있다. 이때, 가운데 유효 상전압은 최소 유효 상전압에서 최대 유효 상전압까지 증가한다. 각 MODE 내에서는, 같은 전압 벡터가 사용되며 단지 전압벡터의 인가 시간만이 변화하게 된다. 향상된 SVPWM은 가운데 유효 상전압이 수정된 Carrier와 비교된다. 수정된 Carrier는 가운데 유효 상전압의 스위칭 상태가 모든 스위칭 상태 즉, State 0→State 1→State 2를 거치도록 한다. 반면에, 최대 또는 최소의 유효 상전압은 샘플링 시간동안 항상 하나의 스위칭 상태를 유지한다. 그러므로 샘플링 시간  $T_s$ 동안 평균적인 스위칭

표 3. 공간 전압 벡터도의 모든 영역에서 중성점 전류

영역	A, D	B, E	C, F
$I_U$	$I_A$	$I_C$	$I_B$
$I_V$	$I_B$	$I_A$	$I_C$
$I_W$	$I_C$	$I_B$	$I_A$
중성점 전류	$-x \cdot I_U - y \cdot I_V - z \cdot I_W$		

주파수는 일반적인 3상 변조 SVPWM의 스위칭 주파수와 같게 된다. 이러한 향상된 SVPWM은 두가지 방법에 의하여 구현될 수 있다. 첫째로, 그림 5(a)와 같이 최대 유효 상전압이 하나의 스위칭 상태를 유지하는 방법이고 둘째는 그림 5(b)와 같이 최소 유효 상전압이 같은 스위칭 상태를 유지하는 방법이다. 이들을 각각 UDPWM (Upper Discontinuous PWM), LDPWM (Lower Discontinuous PWM)으로 정의한다. UDPWM과 LDPWM에서의 실효 상전압들은 (6), (7)에 의하여 각각 얻어질 수 있다.

$$V_{A,B \text{ and } C} = V'_{A,B \text{ and } C} + (1/2)(3V_{DC} - 3V_{MAX} - V_{MIN}) \quad (6)$$

$$V_{A,B \text{ and } C} = V'_{A,B \text{ and } C} - (1/2)(V_{DC} - V_{MAX} + V_{MIN}) \quad (7)$$

#### B. 향상된 SVPWM의 중성점 전류 리플 분석

그림 6은 그림 4에 표현된 유효 상전압들을 제안한 SVPWM을 이용하여 나타낸 것이다. UDPWM에서는 MODE 0로 표현되며, LDPWM에서는 MODE 4로 표현된다. 그림 6에 나타난 전압 벡터와 그림 4에 나타난 MVVs의 전압 벡터들의 인가 시간을 비교해 보면, 같은 지령 전압 벡터임에도 불구하고, MVVs의 전압 인가 시간이 효과적으로 감소되었음을 알 수 있다. 다른 구역에서도, 같은 지령 전압 벡터에 대해 제안한 SVPWM에서의 MVVs 전압 벡터들의 인가 시간은 일반적인 SVPWM에서의 인가 시간에 비해 상당히 작게 된다. 만약, 샘플링 시간  $T_s$ 를 1로 규준화 시킨다면, 그림 5 또는 그림 6에 나타난  $x, y$ 는 일반적으로 (8), (9)에 의하여 표현될 수 있다.

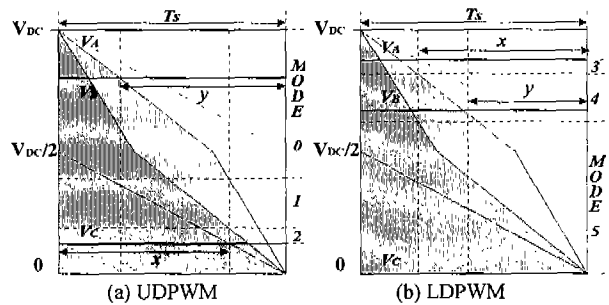
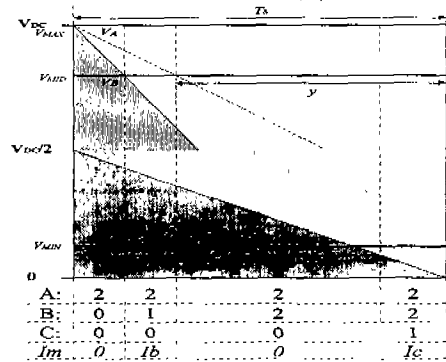
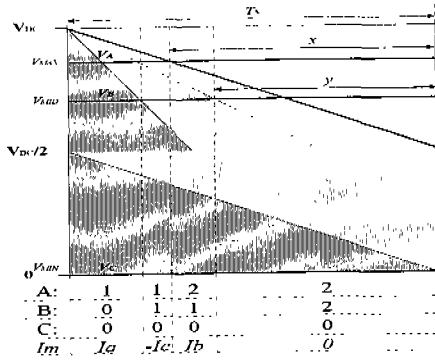


그림 5. 향상된 SVPWM에서의  $V_{MID}$ 에 따른 MODE



(a) UDPWM의 전압벡터, 인가시간, 중성점 전류



(b) LDPWM의 전압벡터, 인가시간, 중성점 전류

그림 6. 중성점 전류의 작은 리플을 갖는 향상된 SVPWM에서의 전압 벡터, 인가 시간, 중성점 전류의 관계

앞서 설명한 바와 같이 모든 MODE에서 전압 벡터의 인가 시간은 이들  $x, y$ 로 표현될 수 있다. MODE 0와 MODE 4에서, 샘플링 시간동안 중성점에 흐르는 전류는 시간 평균의 개념에 의하여 각각 (10), (11)과 같이 구해질 수 있다.

$$x = |2 \cdot V_{DC} - V_{MAX} - V_{MIN}| / V_{DC} \quad (8)$$

$$y = |2 \cdot V_{MID} - V_{MAX} - V_{MIN}| / V_{DC} \cdot (2/3) + (1/3) \quad (9)$$

$$I_m = I_B(1-y)/2 + I_C(1-x) \quad (10)$$

$$I_m = I_A(1-y)/2 + I_C((1-y)/2 - (x-y)) + I_B(x-y) \quad (11)$$

표 4에서는 이와 같은 방법에 의해 구해진 모든 MODE에서의 중성점 전류 형태와 판단 기준을 보여주고 있다. 표 5에는 UDPWM, LDPWM에서의 공간 전압 벡터도의 영역과 부하 전류의 순서 변화의 관계를 나타내고 있다. 여기서,  $a=x-y$ ,  $b=(1-y)/2$  그리고  $c=1-x$ 이며,  $V_{P1}$ 과  $V_{P2}$ 는 각각 UDPWM, LDPWM에서 (11), (12)에 의해 구해진 가운데 유효 상전압이다.

표 4. Mode에 따른 중성점 전류의 형태와 판단 기준

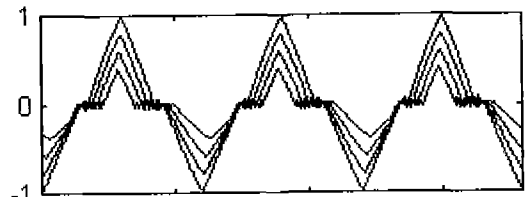
Mode	중성점 전류	판단 기준
2, 3	$b(I_U - I_W) - cI_U$	$x \leq y$
1, 4	$bI_U + aI_Y + (a-b)I_W$	$y < x \leq (1+y)/2$
0, 5	$cI_U + bI_Y$	$x > (1+y)/2$ $V_{P1} \leq V_{DC}/2$ $V_{P2} \geq V_{DC}/2$

표 6. UDPWM, LDPWM에서의 공간 전압 벡터도의 영역과 부하 전류의 순서 변화

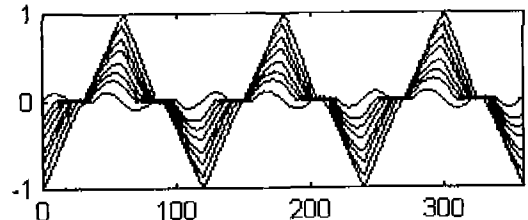
영역		A	B	C	D	E	F
MODE	0	$I_U$	$I_C$	$I_C$	$I_A$	$I_A$	$I_B$
	1	$I_V$	$I_B$	$I_A$	$I_C$	$I_B$	$I_C$
	2	$I_W$	$I_A$	$I_B$	$I_B$	$I_C$	$I_A$
	3	$I_U$	$I_A$	$I_B$	$I_B$	$I_C$	$I_A$
	4	$I_V$	$I_B$	$I_A$	$I_C$	$I_B$	$I_A$
5	$I$	$I_C$	$I_C$	$I_A$	$I_A$	$I_B$	$I_B$

#### IV. 시뮬레이션 결과

그림 7은 [4],[5]에 의하여 제안된 제어 방법에 의한 중성점 전류의 리플을 변조지수와 부하 역률 변화에 따라 나타내고 있다. 여기서 전류축은 부하전류의 최대치로 규준화 시켰다. 이러한 제어 방법은 저변조지수 영역이거나 고역률 부하에서는 중성점 전류의 리플을 효과적으로 억제할 수 있으나, 고변조지수 영역이며 동시에 저역률 부하의 경우는 중성점 전류 리플의 최대치가 부하전류의 최대치와 거의 같다. 그림 8은 UDPWM과 LDPWM의 작은 중성점 전류 리플을 갖는 향상된 SVPWM에 의해 제어된 중성점 전류 리플을 보여주고 있다. 고변조지수 영역이며 동시에 저역률 부하의 경우, 중성점 전류의 최대치가 부하전류의 30% 정도로 감소되었다. 가장 작은 중성점 전류의 리플을 가지는 SVPWM은 [4], [5]에서 제안된 PWM과 새롭게 제안된 SVPWM의 절환을 통하여 얻을 수 있다. 그림 9(a)는 이러한 절환을 통하여 변조 지수가 1이며 0.1 역률 부하인 경우의 중성점 전류 리플을 보여준다. 그림 9(b)는 이때의 Diode Clamped 3-레벨 인버터 출력 선간 전압을 보여준다. 그림 10은 인버터의 부하 전류에 40%의 2차 고조파가 주입된 경우의 DC-링크 전압의 양상을 보여주고 있다. 그림 10(a)의 경우, MVVs에 의해 발생된 중성점 전류의 리플이 크게 발생하여, SVVs의 전류 리플도 보상을 해줄 수가 없다. 따라서, 일반적인 PWM에 의해서는 중성점 전압의 균형을 유지할 수가 없게 된다. 그러나, 그림 10(b)와 같이, 제안한 SVPWM은 MVVs에 의한 중성점 전류 리플 감소로 중성점 전압이 제어된다.

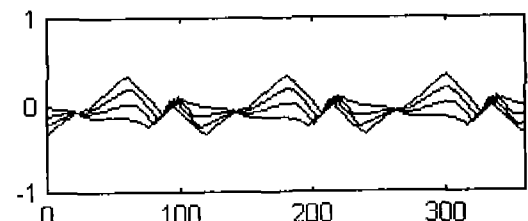


(a) 변조 지수 : 0.7-1.0, 부하 역률 : 0.1



(b) 변조 지수 : 1, 부하 역률 : 0.1

그림 7. [4],[5]에 제안된 PWM에 의한 중성점 전류 리플



(a) UDPWM - 변조 지수 : 0.7-1.0, 부하 역률 : 0.1

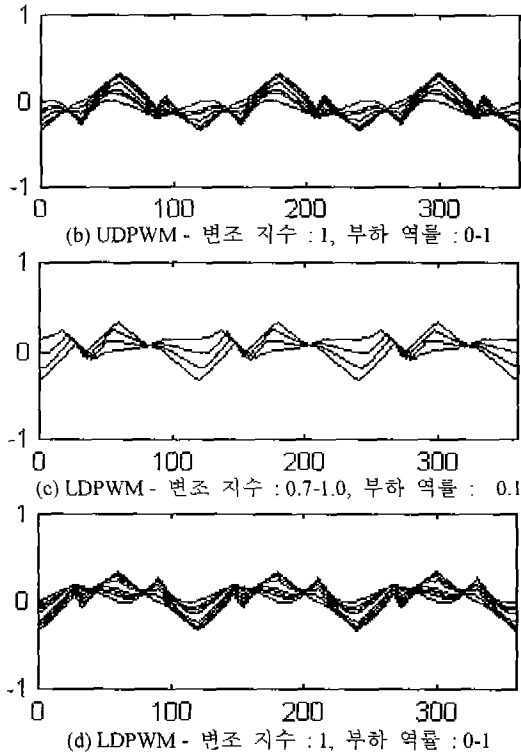


그림 8. 향상된 SVPWM 에 의한 중성점 전류 리플

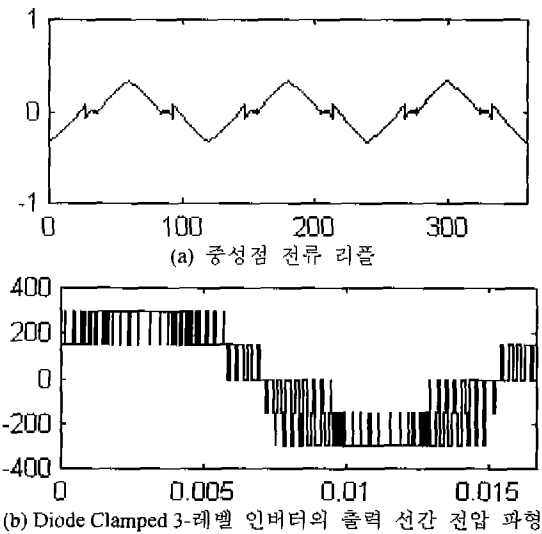
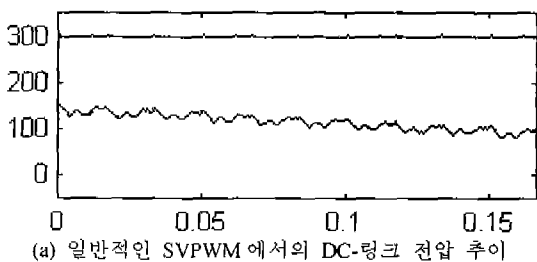
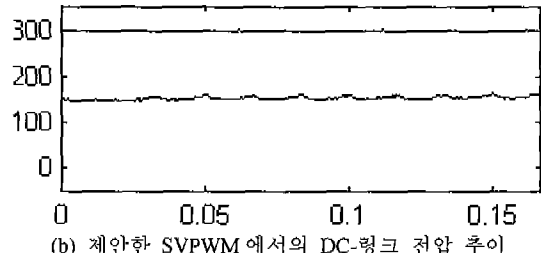


그림 9. 향상된 SVPWM 과 [4],[5]의 PWM 사이의 절환에 의한 중성점 전류 리플 제어 - 변조 지수 : 1, 부하 역률 : 0.1



(a) 일반적인 SVPWM 에서의 DC-링크 전압 추이



(b) 제안한 SVPWM 에서의 DC-링크 전압 추이

그림 10. 40%의 2 차 고조파 전류 주입시의 DC-링크 전압 추이

## V. 결 론

본 논문은 중성점 전류의 리플에 대한 새로운 해석 방법과 중성점 전류 리플을 최소화 할 수 있는 SVPWM 을 제안하고 있다. 제안된 SVPWM 은 일반적인 PWM 에서와 같은 스위칭 주파수를 유지하기 위하여 2상 변조 기법을 도입하였으며, 중성점 전류의 리플을 억제하고 스위칭 패턴을 고려하기 위하여, 특정한 전압벡터의 인가시간을 최소화함으로써, 중성점 전류 리플에 약 70%정도의 감소를 나타내었다. 또한, 부하 전류에 2 고조파 성분이 주입된 경우에도 효과적인 중성점 전압 균형 방법을 제시하고 있다. 비록, 인접하지 않은 전압 벡터의 사용으로 출력 선간 전압의 THD 가 증가하게 되나, 제안한 SVPWM 은 3-레벨 인버터의 DC-링크 커패시터의 용량 감소와 고변조지수 영역에서의 전압 균형 제어 범위를 확장시킴으로써 고압 대용량 가변속 응용 분야에 적절히 사용될 수 있을 것이다.

## VI. 참 고 문 헌

- [1] A. Nabae, I. Takahashi and H. Akagi, "A New Neutral-Point-Clamped PWM Inverter," *IEEE Trans. on Industrial Applications*, Vol. 17, No. 5, pp. 518-523, 1981
- [2] T. A. Meynard, H. Foch, "Multi-level Conversion: High Voltage Chopper and Voltage-Source Inverters," *IEEE-PESC Conf. Rec.*, pp. 397-403, 1992
- [3] M. Marchesoni, M. Mazzucchelli and S. Tenconi, "A Non Conventional Power Converter for Plasma Stabilization," *IEEE-PESC Conf. Rec.*, pp. 122-129, 1988
- [4] S. Ogasawara, H. Akagi, "Analysis of Variation of Neutral Point Potential in Neutral-Point Clamped Voltage Source PWM Inverters," *IEEE-IAS Conf. Rec.*, pp. 965-970, 1993
- [5] R. Rojas, T. Ohnisi and T. Suzuki, "An Improved Voltage Vector Control Method for Neutral-Point- Clamped Inverter," *IEEE Trans. On Power Electronics*, Vol. 10, No. 6, pp. 666-672, 1995
- [6] R. Rojas, T. Ohnisi and T. Suzuki, "PWM Control Method for NPC Inverters with Very Small DC-link Capacitors," *IPEC Conf. Rec.*, pp.494-499, 1995
- [7] D. H. Lee, S. R. Lee and F. C. Lee, "An analysis of Midpoint Balance for the Neutral-Point-Clamped Three-Level VSI," *IEEE-PESC Conf. Rec.*, pp.193-199, 1998
- [8] R. Y. Kim, Y. H. Lee and D. S. Hyun, "A Novel SVPWM Strategy Considering DC-link Balancing for a Multi-level Voltage Source Inverter," *ICPE Conf. Rec.*, pp. 159-164, 1998