

# 멀티미디어 통신용 Vocoder 개발용 DSP Embedded ASIC 개발

\*성유나, 김득경, 민훈  
C&S Technology, DSP 응용 개발팀

## Implementation of DSP Embedded ASIC for Multimedia Communication

\*Yoo-Na, Sung Duk-Kyung, Kim Hoon, Min  
DSP Application Development Team, C&S Technology  
syn@cnstech.co.kr

### 요약문

본 논문에서는 제안하고 있는 CSD17C00 Chip은 C&S Technology에서 개발한 것으로, 음성 신호 처리를 위해 범용으로 구현되었으며, 16 bit 40MIPS DSP Group OAK DSP Core를 포함, 이에 Miscellaneous Logic, Serial Port, Host Interface, Timer, Compunder의 5가지 Peripherals과 범용 I/O Ports로 설계되었다.

1차적으로 CSD17C00 Chip을 이용하여 G.723.1 Vocoder를 구현하고, CSD17C00 Chip의 성능을 점검하였다. 그 결과, 응용 프로그램은 28MIPS의 계산 속도를 갖으며, 프로그램 ROM 크기는 8.85K Words이고, 10KWords의 데이터 ROM과 4K Words 데이터 RAM을 필요로 한다.

CSD17C00 Chip은 멀티미디어 통신용 Vocoder 개발을 위한 범용성을 갖추고 있으며, Vocoder용 S/W 개발 환경 및 H/W 구조가 여타 범용 DSP에 비해 편의성과 합리성을 제공하도록 설계되어 있다. 따라서, 이를 이용한다면, 멀티 미디어 통신용 Vocoder, Internet Phone Co-processor, Digital Recorder, MPEG Audio Encoder & Decoder 등 다양한 제품으로의 응용이 가능할 것으로 전망된다.

### 1. 서론

#### 1.1 개요

멀티미디어 통신 기술의 향상과 더불어 음성 신호처리에 관련된 많은 응용 기술의 축적이 이루어지고 있다. 화상 통신 응용 기술이나 Internet

Phone의 등장 CDMA 기반의 무선 통신 서비스등 음성 Vocoder를 이용한 다양한 제품들이 구현되고 있다. Vocoder 수요가 늘어남에 따라, G.722, G.723.1, G.728, G.729, QCELP 등의 통신용 Vocoder 개발이 요구되고 있는 실정이다.

G.723.1 음성 코더는 공중망을 통한 H.324 POTS 영상 회의 규격의 음성 코더로 채택된 것을 비롯해 LAN Base의 H.323과 DSVD (Digital Simultaneous Voice & Data) Modem 등에서 사용된다. 또한, 일반 전화선(H.324)을 이용한 음성 코더의 개발도 활발히 진행되고 있다. 따라서, 이러한 Vocoder 전용 DSP Embedded ASIC 개발이 필요하게 되었다.

CSD17C00 Chip은 C&S Technology에서 개발한 것으로, 음성 신호 처리를 위해 범용으로 구현되었다. CSD17C00 Chip 개발 시 사용된 OAK DSP Core는 16-bit 데이터와 프로그램 버스를 지니며, 음성 처리 및 DSP 응용 분야 제품 개발에 적합하게 설계되어 있으며, 40MIPS의 계산 능력을 갖고 있다. 이러한 DSP Group의 OAK DSP Core를 포함, 이에 Miscellaneous Logic, Serial Port, Compunder, Host Interface, Timer의 5가지 Peripherals과 범용 I/O Ports로 설계되었다.

#### 1.2 논문 구성

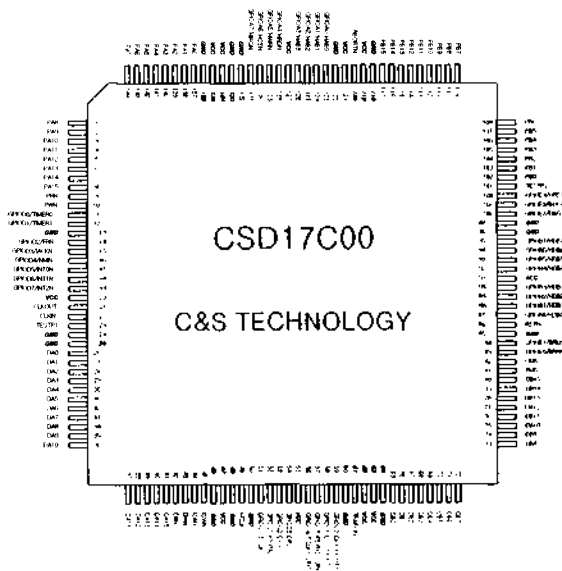
CSD17C00 Chip의 Pin과 Block에 관한 전반적인 사항에 대한 설명을 2장에서 하고자 하며, 3장에서는 각 Peripherals과 범용 I/O Ports에 관해

## 멀티미디어 통신용 Vocoder 개발을 위한 DSP Embedded ASIC 개발

자세히 살펴보고자 한다. 또한, 4 장에서는 구현된 G.723.1 음성 코더의 하드웨어적 성능에 대해 알아보고, 본 논문에 대한 결론을 5 장에서 맺고자 한다.

### 2. CSD17C00의 기본 개요

#### 2.1 Pin Configuration



[그림 1] CSD17C00 144-QFP-28 28-AN

#### 2.2 Features

- DSP Group의 40 MIPS 16bit fixed point OAK DSP Core 내장
- 음성 압축/재생성 chip
- 4Kwords의 data RAM과 9Kwords의 data ROM 내장
- Program bus와 Data bus가 분리되어 있어 외부 data memory access시 병목현상이 발생치 않음
- 2개의 serial port를 내장하고 있어 다양한 종류의 A-to-D, D-to-A converter 사용 가능
- 각각의 serial port에는 Mu-law from/to linear, A-law from/to linear converter가 내장되어 이를 format을 zero wait로 변환 가능
- 8/16 bit Host Interface 내장
- 3개의 범용 programmable 16 bit timer 내장
- 5개의 Multiplexed GPIO를 제공
- Power save mode를 지원
- 144pin QFP package를 제공

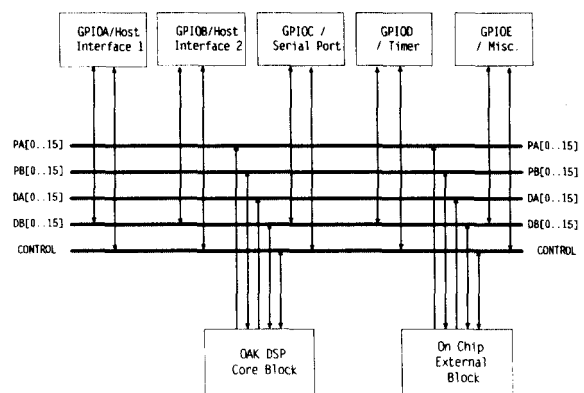
- Volume Control 기능이 S/W로 구현되어 있음
- Speech frame monitor 내장
- DSP의 Data memory 내용을 R/W 가능
- Serial port configuration 기능 지원

#### 2.3 CSD17C00의 응용분야

- Teleconferencing & Video conferencing
  - H.324 나 H.322 Application
- Internet phone speech coprocessor
  - PC base internet phone
  - Internet phone gateway system
- Voice chatting application
  - Real-time speech coprocessor for on line games
  - Voice chatting coprocessor
- Digital simultaneous voice & data modem coprocessor
- High quality, high compression speech recoder
  - Guide system
  - Handy recorder
  - Memorizer in cellular phone, pager
- Digital or computer telephony application
- Audio response system, voice mail system application

### 3. CSD17C00 Chip Description

#### 3.1 Block Description

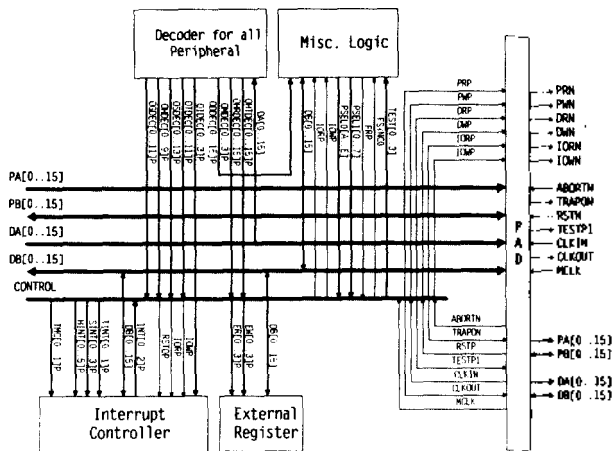


[그림 2] CSD17C00 Block Diagram

- CSD17C00은 OAK DSP Core를 기본으로 하여 On Chip External Block과 5개의 GPIO 겸용 Peripheral I/O Port로 구성되어 있다.

- Oak DSP Core Block 은 Boot Loader, On Chip Emulation Module, Bus Interface Unit, Clock Generator, 4 Kwords RAM 으로 구성되어 있다.
- On Chip External Block 은 모든 Peripheral 을 위한 Decoder 와 External Register Block, Interrupt Controller, Miscellaneous Logic 으로 구성된다.
- GPIOA 는 범용 양방향 8 bit I/O port 로 사용하거나 Host Interface 로 사용할 수 있다.
- GPIOB 도 범용 양방향 8 bit I/O port 로 사용하거나 Host Interface 로 사용할 수 있다.
- GPIOC 는 범용 양방향 8 bit I/O port 로 사용하거나 2 개의 Serial port 로 사용할 수 있다. 또한 Serial port 1 의 경우에는 OAK DSP Core 와 연결되는 User I/O pin 인 UIN0, UIN1, UOUT0, UOUT1 로도 사용할 수 있다.
- GPIOD 는 범용 양방향 8 bit I/O port 로 사용하거나 2 개의 Timer I/O pin, FRN pin 그리고 OAK DSP Core 의 External Interrupt pin 들로 사용할 수 있다.
- GPIOE 는 OAK DSP Core 에서 사용하는 몇 개의 Control 신호의 I/O pin 으로 사용하거나 5 bit 양방향 I/O port 로 사용할 수 있도록 되어 있다.

3.2 On Chip External Block Description



[그림 3] On Chip External Bloc

- External Register 는 4 개의 External Register 로 구성되어 있으며 OAK DSP Core 의 다른 Register 들과 마찬가지로 OAK DSP Core 가 직접 access 가능하도록 되어 있다.

- Miscellaneous Logic 은 Speech frame 의 종료를 알리는 FRN 신호를 만들어주고, GPIO A, B, C 와 Host Interface, Serial Port, User I/O 를 선택하는 PSEL[A..E]신호를 만들어 주며 또한 GPIOD 의 bit 단위 선택 입력력 하는 PSEL[0..7] 신호를 만들어준다.

4. G.723.1

4.1 G.723.1 개요

G.723.1 알고리즘은 선형 예측 분석-합성 코딩을 사용하여 음성을 코딩하며, 기본적으로 고정 소수점 연산을 수행한다.

인코더와 디코더는 16-bit Linear pulse-code modulation(PCM) 형태의 8,000Hz 로서 샘플링 된다. 이 코더는 240 개의 음성 샘플을 한 프레임으로 처리하며, 7.5ms 의 look ahead 를 가져서 전체적으로 37.5ms(300 샘플)의 지연을 지니게 된다.

4.2 알고리즘

본 논문에서 구현된 G.723.1 음성 코더 알고리즘은 CSD17C00 과 Host(CSP6K 32bit RISC)간의 관계가 부여된 것으로서, Host 는 PC 와 RISC 기타 MCU 등 어떠한 것도 대체될 수도 있다.

CSD17C00 은 화상 전화기 시스템의 음성 처리를 위한 DSP 칩이다. 따라서, 각종 명령어들을 제어할 수 있는 Host 가 필요한 것이며, 이 역할을 해주는 것이 CSP6K 인 것이다. 이것 또한 C&S Technology 에서 자체 개발한 32bit RISC 이다.

G.723.1 음성 코더 알고리즘은 Host 로부터 인터럽트에 의해서 환경설정과 기타 동작에 필요한 명령어들을 받으며, 그에 해당되는 일을 하게끔 알고리즘이 구현되어 있다. 모든 동작과 환경 설정은 Host 로부터 오는 명령어에 의존하게 되어 있다.

또한, G.723.1 의 순수 코더에 관한 알고리즘 외에 볼륨조절, 음성 프레임의 시작을 알려주는 FRN 인터럽트, 테스트 명령, 데이터와 프로그램 메모리에 대한 읽기와 쓰기 기능, 코덱에 대한 환경 설정 등 실제 응용 개발을 위한 여러 명령어들을 처리할 수 있는 기능을 담고 있다.

4.3 성능 평가

ITU 에서 제공하는 테스트 벡터를 통과한 어셈블러 프로그램의 성능을 시뮬레이션을 통해 측정

한 결과, 약 28MIPS의 계산량을 필요로 하였다.

이 알고리즘이 갖는 프로그램 ROM의 크기는 8.85K Words이며, 10K의 데이터 ROM과 4K 데이터 RAM으로 구성되어 있다.

#### 5. 결론

CSD17C00 Chip을 이용해서 G.723.1 Vocoder를 구현하고, CSD17C00 Chip의 성능을 점검한 결과, 음질과 MIPS 모두 만족한 결론을 얻었다. 이로써 CSD17C00 Chip은 여타 Vocoder 개발을 위한 완벽한 개발 환경을 갖추게 되었다.

새로운 Vocoder의 개발은 CSD17C00과 그 개발 환경을 이용하여 기존의 DSP 및 그 개발 환경에서처럼 손쉽게 알고리즘을 구현할 수 있으며 그 성능이 검증되고 개발이 완료된 후 프로그램 Code를 CSD17C00에 내장하여 양산에 적용하면 가격을 포함한 제품 경쟁력에서 해외 선발업체들의 제품에 뒤지지 않을 것으로 기대된다.

금후 과제로서 보다 범용적이고 성능이 좋은 멀티미디어 통신용 Vocoder를 개발하고자 한다.

TMS320C51 DSP Chip", ICSPAT, pp 1699-1703, 1997

6. 성유나, 민훈, "OAK DSP Core 기반 CSD17C00에서의 G.723.1 Speech Codec의 구현", 1998년도 한국음향학회 학술발표대회 논문집, pp.151-154. 1998

#### [참고 문헌]

1. ITU Recommendation, "G.723.1 Dual Rate Speech Coder for Multimedia Communications Transmitting at 5.3 and 6.3kbit/s", March 1996
2. ITU Recommendation, "Annex A to G.723.1 - Silence compression scheme for dual-rate speech coder for multimedia communications transmitting at 5.3 & 6.3kbit/s.", Nov 1996
3. Bhaskar B., Binuraj K.R., Varadarajan G., Sachin G, "Implementation of G.723.1 Dual Rate Speech Codec for Multimedia Communications on Motorola DSP56002 and Motorola DSP563xx Processors.", ICSPAT, pp 1689-1693, 1997
4. Cole Erakine, Mark Gloudemans, Steve Ammon, and Jianxin Liu, "Implementation of the Floating-Point ITU-T G.723.1 Speech Coding Algorithm on a 24-bit Fixed-Point DSP", ICSPAT, pp 1648-1652, 1997
5. S.M.Si, S.D.Gan, T.Cen, L.van den Berghe, E.Tedja and K.E.Kuah, "Read-Time Implementation of G.723.1 Speech Coder Using TI