

비대칭 소오스/드레인을 갖는 NMOSFET의 전기적 특성

공동욱, 이재성*, 이용현

경북대학교 전자전기공학부

Tel : (053) 950-5520, Fax : (053) 950-5520, E-mail : yhlee@ee.kyungpook.ac.kr

(*) 위덕대학교 정보통신공학과

Tel : (0561)760-1125, E-mail : jaesung@viro.uiduk.ac.kr

Electrical Characteristics of NMOSFET's with Asymmetric Source/Drain Region

Tong Ook Kong, Jae Sung Lee *, and Yong Hyun Lee

School of Electronic and Electrical Engineering, Kyungpook National University

Tel : (053) 950-5520, Fax : (053) 950-5520, E-mail : yhlee@ee.kyungpook.ac.kr

(*) Dept. of Communication Engineering Uiduk University

Tel : (0561)760-1125, E-mail : jaesung@viro.uiduk.ac.kr

Abstract - The electrical characteristics of NMOSFET's with asymmetrical source/drain regions have been experimentally investigated using test devices fabricated by 0.35 μ m CMOS technology. The performance degradation for asymmetric transistor and its causes are analyzed. The parasitic resistances, such as series resistance of active regions and silicide junction contact resistance, are distributed in parallel along the channel. Depending on source/drain geometry, the array of those resistances is changed, that results the various electrical properties.

I. 서 론

반도체 제조 비용 절감을 위하여 고집적화, 공정 단순화, 및 큰 사이즈의 웨이퍼의 개발 등에 대한 연구가 진행되고 있다. 고집적화를 위한 방법으로는 소오스와 드레인이 비대칭 구조를 갖거나 게이트가 소오스/드레인 영역을 직각이 아닌 각도로 교차하는 MOSFET가 제시되었다.[1] 이러한 소자에서는 비대칭 구조로 인한 기생 저항 성분이 존재하게 되어 소자의 전기적 특성이 열화된다. 이러한 단점은 silicide (Self-Aligned Silicide) 공정으로 소오스/드레인 전 영역을 silicide함으로써 극복할 수 있다. 그러나 silicide 와 소오스/드레인의 접촉(junction) 부분에서 불순물

결핍으로 인한 저항 성분이 존재하게 되어 비대칭 MOSFET의 전기적 특성에 영향을 줄 수 있다[3]. 최근 설계자가 비대칭형 MOSFET을 회로설계시 사용하기 위해서는 이러한 소자에 대한 정확한 이해가 필요하다.

본 논문에서는 비대칭 소오스/드레인 구조와 정상적 대칭 구조를 갖는 n형 MOSFET를 각각 제조하여 그 전기적 특성을 조사하였다. 또한 salicide 공정에 따른 소자의 특성 변화도 조사하였다. 측정값들의 비교를 통해 소오스/드레인의 구조 변화에 따른 기생 저항성 분에 대해 분석하였다.

II. 소자 제조 및 측정

MOSFET는 LOCOS(Local Oxidation of Silicon)의 CMOS (Complementary MOS) 공정으로 제조되었다. Ti-silicide 공정을 선택적으로 행하여 silicide 효과를 비교하고자 하였다. 제조된 소자는 LDD (Lightly Doped Drain)와 surface channel을 가지며, 게이트 산화막의 두께는 약 70Å이다. 그리고 소자의 게이트 길이는 0.35 μ m으로 일정하게 하였으나, 게이트 폭은 1.6 μ m에서 27.2 μ m까지 변화시켜 그 효과를 보고자 하였다.

제작된 소자의 형태를 그림 1에 나타내었다. Type 1은 일반적인 대칭형의 소자이며, type 2와 3은 비대칭

형 소자를 각각 나타낸다. 각 구조에서 금속 배선을 위한 contact의 크기는 $0.6 \times 0.6 \mu\text{m}^2$ 이다.

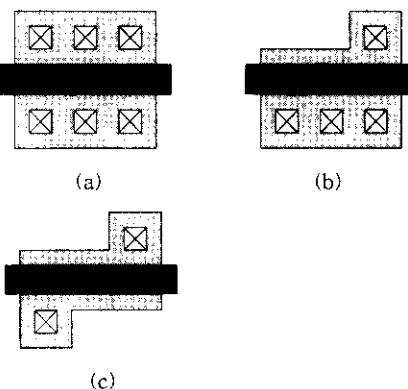


그림 1. 제작된 MOSFET의 형태; (a) type 1, (b) type 2, (c) type 3.

Fig. 1. Schematics of test pattern for MOSFET; (a) type 1, (b) type 2, (c) type 3.

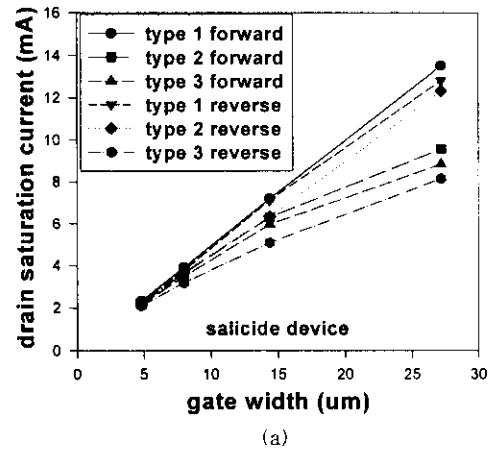
전기적 특성은 HP4145B semiconductor parameter analyzer를 사용하여 측정되었다. 포화 드레인 전류 (I_{dsat})는 $V_{GS}=3.3\text{V}$, $V_{DS}=3.3\text{V}$ 에서 측정되었으며, 선형 영역에서의 저항 (R_{ext})는 $V_{DS}=0.1\text{V}$ 에서 측정되었다.

III. 결과

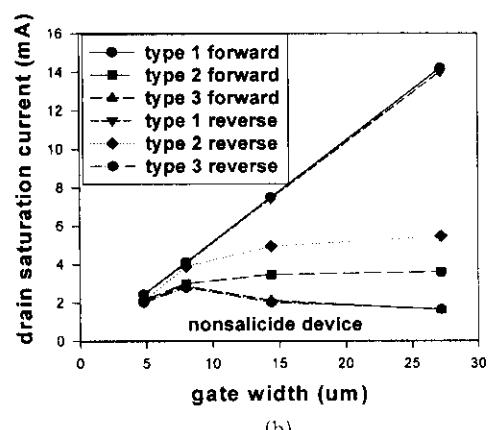
그림 2는 NMOSFET의 게이트 폭 변화에 의존하는 포화 드레인 전류의 변화를 나타낸다. 그림 2(a)는 salicide 공정에 의해 제작된 소자의 결과이며, 그림 2(b)는 non-salicide 공정에 의해 제작된 소자의 결과이다. 각 결과에서는 소자 구조의 비대칭성을 확인하기 위해 순방향 바이어스와 역방향 바이어스에 대한 결과를 동시에 표시했다.

대칭형 소자인 type 1은 salicide 공정에 무관하게 거의 일정한 결과를 나타낸다. 비대칭형 소자인 type 2와 3는 salicide 공정에 의해 그 전류 특성이 매우 향상되나 그 값은 non-salicide 공정의 type 1 소자보다 낮은 값이다. 이는 비록 비대칭형 소자의 소오스/드레인 지역이 silicide가 되더라도 기생저항 성분은 존재한다는 것을 의미한다. Salicide 공정에 무관하게 type 2에 비해 type 3의 소자가 더욱 열화된 특성을 보인다. 인가 바이어스 전압 방향에 대해 type 1과 3은 거의 비슷한 전류 특성을 보였으나, type 2는 매우 큰 차이를 보였다. 이러한 방향성 차이는 salicide 공정의 type 2 소자에서도 나타나고 있다. 이것은 type 2의 소오스

와 드레인영역의 기생저항 성분의 크기가 다르다는 것을 의미한다. 외부 인가 드레인 전압이 드레인의 기생저항에 의해 분배되어 실제적 인가 드레인 전압이 감소되는 효과가 있기 때문에 포화 드레인 전류는 드레인의 기생저항에 직접적으로 영향을 받게 된다.



(a)



(b)

그림 2. NMOSFET의 게이트 폭과 바이어스 전압에 의존하는 포화 드레인 전류; (a) salicide NMOSFET, (b) non-salicide NMOSFET.

Fig. 2. Gate width and bias polarity dependence of drain saturation current for NMOSFET; (a) salicide NMOSFET, (b) non-salicide NMOSFET.

그림 3은 NMOSFET의 게이트 폭 변화에 의존하는 선형 영역의 저항변화를 나타낸다. 그림 3(a)는 salicide 공정에 의해 제작된 소자의 결과이며, 그림 3(b)는 non-salicide 공정에 의해 제작된 소자의 결과이다. Salicide 공정의 소자 경우에는 게이트 폭이 증가함에 따라 저항이 감소하고 있다. Type 1의 저항값 변화는 salicide 공정에 관계없이 거의 일정하다. Non-salicide

공정의 type 2는 $8\mu\text{m}$ 의 게이트 폭부터 저항의 감소가 일어나지 않으며, non-salicide의 type 3 경우에는 $15\mu\text{m}$ 의 게이트 폭부터 저항이 급격하게 증가하고 있다.

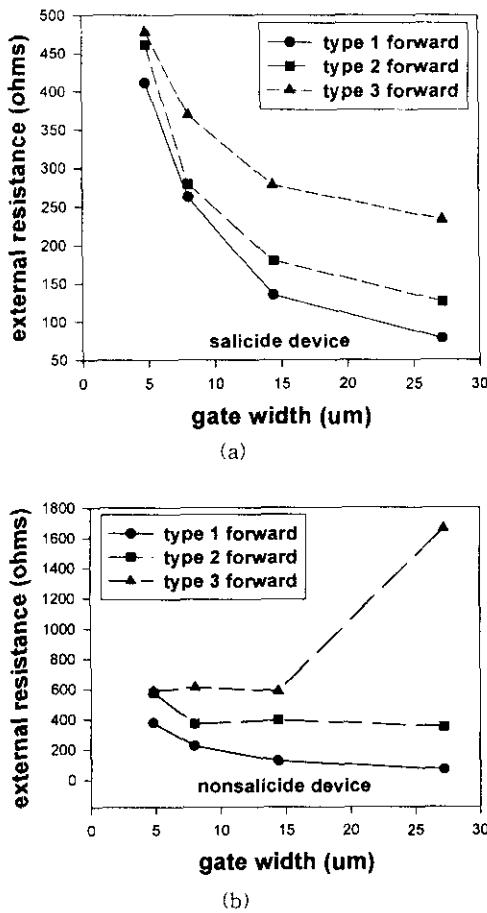


그림 3. NMOSFET의 게이트 폭과 바이어스 전압 극성에 의존하는 선형영역 저항; (a) salicide NMOSFET, (b) non-salicide NMOSFET.

Fig. 3. Gate width and bias polarity dependence of linear region resistance for NMOSFET; (a) salicide NMOSFET, (b) non-salicide NMOSFET.

IV. 고찰

그림 2와 그림 3의 결과로부터 비대칭 소자에 존재하는 저항 성분을 그림 4와 그림 5에 각각 나타냈다. 그림 4는 non-salicide 공정의 경우이며, 그림 5는 salicide 공정의 경우이다. Type 3의 소자에서 고려된 저항 성분은 type 2의 소자에도 적용할 수 있다. 그림

4와 5에서 R_{CT} 는 금속 배선과의 접촉에서 발생하는 접촉 저항이며, R_S 는 소오스/드레인 영역에 존재하는 분포 저항이다. 그리고 그림 5의 R_C 는 silicide와 소오스/드레인의 불순물 지역의 계면에서 발생할 수 있는 접촉 저항이다.

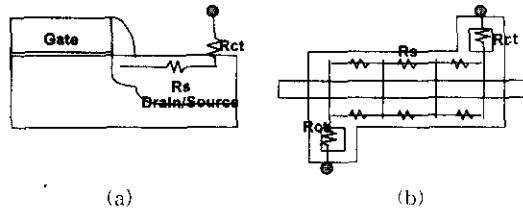


그림 4. Non-salicide 공정의 type 3 소자에 분포하는 저항 성분; (a) 단면, (b) 저항 분포.

Fig. 4. Resistance components of non-salicided type 3 device; (a) cross section (b) resistance distribution.

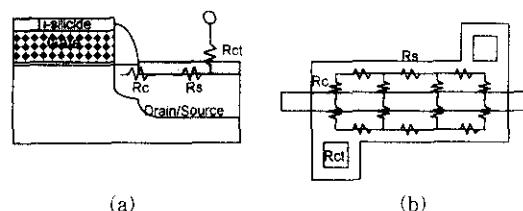


그림 5. Non-salicide 공정의 type 3 소자에 분포하는 저항 성분; (a) 단면, (b) 저항 분포.

Fig. 5. Resistance components of non-salicided type 3 device; (a) cross section (b) resistance distribution.

Salicide 공정이 진행되지 않은 그림 4의 소자의 경우, 금속 배선 접촉 저항(R_{CT})이 매우 크다. 특히, type 3와 같이 contact이 하나만 형성된 경우에는 R_{CT} 값은 다른 저항 성분에 비해 매우 증가하게 되어 소자의 전기적 특성에 직접적인 영향을 줄 수 있다. 분포 저항(R_S)은 소오스/드레인 구조에 의존하며, 그 분포는 그림 4에서처럼 대칭적일 것이다. Type 3의 구조에서 게이트 폭이 증가할수록 R_S 의 값은 더욱 증가하게 될 것이다.

Salicide 공정이 진행된 그림 5의 소자의 경우에는 R_{CT} 와 R_S 의 저항값은 매우 감소하게 되지만 silicide 접촉 저항(R_C)이 존재하게 된다. Ti-silicide의 제조 과정동안 소오스나 드레인 지역의 불순물이 silicide로 이동하는 현상이 발생할 수 있다[2,3]. 그러므로 silicide와 경계를 이루는 소오스/드레인의 일부 영역에는 불순물 결핍이 발생하여 저항 성분이 발생하게 된다. 그

림 5에서처럼 R_C 는 게이트 폭을 따라 형성될 것이다.

Type 1이나 2처럼 contact이 증가하는 구조의 저항 분포 형태는 type 3 구조의 저항 분포에서 R_S 사이의 각 절점에 R_{CT} 를 추가로 연결한 형태가 될 것이다. type 1의 구조에서는 R_S 의 각 절점에 R_{CT} 가 연결되어 병렬 결합을 갖게되므로 non-salicide 소자에서도 그 값이 매우 적게 된다. Type 2와 3의 비대칭 구조의 소자 특성은 R_S 에 직접적으로 영향을 받게 된다. 매우 큰 R_S 는 비대칭 소자의 전기적 채널 폭과 길이 (effective channel width and length)의 변화를 가져오게 된다. Salicide 공정의 비대칭 소자의 경우에도 R_S 는 존재하고 있음을 그림 3a)의 결과에서 알 수 있다.

V. 결 론

Salicide 공정을 행하지 않고 제조된 비대칭 NMOSFET의 전기적 특성은 게이트 폭이 증가할수록 대칭 NMOSFET에 비해 매우 열화되었다. 이것은 비대칭 소오스/드레인 구조에서 발생한 분포 저항의 증가로 인해 실제적 채널(effective channel) 형태가 변화하였음을 의미한다. Salicide 공정을 행한 비대칭 NMOSFET의 경우에도 기생 저항 성분이 존재하고 있다. 소오스/드레인의 분포 저항 뿐 아니라 silicide 접촉 저항이 게이트 주변에 존재하기 때문에 소자의 소오스/드레인 구조 변화에 따라 전기적 특성이 변화하였다.

참고문헌

- [1] M. Lozano, C. Cane, C. Perello, J. Anguita, and E. Loratamayo, Improvement of the triangular MOS transistor for misalignment measurement, Proc. IEEE Int. Conference on Microelectronics Test Structures, vol.4, pp.119-122, 1991.
- [2] J. Hui, S. Wong, and J. Moll, "Specific contact resistivity of TiSi₂ to p⁺ and n⁺ junctions", IEEE Electron Device Lett., vol 6, no.9, pp.479-481, 1985
- [3] Y. Taur, J. Tuan-Shen Sun, D. Moy, L. K. Wang, B. Davari, S. P. Kepner, and C. Ting, "Source-drain contact resistance in CMOS width self-aligned TiSi₂", IEEE Electron Device. vol.34, no. 3, pp.575-579, 1987[1]