

Selective Latch Technique을 이용한 고속의 Dual-Modulus Prescaler

김세업, 이순섭, 김수원
 고려대학교 전자공학과 ASIC 설계 연구실
 136-701 서울시 성북구 안암동 5가 1번지
 E-mail : yeob@asic.korea.ac.kr

A High-Speed Dual-Modulus Prescaler Using Selective Latch Technique

Se-Yeob Kim, Soon-Seob Lee, and Soo-Won Kim
 ASIC Design Lab., Department of Electronics Engineering, Korea University
 5-1, Anam-dong, Seongbuk-ku, Seoul, 136-701, Korea
 E-mail : yeob@asic.korea.ac.kr

Abstract

This paper describes a high-speed Dual-Modulus Prescaler (DMP) for RF mobile communication systems with pulse remover using selective latch technique. This circuit achieves high speed and low power consumption by reducing full speed flip-flops and using a selective latch.

The proposed DMP consists of only one full speed flip-flop, a selective latch, conventional flip-flops, and a control gate. In order to ensure the timing of control signal, duty cycle problem and propagation delay must be considered. The falling edge-triggered flip-flops alleviate the duty cycle problem and this paper shows that the propagation delay of control signal doesn't matter.

The maximum operating frequency of the proposed DMP with 0.6um CMOS technology is up to 2.2GHz at 3.3V power supply and the circuit consumes 5.24mA.

I. 서론

무선 통신 단말기에 필수적으로 사용되는 주파수 합성기는 phase detector, loop filter, Voltage-Controlled Oscillator (VCO), frequency divider로 구성되어 있는데, 이를 블록들 중 가장 고속으로 동작을 해야 하는 부분은 VCO와 frequency divider이다. 따라서 VCO와 frequency divider는 일반적으로 Si-bipolar나 GaAs 공정에 의하여 만들어지고 있으나, 공정비용과 디지털 블록들과의 집적화에 있어서 비효율적이라는 단점들로 인해, 현재 CMOS 공정에 의한 고속 동작 블록의 구현이 계속 연구 되어지고 있다.

CMOS에 의한 구현은 잡음 특성이나 동작 속도가 Si-bipolar나 GaAs 공정에 비하여 낮긴 하지만 CMOS 공정의

발달에 의하여 최소 소자 크기가 점점 작아짐에 따라, 이러한 문제점을 극복할 수 있는 가능성을 제시하고 있다. 또한 무엇보다도 값싼 공정비용과, 주파수 합성기의 단일 칩화의 실현을 위하여 CMOS에 의한 고속 동작 블록의 구현은 앞으로도 중요한 연구 과제가 될 것이다.

본 논문에서는 이러한 고속 동작이 요구되는 블록인 frequency divider에서 DMP를 selective latch technique을 이용하여 CMOS로 설계하였다. 기존의 DMP의 경우, synchronous divider 형태를 취하여 모든 flip-flop이 full-speed로 동작해야 하므로 많은 전력소모를 가져왔다 [1][4][5]. 또한 P+I 분주비를 만들기 위한 logic gates는 동작 주파수의 계한을 가져오게 된다. 제안된 DMP에서는 전력 소모의 큰 비중을 차지하는 VCO의 출력 주파수에 의해 동작하는 flip-flop을 Current Mode Logic (CML)으로 설계하여 고속과 저 잡음으로 동작하게 하였고, asynchronous 형태의 divider를 선택할 수 있으므로 full-speed의 flip-flop을 하나로 줄일 수 있었다. 또한 selective latch technique에 의한 pulse remover를 설계함으로써 DMP의 전력 소모를 줄일 수 있었다.

II. Selective latch technique을 이용한 DMP

2.1 기존의 DMP

기존의 divide-by-8/9 DMP는 shift register ring 방식에 근거한 synchronous divider 형태로 5개의 full-speed flip-flop과 2개의 NAND gate, 그리고 하나의 inverter gate로 이루어져 있다 (그림 1)[3][5]. 이 DMP의 동작은 다음과 같다. mode가 low이면 $NAND_1$ 은 무조건 high를 출력하게 되고, $NAND_2$ 는 X_3 를 inverting 시켜 결국 flip-flop 4개로 이루어진 8분주 회로가 된다. mode가 high가 되면 $NAND_1$ 은

inverter로 동작하게 되어 FF₃의 출력을 2개의 inverter를 거쳐 그대로 FF₄의 입력에 전달하게 된다. 결국 flip-flop 5개와 NAND gate 하나로 이루어진 9분주 회로가 된다.

여기서 모든 flip-flop들은 모두 VCO 출력 주파수로 동작을 해야 하므로 수GHz에서 동작을 하려면 큰 전력소모를 가져오게 되고, 또한 NAND gate들에 의한 동작 속도의 제한이 발생하게 된다. 일반적으로 기존의 synchronous divider의 P+1분주 회로는 그것의 P분주 회로에 비하여 logic gate들에 의해 동작 속도가 더 느려지는 단점이 있다.

DMP를 만드는 또 다른 방법으로는 90° phase relationship [2]에 의한 방식이 있다. 이 방식은 주요 블록으로 full-speed 동작의 flip-flop 하나와 4분주 된 flip-flop의 출력 신호에서 I-Q 신호를 선택하는 phase selection 블록을 갖는다. 기본적으로 asynchronous divider 형태이기 때문에 고속 동작과 저전력 동작이 가능하나, phase selection 블록이 full-speed 동작의 flip-flop 만큼의 전력을 소비하게 되고, I-Q 신호를 선택하기 위한 control logic을 만들어 내기가 쉽지 않는다는 단점들이 있다.

2.2 제안된 DMP

2.2.1 Selective latch technique

먼저 pulse remover의 원리를 살펴보면 다음과 같다. 그림 2에서 보듯이 DMP의 입력으로 들어오는 Clk신호에 대하여 반 cycle에 해당하는 pulse 하나를 제거하여 이를 다음 flip-flop (divide-by-2)에 넘기게 되면, 분주 된 마지막 결과 (F_{out})는 pulse를 제거하지 않은 경우와 비교했을 때, Clk신호의 한 cycle만큼 더 길어진 주기를 갖는 신호를 얻을 수 있다. 즉 P+1 (8+1)의 분주비를 얻게 된다. 여기서 이 pulse remover를 selective latch로 구현할 수 있다. 즉 그림 3에서 Control신호가 low일 때에는 Clk신호를 출력하다가 Control신호가 high가 되면 그 동안에는 latch동작을 하게 하여 출력 신호를 변하지 않게 함으로써 결국 한 cycle내의 pulse를 제거할 수 있다.

Divide-by-8/9 분주기에서는 이 Control신호를 Clk신호의 매 9 cycles마다 한번 발생시킴으로써 구현할 수 있다. 이 신호는 3개의 flip-flop의 출력들과 mode신호를 가지고 만들 수 있다. 즉 모든 flip-flop의 출력이 high일 때 mode신호가 low이면 P분주, high이면 P+1분주를 하게 된다.

2.2.2 기본 블록

Selective latch를 이용한 DMP는 그림 3에서 보듯이 기본적으로 selective latch, 고속동작이 가능한 full-speed CML divide-by-2 flip-flop, 일반적인 CML divide-by-2 flip-flop 2개, 그리고 AND gate로 이루어져 있다.

Selective latch (그림 4)는 기본적으로 CML MUX와 같은 구조를 가지며, 단지 c와 cb의 입력에 의해 Clk신호를 그대로 통과 시키거나 Clk신호를 latching하는 동작을 하므로, 앞

서 살펴본 P+1 분주비를 만들기 위한 phase selection [2]과 같은 블록에 비하여 전력 소모가 매우 적다. 즉 c가 low (cb는 high)일 때는 b입력을 선택하여 Clk신호를 출력하다가, c가 Clk신호의 한 주기 동안 high (c는 low)가 되면 selective latch의 출력 Q를 입력 a에 연결 시키고 출력 Qb는 입력 ab에 연결 시켜 각 node에서의 전압 level을 그대로 유지하게 함으로써, 결국 Clk신호의 한 주기 내의 pulse 하나를 제거할 수가 있다.

Full-speed CML divide-by-2 flip-flop은 기존의 DMP에서는 5개를 필요로 하였으나, 제안된 구조에서는 분주기의 첫번째 단에만 사용되므로 저전력을 이를 수 있다. 그 구조는 그림 5에서 보듯이 일반적인 CML divide-by-2 flip-flop에서 current source를 제거한 형태로, source를 바로 GND로 연결하여 동작 속도의 향상을 얻을 수 있다 [2].

일반적인 CML divide-by-2 flip-flop (FF₁, FF₂)은 입력으로 들어오는 신호의 주파수에 따라 current source의 전류량을 조절하여 필요한 만큼의 전류소모를 하게 함으로써 저전력을 이를 수 있다.

2.2.3 Duty cycle과 Propagation delay

첫번째로 Clk신호의 주기를 T라고 할 때, Control 신호가 high인 동안의 duty cycle (d)은

$$T \leq d < (3/2)T$$

의 관계를 갖는다. 이 조건이 만족되지 않으면 pulse 하나를 제거할 수 없거나 혹은 pulse 두개를 제거하게 된다. 따라서 Control신호의 duty cycle을 보장하기 위해서 그림 6을 보면 Control신호를 모든 falling edge-triggered flip-flop의 출력과 mode신호가 high일 때 만들어지게 하였다. 이것은 AND gate의 function이다. 여기서 X₃와 F_{out}은 X₂보다 먼저 high가 되므로 Control신호는 LSB인 X₂ 출력에만 의존하게 되어 Control신호의 duty cycle은 보장된다. 실질적으로 AND gate는 NAND gate와 inverter로 구현하여 Control신호의 duty cycle을, rising time은 빠르게 하고 falling time은 느리게 함으로써 Clk신호의 한 주기보다 조금 더 길어지게 하여 duty cycle을 보장한다.

두 번째로 propagation delay에 대하여 살펴보면, Control신호는 AND gate의 입력들에 의해서 만들어 지는데 이들은 flip-flop을 통과하면서 모두 propagation delay가 발생한다. 그 중 critical delay path는 그림 3에서 full-speed divide-by-2 flip-flop, AND gate, 그리고 selective latch를 지나는 경로이고, 이때 각각의 propagation delay를 τ_1 , τ_2 , τ_3 라 정의하면 total propagation delay $\tau = \tau_1 + \tau_2 + \tau_3$ 가 된다. 그림 6에서 보면 selective latch의 latch동작은 total propagation delay 이후부터 시작하여 Control신호의 duty cycle동안 계속된다. 여기서 다음 latch start동작이 발생하는 간격은 9cycles로 일정하다. 다시 말해 total propagation delay 시간에는 상관없이 τ 시간 만큼 지났을 때 그 순간의 Clk신호 level을 한 주

기동안 latching 하므로 pulse 하나를 제거할 수가 있다. 따라서 selective latch technique에 의해 total propagation delay는 회로 동작에 영향을 미치지 않게 된다.

III. Simulation 결과

그림 7에 입력 Clk주파수 2.2GHz에서 DMP의 8/9분주 동작을 보였다. 처음엔 8분주 동작을 하다가 mode신호가 high로 변한 후부터 9분주 동작을 하고 있음을 볼 수 있다. 이때 전체 소비 전류는 5.24mA이고, 각 블록별 소비전류의 RMS값은 다음의 표 1과 같다.

표 1 소비 전류

Selective latch	0.72 mA
Full-speed divide-by-2	2.83 mA
Conventional divide-by-2 (FF_1)	0.91 mA
Conventional divide-by-2 (FF_2)	0.72 mA
AND gate	56 uA
Total current	5.24mA

IV. 결론

본 논문에서는 고속 동작의 저전력 DMP를 selective latch technique을 이용한 pulse remover를 설계하여 0.6um CMOS 공정으로 구현하였다. 일반적으로 기존의 DMP구조에서는 full-speed로 동작을 해야 하는 flip-flop의 개수가 많고, logic gates에 의해 동작 속도의 제한이 발생하였으나, 제안된 DMP에서는 full-speed 동작의 flip-flop을 단지 하나만 사용하였고, 저전력의 selective latch를 구현 하였으며, 또한 propagation delay에 의한 영향도 없앨 수 있었다. 여기서 얻어진 결과는 3.3V 공급 전압에서 2.2GHz의 최대 동작 주파수와 5.24mA의 소비 전류를 나타내었다. 이것을 다른 논문과 비교하여 표 2에 정리하였다. 여기서 제안된 구조는 더 높은 분주비가 필요할 경우 뒷단에 계속 2분주기를 연결하여 그 출력을 AND gate로 연결해 주기만 하면 연속적인 분주비의 확장이 가능하다. 또한 0.6um CMOS공정으로 높은

동작 주파수와 낮은 전력소모를 얻을 수 있었으므로 본 구조는 PCS나 RF wireless communication systems으로의 응용에 적합하다고 생각된다.

표 2 Performance 비교

Reference	CMOS Process	$f_{max} @ V_{DD}$	Power @ f_{max}	Division ratio
[2]	0.7um	1.75GHz @3V	24mW	128/129
[3]	0.8um	1.9GHz @5V	38mW	8/9
[5]	1.2um	1.16GHz @5V	45mW	8/9
This work	0.6um	2.2GHz @3.3V	17.3mW	8/9

References

- [1] C. Y. Yang, G. K. Dehng, J. M. Hsu, and S. I. Liu, "New Dynamic Flip-Flop for High-Speed Dual-Modulus Prescaler", *IEEE J. Solid-State Circuits*, vol. 33, pp. 1568-1571, Oct. 1998.
- [2] J. Craninckx and M. Steyaert, "A 1.75-GHz/3-V Dual-Modulus Divider-by-128/129 Prescaler in 0.7-um CMOS", *IEEE J. Solid-State Circuits*, vol. 31, pp. 890-897, Jul. 1996.
- [3] P. Larsson, "High-Speed Architecture for a Programmable Frequency Divider and a Dual-Modulus Prescaler", *IEEE J. Solid-State Circuits*, vol. 31, pp. 744-748, May. 1996.
- [4] N. Foroudi and T. A. Kwasniewski, "CMOS High-Speed Dual-Modulus Frequency Divider for RF Frequency Synthesis", *IEEE J. Solid-State Circuits*, vol. 30, pp. 93-100, Feb. 1995.
- [5] R. Rogenmoser, N. Felber, Q. Huang, and W. Fichtner, "1.16GHz Dual-Modulus 1.2um CMOS Prescaler", in *Proc. IEEE 1993 CICC*, San Diego, CA, pp. 27.6.1-27.6.4, May. 1993.

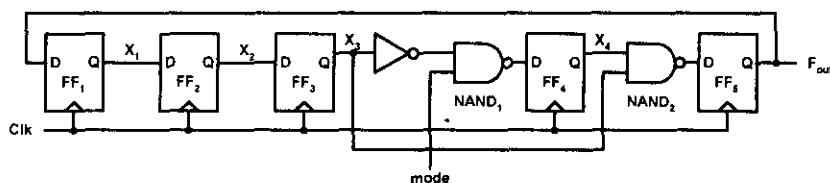


그림 1 기존의 Divide-by-8/9 DMP

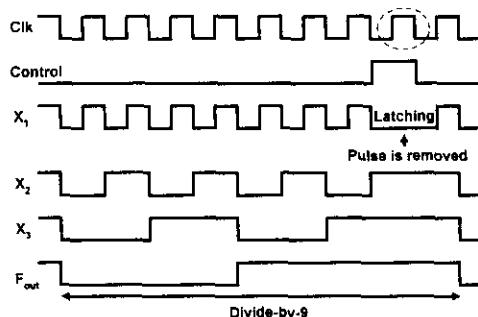


그림 2 Pulse remover^(a) 원리

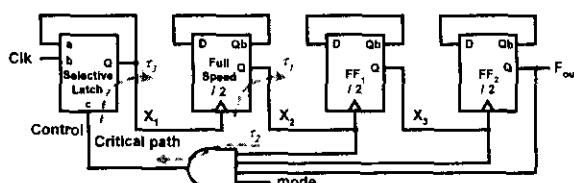


그림 3 Selective latch를 이용한 제작된 divide-by-8/9 DMP

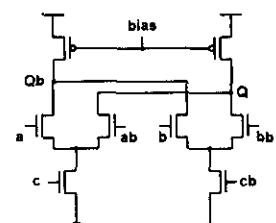


그림 4 Selective latch

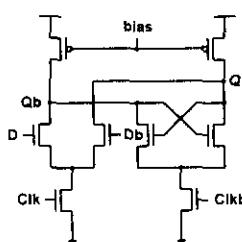


그림 5 Full-speed 동작 2분주기의 latch

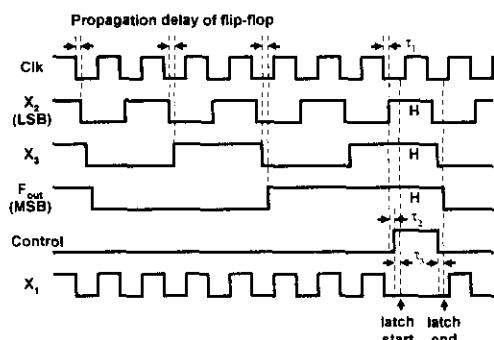


그림 6 Propagation delay

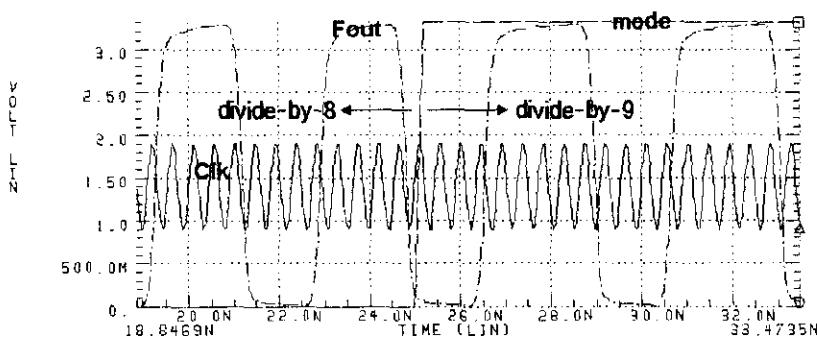


그림 7 Divide-by-8/9 (Clk = 2.2GHz)