

# CMOS IC 패키지의 스위칭 특성 해석 및 최적설계

박 영준, 어 영선

한양대학교 전자공학과

## A New CMOS IC Package Design Methodology Based on the Analysis of Switching Characteristics

Young-Jun Park and Yungseon Eo

Dept. of Electronic Engineering, Hanyang University

E-mail : jun@iel.hanyang.ac.kr

eo@iel.hanyang.ac.kr

**Abstract** - A new design methodology for the short-channel CMOS IC-package is presented. It is developed by representing the package inductance with an effective lumped-inductance. The worst case maximum-simultaneous-switching noise (SSN) and gate propagation delay due to the package are modeled in terms of driver geometry, the maximum number of simultaneous switching drivers, and the effective inductance. The SSN variations according to load capacitances are investigated with this model. The package design techniques based on the proposed guidelines are verified by performing HSPICE simulations with the  $0.35\mu m$  CMOS model parameters.

## I. 서론

최근의 고성능 VLSI 칩은 수십 GHz 영역의 클럭 밴드워드와 수백개 이상의 I/O 단자를 요한다. 따라서 칩 외부로 내부회로의 스위칭 시 배선 및 패키지에서 발생하는 스위칭 노이즈(델타-I 노이즈)는 노이즈 마진의 감소, 시스템의 성능 저하 및 신호의 지연에 의한 시스템의 오동작과 같은 심각한 문제를 야기시키기 때문에 설계의 초기단계에서부터 정확히 예측해야 한다 [1-3]. 따라서 종 가능한 I/O 단자 중 최적의 파워 단자

및 그라운드 단자를 할당하고 패키지의 인덕턴스를 줄일 수 있는 패키지 설계방법 및 구동회로를 최적 설계하여 스위칭 노이즈를 최소화할 수 있는 새로운 IC 패키지 회로 설계방법이 필수 불가결하게 되었다.

본 논문에서는 솟 채널(short-channel) 소자에 대하여 스위칭 시간동안에 트랜지스터가 세트리레이션 모드에서 동작하는 조건으로서 부하 캐패시턴스 일정 값과 스위칭 노이즈에 의해서 발생한 시간지연에 대한 식을 해석하여 스위칭 노이즈에 대한 제약조건 하에서 패키지 시스템을 설계하는 방법을 제시한다.

## II. 스위칭 노이즈

스위칭 노이즈는 시스템내의 회로소자들이 스위칭 할 때 그라운드 혹은 바위선의 인덕턴스에 유기되는 전압 변동이다. 이를 노이즈는 간단히 그림 1과 같은 CMOS 회로에서 그라운드 선의 인덕턴스에 유기되는 전류 변화와 인덕턴스 값으로부터 다음과 같이 수식적으로 표현 할 수 있다.

$$V_{ssn} = nL_{eff} \frac{dt}{dt} \quad (1)$$

Vaydianath는 봉 채널 소자를 가정한 CMOS 디자인 회로에서 스위칭 노이즈를 모델[1]하였으나 솟 채널 소

자에서 발생하는 속도 포화(velocity saturation) 현상을 배제한 모델이기 때문에 현재와 같은 디서브마이크론 소자를 사용하는 집에서는 상당히 과장된 노이즈 값을 예측 한다. 이와 같은 문제를 보완하기 위해 Venmuru는 디서브마이크론 소자를 사용한 구동 회로의 경우에 Sakurai의  $\alpha$ -power-law[4]를 적용한 전류식을 사용하여 새로운 모델을 제시하였다. 디서브마이크론 소자에서 드레인 전류는 다음과 같이 표현된다[2].

$$I_D = \begin{cases} 0 & (V_{GS} \leq V_t) ; \text{cutoff} \\ k_s (V_{GS} - V_t)^{\frac{\alpha}{2}} V_{DS} & (V_{DS} < V'_{D0}) ; \text{linear} \\ k_s (V_{GS} - V_t)^{\alpha} & (V_{DS} \geq V'_{D0}) ; \text{sat} \end{cases} \quad (2)$$

윗 식에서  $V'_{D0}$ 는 트랜지스터가 세튜레이션되는 전압을 나타낸다. 또한  $k_s$ 과  $k_v$ 는 전류 구동능력을 표시하는 임자이며, 채널의 폭에 비례한다. 따라서 세튜레이션 상태에서의 전류  $I_D$ 는 다음과 같이 다시 쓸 수 있다.

$$I_D = k_s (V_{GS} - V_t)^{\alpha} = \beta^* \left( \frac{W}{L} \right) (V_{GS} - V_t)^{\alpha} \quad (3)$$

여기서

$$\beta^* = \frac{I_{D0}}{(V_{DD} - V_t)^{\alpha}} \left( \frac{L}{W_n} \right) \quad (4)$$

이고,  $W_n$ 은  $I_{D0}$ 를 구하기 위해 사용된 채널의 폭을 나타낸다.  $\alpha$ ( $0.5 \mu m$ 이하의 디서브마이크론 소자에서  $\alpha \approx 1$ )는 캐리어 이동 속도 포화를 고려한 실험적인 파라미터 값이다. 따라서 식(3)을 이용한 SSN은 다음과 같다[2].

$$V_{out}(t) = \begin{cases} s_A \left[ 1 - e^{-\frac{(t-t_s)}{A}} \right] & (t_s \leq t \leq t_r) \\ V_{max} e^{-\frac{(t-t_r)}{A}} & (t_r \leq t \leq t_s) \end{cases} \quad (5)$$

여기서  $A \approx k_s L_{eff} f$ 이며 시간상수(time constant)을 나타낸다.  $V_{max}$ 는  $t = t_s$  일 때의 최대 SSN 값이다.

### III. 부하 캐패시턴스의 효과

앞에서 유도된 SSN 모델 식은 구동 드라이버가 큰 부하 캐패시턴스를 구동하기 때문에 입력이 스위칭하

는 동안 NMOS 트랜지스터가 세튜레이션 모드로 동작한다는 것을 가정한 모델이다. 그림 2는 부하 캐패시턴스 변화에 따른 구동 드라이버 전류를 나타낸다.

그림 2에서 부하 캐패시턴스의 어떤 임계 값 ( $C_{crit}$ ) 이상에서는 NMOS 트랜지스터 전류의 변동률은 같다는 것을 알 수 있다. 만약 부하 캐패시턴스가 임계 값 ( $C_{crit}$ )과 같다면 NMOS 트랜지스터는 정화히 시간  $t = t_r$  일 때 세튜레이션 모드를 떠나게 되고, 이러한 조건으로부터 부하 캐패시턴스의 임계 값 ( $C_{crit}$ )을 구할 수 있다. 세튜레이션 모드에서 NMOS에  $\beta^*$ 라는 전류 방정식은 식(3)과 같다. 그림 1로부터 임의의 시간  $t$ 에서  $V_{out} = V_{DD} - V_{on} - \Delta V_{out}$ 이다. 여기서

$$\Delta V_{out} = \frac{1}{C_L} \int I_D dt \quad (6)$$

이다. NMOS 트랜지스터가 정화히  $t = t_r$  일 때 세튜레이션 모드를 떠난다면  $\Delta V_{out} = V_{DD} - V_{max} - V'_{D0}$ 이다. 따라서  $t_s \leq t \leq t_r$  까지 직분하여 정리하면 부하 캐패시턴스의 임계 값을 다음과 같이 유도할 수 있다.

$$C_{crit} = \frac{k_s}{V_{DD} - V_{max} - V'_{D0}} \left[ \frac{t_r}{2V_{DD}} (V_{DD} - V_t)^2 - A(V_{DD} - V_t) + V_{max} A \right] \quad (7)$$

그림 3의 부하 캐패시턴스에 따른 SSN 변화로부터 ( $C_L > C_{crit}$ )에 대하여 스위칭 노이즈가 세튜레이션되는 것을 알 수 있다. 따라서 임계 값 ( $C_{crit}$ )보다 더 큰 부하 캐패시턴스에 대한 스위칭 노이즈는  $V_{max}$  값에 의해 결정된다. 또한 임계 값보다 작은 부하 캐패시턴스에 대한 SSN은 부하 캐패시턴스 값 ( $C_L$ )이 증가함에 따라 증가한다는 것을 알 수 있다.

### IV. 패키지 해석 및 최적설계

#### 1. 드라이버의 구동능력 및 신호지연

일반적으로 부하 캐패시턴스는  $10 pF \sim 200 pF$  사이의 값을 가지므로 NMOS 트랜지스터 동작은 대부분 스위칭시 항상 세튜레이션 모드로 동작한다고 볼 수

있다. 50% 저연시간(50% delay time), 즉 입력전압이 50% 되는 부분에서 출력전압이 50% 되는 지점까지의 저연시간( $\tau_{D,1/2}$ )을 구하기 위해서 선형입력을 가정하면 식(6)을 다음과 같이 나타낼 수 있다.

$$\frac{1}{2}V_{DD}C_L = \int_0^t I_{D,sat} dt + \int_t^\infty I_{D,sat} dt \quad (8)$$

여기서  $I_s$ 는 출력전압  $V_{out}$ 이  $V_{DD}/2$ 에 도달할 때의 시간을 의미한다. 선형입력에 대해 식(3)에서  $I_{D,sat}$ 식은 다음과 같이 두 부분으로 나뉘어진다.

$$I_{D,sat} = \begin{cases} k_s \left( \frac{V_{DD}}{t_r} t - V_{sat} - V_i \right)^n & (t_r \leq t \leq t_v) \\ k_s (V_{DD} - V_{sat} - V_i)^n & (t_v \leq t \leq t_r) \end{cases} \quad (9)$$

따라서 식(8)을 직분하여 정리하면 다음과 같은 50% 저연시간( $\tau_{D,1/2}$ )을 구할 수 있다.

$$\tau_{D,1/2} \cong \frac{V_{DD}C_L}{2k_s(V_{DD} - V_i)} + \frac{t_r}{V_{DD}} \left( \frac{1}{2}V_i + s_r A \right) \quad (10)$$

또한,  $V_{max} \cong s_r nk_s L_{eff} f$ 로 전사화 할 수 있으므로  $n$ 과  $L_{eff}$ 과의 관계식으로 재정리하면,

$$nL_{eff} \cong \frac{V_{max} t_r}{k_s V_{DD} f} \quad (11)$$

이다. 따라서  $s_r A \cong V_{max}$  이므로 식(10)을 다시 쓰면,

$$\tau_{D,1/2} \cong \frac{V_{DD}C_L}{2k_s(V_{DD} - V_i)} + \frac{t_r}{V_{DD}} \left( \frac{1}{2}V_i + V_{max} \right) \quad (12)$$

이 되고 식(12)을 다시 정리하면 시스템 설계시  $\tau_{D,1/2}$  와 무관 캐페시턴스가 주어졌을 때 이를 구동할 수 있는 구동능력을 나타내는  $k_s$  값을 구할 수 있다.

$$k_s \approx \frac{V_{DD}C_L}{2(V_{DD} - V_i) \left\{ \tau_{D,1/2} - \frac{t_r}{V_{DD}} \left( \frac{1}{2}V_i + V_{max} \right) \right\}} \quad (13)$$

## 2. 스위칭 노이즈에 의한 신호지연

그림 1에서 스위칭 노이즈가 있을 때의 50% 저연시간은  $\tau_{D,1/2}$ 이라고 하고 스위칭 노이즈가 없을 때의 50% 저연시간은  $\tau'_{D,1/2}$ 라고 하면, 스위칭 노이즈에 의해 발생하는 저연시간은  $\tau_{D,sat}$ 를 구할 수 있다.

$\tau_{D,sat} = \tau_{D,1/2} - \tau'_{D,1/2}$  이므로 계산하여 정리하면 다음과 같다.

$$\tau_{D,sat} \cong nk_s L_{eff} f \quad \text{or} \quad \tau_{D,sat} \cong \frac{t_r}{V_{DD}} V_{max} \quad (14)$$

시스템의  $V_{DD} = 3.3V$ 이고 동작 주파수를 나타내는 상승시간  $t_r = 0.5nsec$ 인 조건하에서 최대 스위칭 노이즈  $V_{max} = 0.64V$ 가 발생했다면  $\tau_{D,sat} \cong 97 psec$ 임을 알 수가 있고, HSPICE 시뮬레이션 결과로부터 얻은 저연시간이 100 psec인 값과 잘 일치한다. 또한  $n = 8$ ,  $k_s \cong 15.187 mA/V$ ,  $L_{eff} = 1.0 nH$ 인 때에는  $\tau_{D,sat} \cong 121 psec$ 임을 알 수 있고 이러한 결과는 HSPICE 시뮬레이션 결과인 124 psec와 잘 일치한다.

## 3. 패키지의 최적설계

시스템 설계에 있어서  $\tau_{D,1/2}$ 와 최대 허용 스위칭 노이즈  $V_{max}$  값이 선정하고자 하는 조건으로 주어진다면 식(13)으로부터  $k_s$  값을 구할 수 있다. 이러한  $k_s$  값을 구동 드라이버의 크기(size)를 결정하고 식(11)에 대입하여 최대 허용 스위칭 갯수  $n$ 과 유효 인디턴스  $L_{eff}$ 과의 상관관계를 알 수 있다. 즉,  $L_{eff}$  가 주어진다면 식(11)로부터 최대 허용 SSN 범위내에서 동시에 스위칭이 가능한 구동 드라이버의 갯수를 알 수 있고, 최대 구동 드라이버의 갯수가 주어지면 허용 가능한  $L_{eff}$  값을 알 수 있다.

본 논문에서는 제시한 패키지 설계방법을 검증하기 위해서 인버터를  $0.35 \mu m$  CMOS 공정에 대한 BSIM3 모델(HSPICE Model level 49)을 사용하였다. 여기서  $t_{ox} = 7 nm$ 이고  $V_i \cong 0.64V$ , 그리고  $V_{DD} = 3.3V$ 이다. 만약 동작 주파수를 나타내는  $t_r = 0.5nsec$ 이고  $C_L = 10 pF$ 를 구동하는 시스템을 설계한다고 하자. 먼저 정상동작을 위해 최대 허용 스위칭 노이즈를  $V_{max} = V_i = 0.64V$ 로 놓고,  $\tau_{D,1/2} = 1.5t_r$ 인 조건이 주어진다면  $k_s$  값은  $10.26 mA/V$ 이고, 이는 구동 드라이버의 크기  $W_N = 54 \mu m$ 에 해당한다. 여기서 최대

로 스위칭하는 갯수가  $n = 8$  이라면  $L_{eff} < 1.18nH$  를 만족해야 한다. 따라서 주어진 유효 인덕턴스의 조건을 만족시키는 패키지를 선택하여야 한다. 반대로  $L_{eff} = 0.5nH$  인 패키지가 주어졌다면 동시 스위칭 갯수는  $n < 18.9$  를 만족해야 한다. 따라서 최대  $n = 18$  까지 동시에 스위칭을 할 수가 있다. 본 논문에서 제시한 모델을 사용한 패키지 설계방법의 경우와 설계방법에서 벗어난 경우에 대한 HSPICE 시뮬레이션 결과를 그림 4에 나타내었다. 결과에서 보듯이 제시한 설계방법에 의한 시뮬레이션 결과가 설계하고자 하는 조건을 잘 만족시킨다는 것을 알 수 있다.

## V. 결론

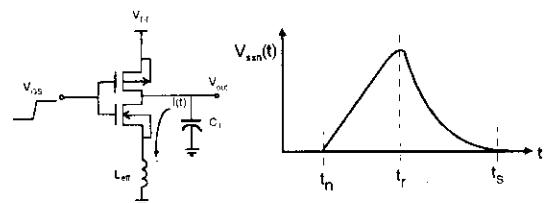
본 논문에서는 쪽 채널 소자에 대하여 부하 캐패시턴스의 임계 값( $C_{crit}$ )과 스위칭 노이즈에 의해서 발생한 시간지연에 대한 식을 유도하였다. 또한 그 결과를 바탕으로 하여 스위칭 노이즈에 대한 여러가지 제약 조건하에서 시스템을 설계하는 방법을 제시하였다.

본 논문에서 제시된 설계방법은  $0.35\mu m$  CMOS 디바이스 모델 파라미터를 사용한 HSPICE 시뮬레이션을 통해 검증하였으며 시뮬레이션 결과와 매우 잘 일치함을 보였다. 따라서 제시된 설계방법은 고성능 집적회로 설계 및 패키지 설계에서 유용하게 적용할 수 있다.

## 참고 문헌

- [1] Vaidyanath, B. Thoroddsen, and J. L. Prince, "Effect of CMOS driver loading conditions on simultaneous switching noise," *IEEE Trans. CPMT*, vol. 17, pp. 480-485, Nov. 1994.
- [2] S. R. Vemuru, "Accurate simultaneous switching noise estimation including velocity-Saturation effects," *IEEE Trans. CPMT*, vol. 19, pp. 344-349, May. 1996.
- [3] Y. Yang and J. R. Brews, "Design for Velocity Saturated, Short-Channel CMOS Drivers with Simultaneous Switching Noise and Switching Time Considerations," *IEEE JSSC*, vol. 31, no. 9, pp. 1357-1360, Sep. 1996.
- [4] T. Sakurai and R. Newton, "Alpha-Power Law MOSFET Model and Its Applications to CMOS Inverter Delay and

Other Formulas," *IEEE JSSC*, vol. 25, no. 2, pp. 584-594, April. 1990.



(a) CMOS 회로 (b) 스위칭 노이즈

그림 1. SSN에 관한 CMOS 회로 모델

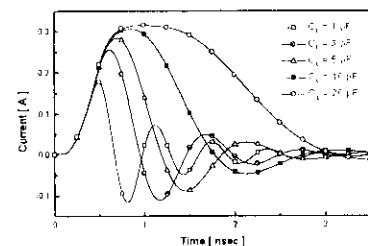


그림 2. 부하 캐패시턴스 값의 변화에 따른 NMOS 트랜지스터 전류 과정;  $V_{DD} = 3.3V$ ,  $t_r = 0.5\text{nsec}$ ,  $n = 8$ ,  $k_m \cong 15.187\text{mA/V}$

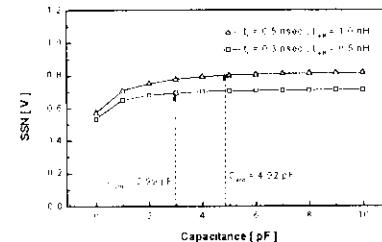


그림 3. 부하 캐패시턴스의 크기에 따른 스위칭 노이즈 변화;  $k_m \cong 15.187\text{mA/V}$ ,  $V_{DD} = 3.3V$ ,  $n = 8$

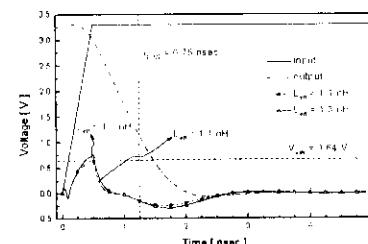


그림 4. 제시한 설계방법에 의한 패키지 노이즈 검증;  $C_L = 10\text{pF}$ ,  $t_r = 0.5\text{nsec}$ ,  $W_N = 54\mu m$ ,  $V_{TH} = 0.64V$ ,  $n = 8$ ,  $k_m \cong 10.26\text{mA/V}$