

1.9GHz대의 적층 칩 세라믹 대역 통과 필터 설계 및 시뮬레이션

Design and Simulation of the laminated planar chip ceramic bandpass filter for 1.9GHz

김지균 명지대학교 공과대학 전기공학과

이현용 명지대학교 공과대학 전기공학과

윤중락 명지대학교 공과대학 전기공학과

김민석 명지대학교 공과대학 전기공학과

Jee-Gyun Kim Dept. of Electrical Eng. Myongji University

Heon-Yong Lee Dept. of Electrical Eng. Myongji University

Jung-Rak Yoon Dept. of Electrical Eng. Myongji University

Min-Suk Kim Dept. of Electrical Eng. Myongji University

Abstract

A high performance, high-dielectric stripline filter has been developed. The filter consists of planar resonators and its structure is made of high permittivity multilayer ceramic. The performance is distinctive with its attenuation pole. An equivalent lumped circuit is derived to explain the behavior of the attenuation pole quantitatively. A precise design procedure is also described.

1. 서론

전자공업의 급격한 발전과 정보화 시대의 고속화로 이동통신기기의 사용이 급증하고 있으며 이러한 이동통신 수요의 주종은 휴대용 전화기 및 차량 전화기로서 UHF 대역의 이동통신 단말기이다. 최근에 Cellular Telephone(800MHz대)과

더불어 수요가 급증하고 있는 PCS(Personal Communication System) Telephone 단말기의 시장이 더 각광을 받고 있다. 이는 휴대용 단말기의 소형, 경량성 때문에 더욱 각광을 받고 있는데 특히 RF단에 이용되는 부품 중 RF 필터는 단말기의 소형화와 SMD(Surface Mounted Device)화를 위하여 소형이면서 고성능의 특성을 가지는 필터가 필요하다. 고주파 유전체를 이용

한 적층 칩 LC 필터는 스트립라인 인덕터의 낮은 부하 $-Q$ 로 인하여 삽입 손실이 증가하는 단점이 있어 최근에는 Planar resonator를 이용한 고주파용 적층 칩 필터가 연구의 주 대상으로 되고 있다.

본 연구에서는 이동 통신 단말기에 사용하기 위해 0.9~2GHz 대에서 동작하는 Planar resonator 형태의 고주파용 적층 칩 필터의 구조를 이해하고 필터 설계를 위하여 Comb-line filter로 알려진 Planar resonator의 구조와 resonator 간에 전자기적 결합을 해석하고 최종적으로 고주파용 적층 칩 필터를 설계하고 시뮬레이션을 통해 확인함으로써 설계기법을 확립하는데 연구의 목적이 있다.

1.9GHz 대역통과 필터를 설계하고, 설계된 필터의 특성을 시뮬레이션 하여 필터의 특성을 살펴보았다.

2. 필터의 구조

그림1은 Planar Filter의 구조이다. 이것은 다섯 층의 세라믹으로 만들어 졌다. 여기서 평면선로층(Planar line layer)은 위에 병렬 스트립라인 a, a' 쌍을 갖는다. 이 캐패시터 결합층은 b와 b'이 입력/출력 커플링 캐패시터 4개의 도체전극이다. c는 접지 층 캐패시터이고, d는 직렬로 연결된 두 개의 캐패시터이고 a, a'선 위로 병렬로 교차한다. 이렇게 해서 Inter-resonator 커플링 캐패시터를 만든다.

필터의 등가회로는 그림2 (a)와 같다. 이 필터는 병렬 평면 결합선로와 여섯 개의 캐패시터 요소를 갖는다. 각각의 선의 끝은 접지 되어있다. C_{01} 과 C_{02} 는 입력/출력 커플링 캐패시터로 묘사되고 C_{r1} 과 C_{r2} 는 낮은 공진 주파수로 스트립라인에서의 캐패시터이다. 그러므로 combline 필터에서와 같이 공진기의 길이를 파장의 $\lambda/4$ 보다 작게 할 수 있는 캐패시터는 공진기의 개방면쪽에 붙어 있는 도체전극과 공진기 사이의 커플링에 의해 형성된다. C_{12} 는 두 개의 직렬 캐패시터를 포함한 inter-resonator 캐패시터이다.

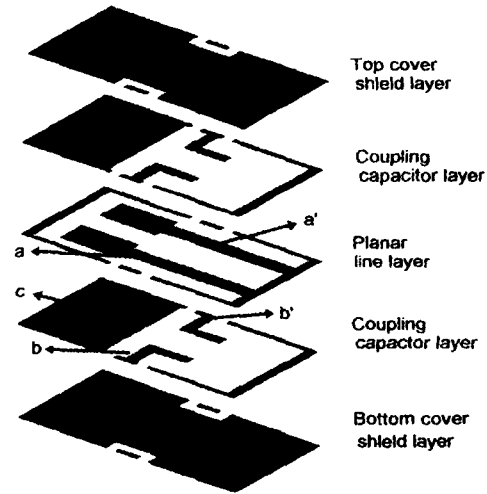


그림1. 대역 통과 필터의 구조

그림2 (b)는 결합스트립선로 공진기를 집중소자화한 등가회로인데, L_1 , C_1 은 결합스트립선로 공진기의 등가소자 값이며, L_3 은 결합스트립선로 공진기의 전자기적 결합에 대한 등가소자 값으로 단락된 짧은 공진기 간의 결합이 주로 자기적 결합임을 보여준다.

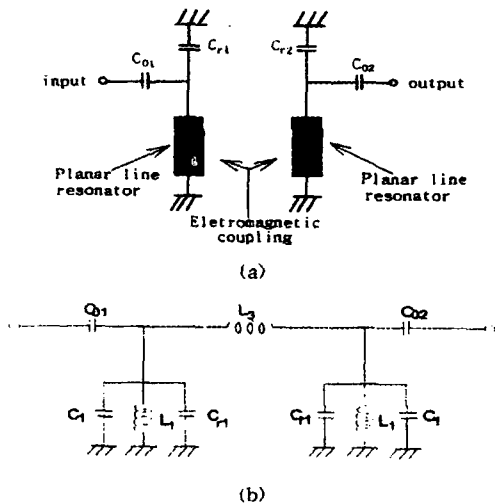


그림2. 대역통과 필터의 등가회로
(a) 등가회로 (b) 집중 소자화 된 등가회로

3. 필터 설계 방법

3.1 회로 매개변수

필터의 대역폭과 리플을 해석하는데 있어 기존의 회로에 적용된 공진회로와 캐패시턴스 C_r 를 이용하여 중심 주파수 f_0 및 대역통과 필터를 구현한다. 중심 주파수 f_0 와 source/load 컨덕턴스 G_0 는 일반적이다. 그러므로 입력 캐패시턴스 C_{01} 과 커플링 캐패시턴스 C_c 는 아래와 같다.

$$C_0 = \frac{J_{01}}{2\pi} = \frac{1}{2\pi} \sqrt{\frac{br}{g_0 g_1}} \quad (1)$$

$$C_{01} = \frac{C_0}{\sqrt{1 - (2\pi C_0)^2}} \quad (2)$$

$$C_c = \frac{J_{12}}{2\pi} = \frac{r}{2\pi} \sqrt{\frac{b^2}{g_1 g_2}} \quad (3)$$

여기서 어드미턴스 매개변수 b 는 2π 로 가정하고, J_{01} 과 J_{12} 는 J 인버터 매개변수들로 유추된다. C_{12} , C_3 와 L_3 은 병렬로 연결되었기 때문에 C_c 는 다음과 같다.

$$C_c = C_{12} + C_3 - \frac{1}{(2\pi)^2 L_3} \quad (4)$$

만약 극 주파수 f_p 가 주어지면 L_3 값은 (4)에서 구할 수 있다.

$$f_p = \frac{1}{2\pi \sqrt{L_3(C_{12} + C_3)}} \quad (5)$$

최종적으로 공진기의 회로 매개변수는 :

$$L_1 = \frac{1}{2\pi b} \quad (6)$$

$$C_{01}^c = \frac{C_{01}}{1 + (2\pi C_{01})^2} \quad (7)$$

$$C_1 + C_{r1} = \frac{b}{2\pi} - C_{01}^c - C_c \quad (8)$$

$$2\pi f \tan\left(\frac{2\pi f l}{ck}\right) - \frac{Z_e - Z_0}{2Z_e Z_0 C_{12}} = 0 \quad (9)$$

$$L_3 = \frac{2Z_e Z_0}{\pi f_p^2 (Z_e \cdot Z_0) \cdot \left\{ \frac{2\pi l}{ck \sin^2\left(\frac{2\pi f_p l}{ck}\right)} - \frac{1}{f_p \tan\left(\frac{2\pi f_p l}{ck}\right)} \right\}} \quad (10)$$

3.2 구조상의 매개변수

병렬 평면선로의 간격(gap)과 폭은 회로 매개변수들로부터 얻어진다. 계산에서 특성임피던스, 즉 어드미턴스 매개변수 b 또는 L_1 이 임의로 선정되면 L_1 으로 L_3 이 구해진다. 그러나 L_1 과 L_3 은 병렬 평면선로의 Z_e 와 Z_0 의 함수이며 임피던스 비 P 를 구한다.

$$P = \frac{Z_e}{Z_0} = \frac{2L_1 f_0^2}{L_3 f_p^2} \cdot \frac{\left\{ \frac{2\pi l}{ck \sin^2\left(\frac{2\pi f_0 l}{ck}\right)} + \frac{1}{f_0 \tan\left(\frac{2\pi f_0 l}{ck}\right)} \right\}}{\left\{ \frac{2\pi l}{ck \sin^2\left(\frac{2\pi f_p l}{ck}\right)} + \frac{1}{f_p \tan\left(\frac{2\pi f_p l}{ck}\right)} \right\}} + 1 \quad (11)$$

식 (11)는 어드미턴스 매개변수 b 를 포함하지 않고 단지 L_1/L_3 의 비율이다. 그러므로 L_1/L_3 , P 의 비율에 의해 Z_e 와 Z_0 의 선택이 얻어진다. P 는 평면선로에 간격과 폭의 함수이다. 구조상의 매개변수는 P 가 주어질 때 정의된다.

4. 시뮬레이션 결과

지금까지의 설계이론을 바탕으로 유전율(ϵ_r)에 따른 시뮬레이션을 하면 표1과 같다.

표1. 유전율에 따른 시뮬레이션 결과

ϵ_r	C_{01}	C_{r1}	C_1	C_3	C_{12}	L_1	L_3	g	w
20	1.12	14.8	1.94	0.01	0.76	0.35	50.0	1.08	2.65
	161	403	342	333	709	697	720	4	34
30	0.97	11.2	2.43	0.01	0.62	0.43	61.9	1.16	2.06
	332	172	263	631	271	591	369		952
40	0.88	8.93	2.87	0.01	0.53	0.50	71.2	1.21	1.72
	680	920	240	897	681	119	119	3	144
50	0.82	7.29	3.28	0.02	0.47	0.55	79.1	1.25	1.48
	861	687	579	141	857	7131	598	3	392
60	0.78	6.01	3.68	0.02	0.43	0.60	86.0	1.28	1.30
	628	447	488	370	608	584	809	5	861

C [pF], L [nH], g [mm], w [mm]

여기서, 중심 주파수 $f_0=1.975\text{GHz}$,

극 주파수 $f_p=800\text{MHz}$

$Z_e=8\Omega$, $l=3.0\text{mm}$, $t=0.6\text{mm}$

다음에는 Z_e 에 따른 시뮬레이션을 하면 표2와 같은 결과를 얻는다.

표2. Z_e 에 따른 시뮬레이션 결과

Z_e	C_{01}	C_{r1}	C_1	C_3	C_{12}	L_1	L_3	g	w
6	1.19	15.1	3.24	0.02	0.83	0.32	46.4	1.0	2.93
	808	353	351	174	027	694	527	51	563
7	1.06	12.8	2.78	0.01	0.71	0.38	54.1	1.1	2.44
	860	924	015	864	167	143	948	09	074
8	0.97	11.2	2.43	0.01	0.62	0.43	61.9	1.1	2.06
	332	172	263	631	271	591	369	6	952
9	0.89	9.91	2.16	0.01	0.55	0.49	69.6	1.2	1.78
	950	892	234	449	352	040	790	05	078
10	0.97	11.2	2.43	0.01	0.62	0.43	61.9	1.1	2.06
	320	172	263	631	271	592	369	6	952

$C[\text{pF}]$, $L[\text{nH}]$, $g[\text{mm}]$, $w[\text{mm}]$

여기서, 유전율(ϵ_r)은 30이다.

마지막으로 극 주파수에 따른 시뮬레이션 결과는 표3과 같다.

표3. 극 주파수에 따른 시뮬레이션 결과

f_p	C_{01}	C_{r1}	C_1	C_3	C_{12}	L_1	L_3	g	w
400	0.97	11.2	2.43	0.00	0.55	0.43	284.	1.73	2.05
	320	172	263	353	349	592	219	5	566
500	0.97	11.2	2.43	0.00	0.56	0.43	177.	1.55	2.05
	320	172	263	566	509	592	524	8	803
600	0.97	11.2	2.43	0.00	0.58	0.43	119.	1.40	2.06
	320	172	263	841	001	592	566	9	105
700	0.97	11.2	2.43	0.01	0.59	0.43	84.6	1.27	2.06
	320	172	263	191	900	592	187	8	484
800	0.97	11.2	2.43	0.01	0.62	0.43	61.9	1.16	2.06
	320	172	263	631	271	592	369	6	952

$C[\text{pF}]$, $L[\text{nH}]$, $g[\text{mm}]$, $w[\text{mm}]$

여기서, 중심 주파수 $f_0=1.975\text{GHz}$,

유전율(ϵ_r)= 30, $Z_e = 8\Omega$ 이다.

5. 결론

저층 칩 세라믹 대역통과 설계 및 시뮬레이션 결과 다음과 같은 결론을 얻었다.

(1) 세라믹의 유전율이 증가 할수록 C_{01} , C_{r1} 은 감소하고 C_1 , C_3 , C_{12} , L_1 , L_3 는 증가하는 양상을 보였다.

(2) 유전율을 30으로 고정한 후 우모드 Z_e 를 시뮬레이션 한 결과 C_{01} , C_{r1} 은 감소하고 C_1 , C_3 , C_{12} , L_1 , L_3 및 공진기 간의 간격 g 가 증가함을 볼 수 있었다.

(3) Z_e 가 8Ω 인 경우 극 주파수에 따른 시뮬레이션 결과 C_{01} , C_{r1} , C_1 , L_1 의 값은 변화가 없고 C_3 및 L_3 가 변화함을 볼 수 있었다.

참고문헌

- [1] Seung-Hee Seo, Yun-Kwon Nam, and Dong-Chul Park, "Design of a laminated chip filter," in Asia-Pacific Microwave Conference Proc., New Delhi, India, Dec. 17-20, 173-176. 1996.
- [2] Toshio Ishzaki, "A very small dielectric planar filter for portable telephones," IEEE Trans. on Microwave Theory and Techniques, vol. MTT-42, 2017-2022, November 1994.
- [3] Kazuo Washida, "Chip monolithic LC filters move into high-frequency use," JEE, pp. 48-52, Oct. 1991.
- [4] R.Pregla, "Microwave filters of coupled lines and lumped capacitances," IEEE Trans, Microwave Theory Techniques, vol. MTT-18, pp. 278-280, May 1970.
- [5] H.Kagata, T. Inoue, J. Kato, and I. Kameyama, " Low-fire bismuth-based dielectric ceramics for microwave use," Jap. J. Appl. Phys., vol 31, Part I, no. 9B, pp. 3152-3155, Sept. 1992.