

# ISL 트랜지스터의 전기적 특성

장 창덕, 이 정석, 이 용재  
동의대학교 전자공학과

## The Electrical Characteristics of ISL ( Intergrated Schottky Logic ) Transistor

Chang dug Jang, Jung suk Lee, Yong jae Lee  
Dept. of Electronics Eng., Dong-Eui University  
E-mail : ylee@hyomin.dongueui.ac.kr

### 요 약

기존의 바이폴라 논리회로에서 신호변환시 베이스 영역의 소수 캐리어를 빨리 제거 하기 위해서, 베이스 부분의 매몰층을 줄여서 npn트랜지스터의 베이스와 에피층과 기판사이에 병합 pnp 트랜지스터를 생성한 트랜지스터와 게이트 당 전달 지연 시간을 측정하기 위한 링-발진기를 설계, 제작하였다. 게이트의 구조는 수직 npn 트랜지스터와 기판과 병합 pnp 트랜지스터이다. 결과로서 npn 트랜지스터의 에미터의 면적이 기존의 접합넓이에 비해서 상당히 적기 때문에 에미터에서 진성베이스로 유입되는 캐리어와 가장자리 부분으로 유입되는 캐리어가 상대적으로 많기 때문에 이 많은 양은 결국 베이스의 전류가 많이 형성되며, 또 컬렉터의 매몰층이 거의 반으로 줄었기 때문에 컬렉터 전류가 적게 형성되어 이득이 낮아진다. 병합 pnp 트랜지스터는 베이스폭이 크고 농도 분포에서 에미터의 농도와 베이스의 농도 차이가 적기 때문에 전류 이득이 낮아졌다. 게이트를 연결하여 링-발진기를 제작하여 측정한 AC특성의 출력은 정현파로 논리전압의 진폭은 200mV, 최소 전달 지연시간은 211nS이며, 게이트당 최소 전달지연 시간은 7.26nS의 개선된 속도 특성을 얻었다.

### 1. 서 론

바이폴라 소자는 고집적화와 전력 소비면에서 MOS 보다 불리 하였으나 미세 패턴 형성기술과 더불어 불순물 이온주입 기술로 고집적 및 고속 소자로서의 개발이 이루어져왔다. 기존의 많은 논리소자들은 수직 npn트랜지스터의 깊은 포화상태에 의한 속도 지연의 문제가 발생하였다. 이러한 포화상태를 방지하여 개선된 속도 특성을 얻기 위하여 ISL이 제안되었다. ISL논리소자는 기존의 SCTL의 수직 npn트랜지스터가 깊은 포화상태로 되는 것을 기판과 병합 pnp 트랜지스터를 형성하여 병합 트랜지스터가 npn트랜지스터의 베이스 소수캐리어를 빨리 제거하므로 깊은 포화상태를 방지하는 역할을 하여 개선된 속도 특성을 낸다. 논리전압의 진폭을 증가시키기 위하여 백금 실리콘사이드 쇼트키 다이오드의 이온주입을 하여 장벽높이를 조절하여 임계전압을 낮추어<sup>[1][2]</sup> 전체 논리전압 진폭을 증가시켰다. 본 연구는 기존의 바이폴라 논리 게이트에 비해서 고집적 고속 특성을 갖는 새로운 바이폴라

소자인 ISL(Intergrated Schottky Logic) 제작하고자 한다. 이온주입 방법을 사용하여 정확한 불순물의 조정과 접합깊이가 얇은 접합을 형성하였고, 고집적화를 위하여 산화막 격리방법으로 알려진 SWAMIⅡ공정을 이용하며,<sup>[3]</sup> 출력단에 백금 실리콘사이드의 정류성 접합을 형성하여 전체적인 논리전압 진폭을 증가시켰다. 소자의 게이트 트랜지스터의 DC특성으로 npn 트랜지스터, 병합 pnp트랜지스터의 Gummel - plot, 전류이득, 논리진폭, 쇼트키 다이오드의 불순물 변화에 따른 임계전압을 측정하고, AC특성을 측정하기 위하여 링-발진기의 출력 파형을 측정하고자 한다.

### 2. 구조 및 동작원리

기존의 SCTL(Schottky Coupled Transistor Logic)의 구조에서 외인성 베이스 부분의 매몰층을 줄이면, pnp 트랜지스터의 베이스와 에피층과 기판사이에 각각 에미터, 베이스, 컬렉터의 병합 pnp 트랜지스터가 형성되는데 이 구조가 ISL이다.<sup>[4]</sup> 이 병합 pnp 트랜지스터가 ISL에서 스위칭

으로 인한 깊은 포화 상태로 되는 npn 트랜지스터의 베이스 소수캐리어를 빨리 제거함으로써 npn 트랜지스터가 깊은 포화상태로 되는 현상을 방지 하여 지연시간을 상당히 감소시키는 역할을 한다.

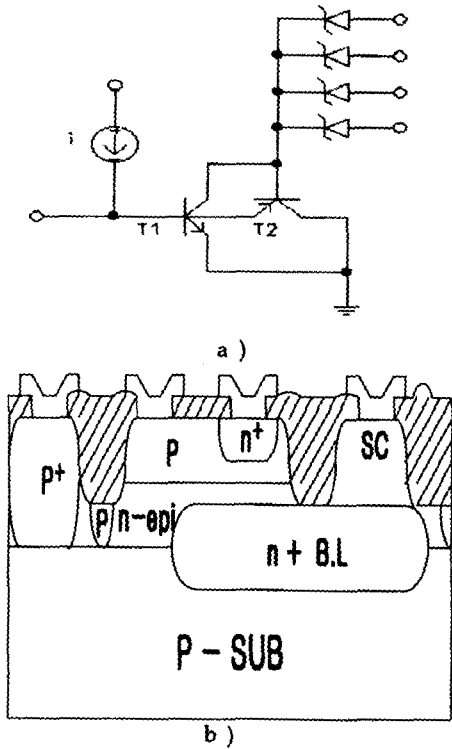


그림 1 ISL의 a)회로도 b)단면도  
Fig. 1 a)Circuit b)Cross Sectional View of ISL

그림1의 a)는 ISL게이트의 회로이며 (b)는 평면도이다. 여기서 npn트랜지스터(T1)의 베이스-에미터가 동작을 할 때 npn트랜지스터(T1)는 포화가 되긴 하지만 깊고 오래 지속되는 포화 상태가 되지 않는다. 이는 npn 트랜지스터의 베이스-에미터가 동작을 할 때 입력 전류의 대부분은 npn 트랜지스터가 콜렉터의 전위가 포화로 낮아져서 베이스-콜렉터 접합이 순방향으로 인가되자마자 병합 pnp 트랜지스터(T2)에 의해서 접지상태로 입력 전류가 흘러간다.

### 3. 게이트의 제작

소자 제작을 위해 기판은 <100>, 두께가 20mils, 비저항이 6 - 9 [ $\Omega$ -cm], p(보론)형 실리콘 웨이퍼를 사용하였고, 에피층은 비저항 0.58[ $\Omega$ -cm] n(인)형의 2 $\mu$ m 얇은 층을 성장시켰다. 게이트의 AC특성을 위해서 게이트의 출력을 다음 게

트의 입력에 직렬로 연결시킨 29단의 링 발진기를 제작하였다. 소자 제작의 전반적인 공정 흐름은 그림2와 같이 진행하였다.

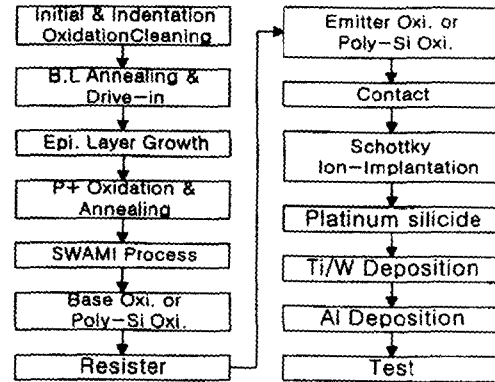


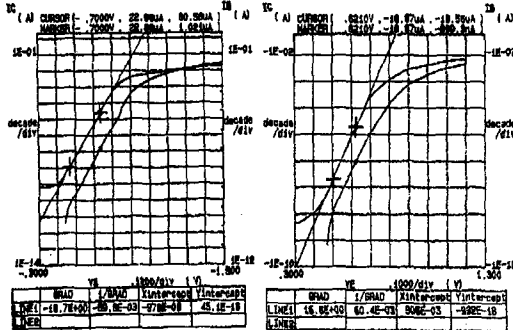
그림 2 ISL 공정 흐름  
Fig. 2 ISL Process Sequence

주요공정은 바이폴라 공정에 의하여 산화막 격리 공정이며, 먼저 초기세척 및 필드 산화막을 형성하고 매물층 형성을 위하여 비소를 이온 주입 공정으로 채널 방지를 위해 타겟 위치가 이온 비임 방향의 정면에서 7도로 기울인 상태에서 행한 후 어닐링을 650 $^{\circ}$ C-850 $^{\circ}$ C에서 하고 침투공정은 900 $^{\circ}$ C-1230 $^{\circ}$ C에서 행한다. 화학기상증착법으로 두께 2 $\mu$ m, 비저항이 0.58 $\Omega$ -cm인 n형 에피택셜층을 형성시켰다. 다음은 기존의 pn접합에 의한 격리 방법은 소자에서 격리 부분이 차지하는 면적이 넓어서 고집적 바이폴라로서의 한계를 나타내므로 산화막으로 격리를 하는 SWAMI II 공정을 거친다. 이것의 장점은 표면의 평탄성이 좋으며, 활성영역의 가장자리 부분에 대한 결함도 줄어들며, 또한 산화막의 새부리 모양의 폭을 줄여 주기 때문에 고집적화가 가능하다. 베이스 영역 형성을 위하여 625 $^{\circ}$ C에서 500 A 되게 이온주입을 하고 저항형성을 위한 이온을 주입한다. 역시, 626 $^{\circ}$ C에서 700 A 되게 에미터 영역을 형성하고 어닐링을 한다. 마지막으로 논리진폭 개선 및 누설전류에 대한 신뢰성을 위하여 금속 증착전에 백금실리사이드 쇼트키 다이오드를 형성한다. 장벽 높이를 조절을 위하여 이온 주입법으로 인을 주입하고, 불순물 활성화를 위하여 925[ $^{\circ}$ C]에서 30분간 질소 분위기에서 어닐링하고, 누설전류와 전기적 접촉저항을 낮추기 위해 실리콘 표면에 백금을 증착시킨후 열처리를 하여 백금 실리사이드를 형성시켰다. 전극 형성은 백금 실리사이드와 알루미늄의 금속학적 원할한 접착을 위해 Ti/W(Ti:10% target)를 증착시킨 후 순수 알루미늄을 증착시켜 전극을 형성시켰다.

### 4. 측정 및 결과 고찰

#### 4.1 트랜지스터의 DC특성

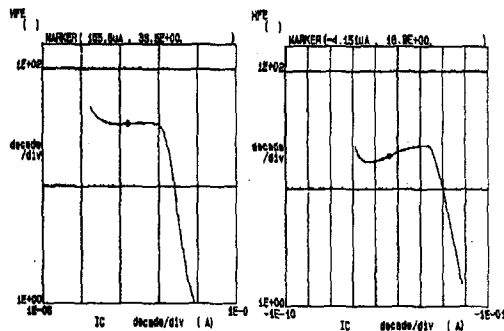
게이트에서 npn 트랜지스터와 병합 pnp 트랜지스터의 전류-전압 특성 결과가 그림3 이다.



a) npn Tr.                      b) pnp Tr.

그림. 3 트랜지스터의 Gummel 플롯 측정 a)npn Tr. b)pnp Tr. Fig. 3 Measured Gummel plot of Transistor a)npn Tr. b)pnp Tr

여기서 에미터의 면적이 기존의 접합넓이에 비해서 상당히 적기 때문에 에미터에서 진성 베이스로 유입되는 캐리어와 가장자리 부분으로 유입되는 캐리어가 상대적으로 많기 때문에 이 많은 양은 결국 베이스의 전류가 많이 형성되며, 또 콜렉터의 매몰층이 거의 반으로 줄었기 때문에 콜렉터 전류가 적게 형성되고 병합 pnp 트랜지스터는 베이스폭이 크고 농도 분포에서 에미터의 농도와 베이스의 농도 차이가 적기 때문에 베이스 전류가 크고 콜렉터의 전류가 마찬가지로 적게 나타남을 보인다. 이러한 전류 형성에 의한 전류 이득값은 그림4에 보인다.



a) npn Tr.                      b) pnp Tr.

그림. 4 트랜지스터의  $h_{fe}$ - $I_C$  측정 a) npn Tr. b)pnp Tr. Fig. 4 Measured  $h_{fe}$ - $I_C$  of Transistor a)npn Tr. b)pnp Tr.

위와같은 전류 형성에 의하여 이득이 낮아지는

특성을 보인다.

#### 4.2 쇼트키 다이오드의 임계전압

전류 밀도에 따른 접합 부분의 넓이에 따라 다이오드는 25[ $\mu$ A]에서 기판 농도에 따른 전압 측정 결과가 그림5이다.

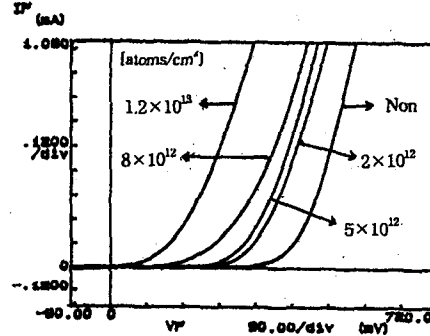


그림 5. 순방향 임계전압 특성  
Fig 5. Characteristics forward turn-on voltage

백금 실리사이드의 임계전압에서 기판자체 농도에서 임계전압은 0.38[V]이고, 각 불순물  $2 \times 10^{12}$ ,  $5 \times 10^{12}$ ,  $8 \times 10^{12}$  및  $1.2 \times 10^{13}$  [atoms/cm<sup>2</sup>]에서 0.29-0.28 0.26-0.25, 0.23-0.20 및 0.15-0.11[V]로 각각 측정되었다. 인을 쇼트키 다이오드 접촉 부분에 이온주입하여 누설전류를 고려하여 접합의 장벽높이를 변화시켜 임계전압을 낮출 수 있었다. 이 낮추어진 임계전압은 ISL의 AC특성에서 논리전압의 진폭을 200mV까지 증가시킬 수 있다.

#### 4.3 트랜지스터의 AC특성

게이트의 AC특성을 위해서 게이트의 출력을 다음 게이트의 입력에 직렬로 연결시킨 29단의 게이트 연결과 발진파형의 출력을 위한 버퍼단을 연결한 링 발진기의 회로도가 그림6이다.

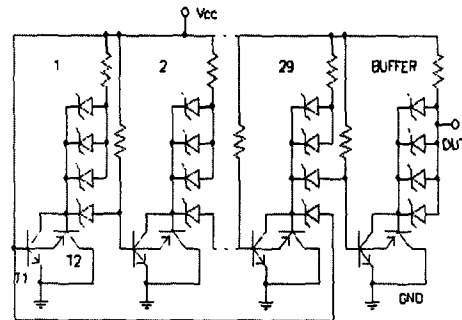


그림. 6 ISL의 링 오실레이터 회로도  
Fig. 6 Circuit view of ISL Ring Oscillator

링 발진기의 출력파형은 개별 게이트 트랜지스터의 전달 지연 시간이 출력단에 전체 전달 지연 시간의 파형으로 나오며 그림 7이다.

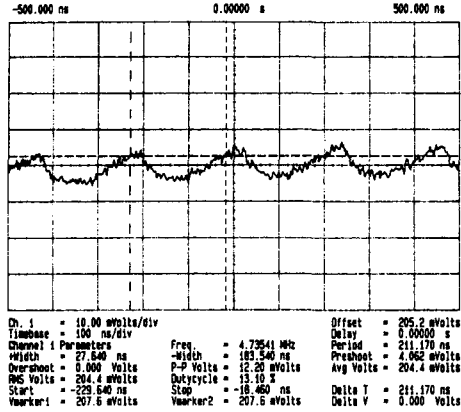


그림 7 29단 링 발진기의 발진파형  
Fig. 7 Oscillation Waveform of 29-stage Ring Oscillator

출력파형은 정현파로 논리전압의 진폭은 200mV, 최소 전달 지연 시간은 211nS이고, 게이트 당 최소 전달 지연 시간은 7.26nS이다.

## 5. 결 론

이상의 결과에서 알은 접합과 쇼트키 다이오드의 불순물 주입을 통한 고집적, 고속의 ISL트랜지스터를 설계하였다. 이온주입 방법을 통한 정확한 불순물 조정과 접합깊이가 가능하였고, 신뢰성면에서 출력단에 백금실리사이드 쇼트키 다이오드를 사용하여 누설전류를 줄였으며, 진성 베이스 부분의 매물층을 줄여서 npn트랜지스터의 베이스와 에피층과 기판사이에 병합 pnp 트랜지스터를 생성하여 npn 트랜지스터의 베이스 소수캐리어를 빨리 제거함으로써 npn 트랜지스터가 깊은 포화상태로 되는 현상을 방지 하여 최소 전달 지연 시간을 211nS로 게이트당 최소 전달 지연 시간을 7.26nS로 상당히 감소시켰다. 각 개별 트랜지스터의 전류-전압 특성에서 에미터의 면적이 기존의 접합넓이에 비해서 상당히 적기 때문에 에미터에서 진성베이스로 유입되는 캐리어와 가장자리 부분으로 유입되는 캐리어가 상대적으로 많기 때문에 이 많은 양은 결국 베이스의 전류가 많이 형성되며, 또 컬렉터의 매물층이 거의 반으로 줄었기 때문에 컬렉터 전류가 적게 형성되어 이득이 낮아진다. 병합 pnp트랜지스터는 베이스폭이 크고 농도 분포에서 에미터의 농도와 베이스의 농도 차이가 적기 때문에 전류 이득은 낮아졌다. 이러한 결과는 고집적도와 진폭개선 및 고속의 특성에 잘 부합된다.

## 참 고 문 헌

- [1] Ritu Tyagi, T.P.Chow, " Schottky Barrier Modification on InP Using Shallow Implant Layer ", Journal of Electronic Materials, Vol.20, No.12, PP. 221-227, 1993
- [2] C. D. Jang, J. S. Lee, Y. J. Lee, " Analysis of Current mechanism in Pt Schottky diodes according to Temperature Variations " , The Journal of Korean Institute of Communication No.18, pp. 1168-1171, 1998
- [3] C. W. Teng, G. Pollack, W. R. Hunter, " Optimization of Side Wall Masked Isolation Process " , IEEE, J. Solid-state Circuits, Vol. sc-20, No.1, pp. 44-51, Feb. 1981
- [4] Y. J. Lee " A Study on the Intergrated Schottky Logic ( ISL ) of shallow Junction using Oxide Isolation " , Yonsei graduate thesis PP.8-9, 1986
- [5] J. Crofton, P. G. McMullin, J.r. Williams and M. J. Bozack, " High-temperature ohmic contact to n-type 6H-SiC using nickel ", Appl Phys. Vol.77, 1317, 1995