

# 열적으로 질화, 재산화된 모스 소자의 온도특성

이정석<sup>\*</sup>, 장창덕<sup>\*</sup>, 이용재<sup>\*</sup>

<sup>\*</sup>동의대학교 전자공학과

## Temperature Characteristics of Thermally Nitrided, Reoxidized MOS devices

Jung-Suk Lee<sup>\*</sup>, Chang-dug Jang<sup>\*</sup>, Yong-Jae Lee<sup>\*</sup>

<sup>\*</sup>Department of Electronic Engineering, Dong-eui University

E-mail : jsl@hyomin.donguei.ac.kr

### Abstract

Re-oxidized nitrided oxides which have been investigated as alternative gate oxide for Metal-Oxide-Semiconductor field effect devices were grown by conventional furnace process using pure NH<sub>3</sub> and dry O<sub>2</sub> gas, and were characterized via a Fowler-Nordheim Tunneling electron injection technique. We studied Ig-Vg characteristics, leakage current, ΔVg under constant current stress from electrical characteristics point of view and TDDB from reliability point of view of MOS capacitors with SiO<sub>2</sub>, NO, ONO dielectrics. Also, we studied the effect of stress temperature (25, 50, 75, 100, and 125°C). Overall, our results indicate that optimized re-oxidized nitrided oxide shows improved Ig-Vg characteristics, leakage current over the nitrided oxide and SiO<sub>2</sub>. It has also been shown that re-oxidized nitrided oxide have better TDDB performance than SiO<sub>2</sub> while maintaining a similar temperature and electric field dependence. Especially, the Qbd is increased by about 1.5 times.

### 1. 서 론

MOSFET의 채널 길이가 감소함에 따라 바람직하지 않은 짧은 채널 효과가 나타나고, 이를 제거하기 위해서는 게이트 산화막 두께의 비례 축소가 요구된다. 그러나, 소자의 물리적 크기가 축소되면 소자 내에 고전계가 인가되므로 소자의 전기적 특성 및 신뢰성에 심각한 문제가 야기된다. 특히, 게이트 절연층인 실리콘 산화막의 두께가 수십 Å 정도로 얇게 되면 항복 전압이 낮아지고 누설 전류가 증가하게 되며, DRAM 등의 기억소자에서는 신뢰성과 재현성에 많은 문제가 있게 된다. 실리콘 산화막의 두께가 더욱더 얇아지면 게이트와 기판 사이에 직접 터널링이 일어날 수 있으며, 게이트에 다결정 실리콘을 주입시 불순물의 확산이 기판에 영향을 주어 소자의 불안정성을 유발하게 된다. 이런 실리콘 산화

막의 물리적 한계를 극복하기 위하여 새로운 유전체인 NO 또는 N<sub>2</sub>O를 이용한 질화 산화막, 재산화 질화 산화막, Ta<sub>2</sub>O<sub>5</sub>막 등에 관한 연구가 활발히 진행되고 있다.<sup>[1]</sup>

바람직한 게이트 절연막은 균일성이 좋아야 하며, 결함밀도가 낮아야하고, 절연강도가 높아야 한다. 또한, 소자의 안정성을 유지하기 위해서는 핫-전자 주입에 대한 내구성이 요구된다. 이러한 성질의 산화막을 얻기 위하여 암모니아(NH<sub>3</sub>) 분위기에서 SiO<sub>2</sub>막을 열적으로 질화하는 것에 대한 연구가 제안되었다.<sup>[2]</sup>

NH<sub>3</sub>를 이용한 SiO<sub>2</sub>막의 질화는 Si-SiO<sub>2</sub>계면에 질소를 넣으므로써 계면 포획 밀도를 감소시키며, 불순물 확산에 대한 장벽 특성 및 핫 캐리어 안정성을 향상시킨다. 이러한 장점에도 불구하고, 질화는 질화 공정중에 발생하는 -NH<sub>x</sub>, -H, -OH 등의 반응기들이 SiO<sub>2</sub>내로 주입되어 산화막

내에 고정 전하 밀도를 증가시키고 많은 전자 포획을 유발시킨다. 이러한 단점을 해결하기 위하여 질화 산화막(NO)을 재산화하여 재산화 질화 산화막(ONO)을 형성시킴으로써 전자트랩 및 고정전하의 양을 줄일 수 있다.

본 연구에서는 산화막(SiO<sub>2</sub>), 질화 산화막(NO) 및 재산화 질화 산화막(ONO)을 게이트 유전체로 사용한 MIS(Metal Insulator Semiconductor) 구조의 커패시터를 각각 제작하여, 전기적 특성과 소자의 신뢰성을 분석함으로써 ULSI 소자 적용 가능성을 검토하고자 한다. NO막과 ONO막의 전도 메커니즘은 SiO<sub>2</sub>와 같이 F-N 터널링에 의하여 분석하였으며, 누설전류, 항복특성 및 정전류 스트레스 하에서 전하 트랩핑 현상과 시간 종속 절연항복(TDDDB) 특성을 연구하여 SiO<sub>2</sub>와 비교하였다. 또한, 스트레스 온도에 의한 특성 변화를 조사하였다.

## II. 소자 제작

이 논문에서 사용한 소자들은 결정방향이 (100)이고 비저항이 3-5Ω·cm인 붕소(boron)가 도핑된 p형 실리콘 웨이퍼를 세척 공정을 거친 뒤 석영관 로(quartz tube furnace)에 넣었다. 그리고 두꺼운 초기 산화막 층을 약 4000Å 정도 성장시킨 다음, 게이트 산화막을 형성하게 위한 창을 사진 식각 작업으로 열어 70Å 두께의 게이트 산화막을 건식 산소 분위기에서 900℃, 13분 동안 성장 시켰다. 이 산화막은 순수한 암모니아(NH<sub>3</sub>) 분위기에서 900℃, 10분간 질화 되었다. 이렇게 질화된 질화 산화막은 900℃, 10분간 건식 산소 분위기에서 재산화 되었다. 앞으로 질화 산화막은 NO막, 재산화 질화 산화막은 ONO막이라고 한다.

4000Å 두께의 다결정 실리콘 게이트 전극은 저압 기상증착(LPCVD)방법으로 실란(silane)과 아르곤(Ar)의 혼합 가스를 625℃에서 열분해 하여 증착하였다. 그런 다음 POCl<sub>3</sub>를 925℃에서 25분 동안 도핑하여 형성한다. 6.4×10<sup>3</sup> mm<sup>2</sup>의 면적을 갖는 n<sup>+</sup> 폴리실리콘 게이트가 리소그라피 및 건식 식각 기술을 이용하여 정의되었다. 0.5 μm 두께의 SiO<sub>2</sub>막이 화학기상증착 공정으로 웨이퍼 위에 증착 되었고, 1000℃에서 30분간 질소 분위기(N<sub>2</sub>)에서 열처리되었다. 알루미늄(Al) 증착 후, 수소분위기(H<sub>2</sub>)에서 450℃, 30분간 열처리되었다.

위의 공정을 거친 뒤 제작된 NO막의 두께는 엘립소메터를 사용하여 관측한 결과 70Å로 산화막과 거의 같았다. NO막의 두께가 같은 이유는 NH<sub>3</sub> 분위기에서 질화를 할 때, 시료에 고온의 열을 가하면 열분해가 일어나 N, H, OH, NH등의 반응기들이 생기게 되고, N이 산화막내로 침투하여 N이 마치 불순물처럼 확산하게 되기 때문이다. ONO막의 두께는 재산화 정도에

따라 같거나 수Å 정도 증가하는데, 이것은 질화의 정도에 따라 결정된다.

## III. 실험 및 결과 고찰

MOS 소자 절연막의 전류 전도에 대한 질화와 재산화 영향을 알아보기 위하여 p형 기판이 축적 모드가 되도록 게이트전극에 (-)전압을 인가하여 특성을 측정하였다. 그림 1의 Fowler-Nordheim 전류곡선에서 가로축과 세로축이 하나의 직선 상에 있기 때문에 NO와 ONO막에 흐르는 전류 성분은 SiO<sub>2</sub>와 같이 F-N 터널링에 의한 전류임을 확인할 수 있다. 그림 1에서 NO막의 터널링 전류가 다른 막에 비해 큰 것을 알 수 있는데, 이는 다결정 실리콘과 산화막 계면에 있는 질소가 많은 층에 의해 다결정 실리콘과 산화막 계면의 전위 장벽 높이를 감소시키기 때문으로 해석될 수 있다.<sup>[3]</sup> 이러한 장벽 저하 현상은 재산화에 의해 표면 영역의 질소 농도를 감소시킴으로써 장벽높이를 복구시킬 수 있다.

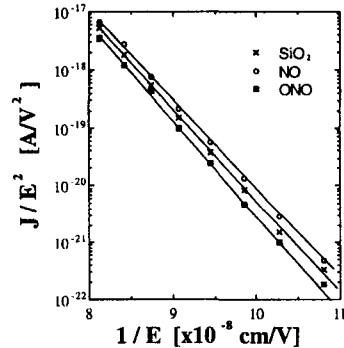


그림1 Folwer-Nordheim 전류곡선

Fig.1 Folwer-Nordheim current characteristics.

그림2는 SiO<sub>2</sub>, NO, ONO막에 10MV/cm의 일정한 전계를 인가하였을 때 소자에 흐르는 전류 값을 누설전류로 정의하여 나타낸 것이다. 그림으로부터 전체적으로 NO막의 누설전류가 SiO<sub>2</sub> 및 ONO막에 비하여 큰 것을 알 수 있는데, 이것은 절연막 내의 수소 원자에 의해 전자 포획이 증가하고 Si-SiO<sub>2</sub>계면에서 결정결합이 증가하기 때문인 것으로 여겨진다. ONO막막은 재산화 과정에서 결함의 원인인 수소를 외확산 시킴으로서 Si-SiO<sub>2</sub> 계면에서의 상태가 개선되어 누설전류 특성이 NO막보다 우수하게 나타났다. 또한 누설전류의 스트레스 온도의 영향을 알아보기 위하여 온도변화(25, 50, 75, 100, 125℃)에 따른 누설전류의 변화도 같이 나타내었다. 스트레스 온도가 증가함에 따라 누설전류도 증가한다는 것을 알 수 있는데, 누설전류의 증가 원인은

로는 온도가 증가할수록 트랩 생성율이 증가하기 때문인 것으로 추정되고 있다.<sup>[4]</sup>

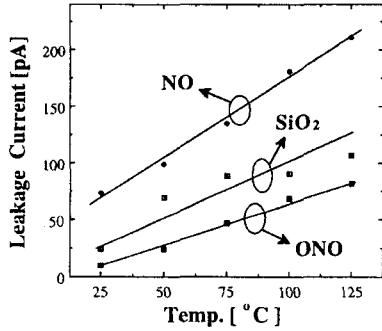


그림 2 누설전류에 대한 온도의 영향  
Fig.2 Stress temperature dependence of Leakage current

박막의 신뢰성을 분석하기 위한 시간 종속 항복특성(TDDB)의 측정은 8mA/cm<sup>2</sup>의 정전류 스트레스를 인가한 상태에서 절연파괴에 이르는 시간을 측정하는 것으로 그림 3에 나타내었다. 그림에서 NO막의 TDDB특성이 상당히 열화되었다는 것을 알 수 있다. 애노드 전계가 빨리 증가할수록 절연막의 항복에 이르는 시간은 짧아지는데, NO막내에서는 많은 수의 전자 포획이 일어남에 따라 다른 막에 비해 기판 쪽의 산화막 전계(애노드 전계)가 먼저 증가하므로 항복이 일어나는 시간( $t_{bd}$ )이 짧다. 이에 비하여 ONO막의  $t_{bd}$ 가 가장 긴 것으로부터 ONO막의 항복특성이 가장 좋을 수 있다.

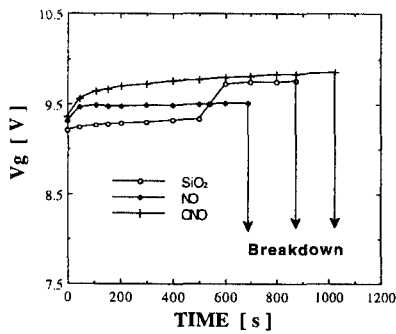


그림3 TDDB 특성  
Fig.3 TDDB characteristics

TDDB 측정 결과에서 절연파괴가 일어나는 지점의 시간을 측정함으로써 박막이 항복에 도달하는 단위 면적당 전하량  $Q_{bd}$ 를 다음 식(2)를 이용하여 추출할 수 있다.

$$Q_{bd} = \int_0^{t_{bd}} J dt = J \cdot t_{bd} \text{ (C/cm}^2\text{)} \quad (2)$$

$t_{bd}$  = 유전체가 항복이 일어난 시간

TDDB특성과 식 (2)로부터 각 절연막의 파괴 전하량( $Q_{bd}$ )은 각각 SiO<sub>2</sub>=6.9, NO=5.5, ONO=8.2 C/cm<sup>2</sup>였다. 따라서 ONO막의 신뢰성의 가장 좋을 수 있다.

그림 4는 정전류 스트레스(8mA/cm<sup>2</sup>)하에서 각 절연막에 대해 스트레스 온도가 25, 50, 75, 100, 125°C일 때  $Q_{bd}$ 의 값을 나타낸 것이다. 그림의 전체적인 추세는 온도가 증가할수록  $Q_{bd}$ 의 값이 감소함을 나타내고 있는데, 그 원인은 다음 2가지로 분석될 수 있다. 첫 번째 원인은, 온도가 올라감에 따라, 원자간 결합이 부드러워지기 때문에 끊어지기가 더 쉬워진다. 끊어진 결합이 많아지면 트랩 생성율이 증가하게 되고,  $Q_{bd}$ 는 감소하게 된다. 두 번째는, 온도가 올라감에 따라 격자 진동은 가속화되고, 그에 따라 주입된 전자와 격자사이의 상호작용이 증가해 산화막에 피해를 주는 확률이 커지게 된다.  $Q_{bd}$ 의 온도 의존성에 있어서도 ONO막이 우수한 것으로 나타나 ONO막의 신뢰성이 가장 좋을 수 있다.

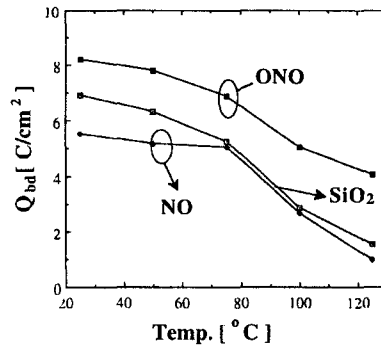


그림4  $Q_{bd}$ 의 온도 의존성  
Fig.4 Stress temperature dependence of charge-to-breakdown( $Q_{bd}$ )

그림 5는 산화막 절연 항복을 설명하기 위해서 게이트에 음 전압을 인가했을 경우에 대한 MOS 구조의 에너지 밴드 휘어짐을 보여주고 있다.<sup>[5]</sup> 이 경우의 항복 메카니즘은 다음과 같다. 산화막 내에서의 전자 트랩이 애노드(SiO<sub>2</sub>/Si계면) 쪽의 전계를 증가시키고, 증가된 애노드 전계가 정전류 스트레스에 의해 애노드 쪽에서 정공 생성을 늘리게 된다.

이렇게 생성된 정공은 캐소드로 이동한 다음 포획되어 캐소드 전계를 증가시킨다. 이러한 과정이 반복되어 결국에는 항복이 일어난다.<sup>[3]</sup> 따라서, NO막의 경우는 다른 막에 비해 전자 트랩

이 많으므로  $Q_{bd}$ 가 작지만, ONO막에서는 재산화에 의해 전자 트랩이 현저히 감소되기 때문에 ONO막에서의  $Q_{bd}$ 가 가장 크다.

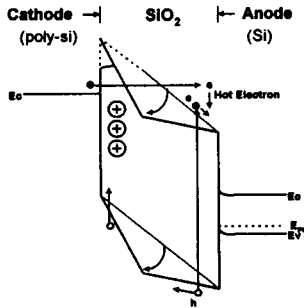


그림 5 절연막의 항복을 설명하기 위한 음 전압 인가시 에너지 밴드 다이어그램

Fig. 5 Schematic diagrams of the effective potential versus distances for a MOS structure for the case after negative voltage TDDB stresses.

#### IV. 결론

본 논문에서는 열산화막( $\text{SiO}_2$ ), 질화산화막(NO)과 재산화 질화 산화막(ONO)의 전류-전압 특성, 누설전류, 시간중속 절연항복특성, 그리고 각 특성의 온도 의존성을 연구하여 다음과 같은 결과를 얻었다.

F-N 전류곡선으로부터 NO막과 ONO막의 전도 메카니즘은  $\text{SiO}_2$ 막과 같이 F-N 터널링에 의한 전류성분으로 분석할 수 있었다. NO막에서는 공정과정 중에 유입되는 수소와 관계된 반응기( $\text{NH}_x$ , OH, H)에 의한 결정결함의 증가로 인하여 항복전압 및 누설전류 특성이 열화 되었으나, ONO막에서는 재산화의 영향으로 특성이 현저히 개선되었다. 또한 누설전류에 대한 온도의 영향으로부터 온도가 증가할수록 누설전류도 증가한다는 것을 알 수 있었다. TDDB특성으로부터 각 절연막의 파괴전하량( $Q_{bd}$ )은 각각  $\text{SiO}_2=6.9$ , NO=5.5, ONO=8.2  $\text{C}/\text{cm}^2$ 였다. 또한  $Q_{bd}$ 의 온도 의존성으로부터 온도가 증가할수록  $Q_{bd}$ 가 감소함을 알 수 있었다. 종합해 볼 때, ONO막이 전기적 특성과 신뢰성에 있어서 가장 우수하고, 특히 스트레스에 강한 내성을 나타내므로 ULSI 유전체로 응용이 될 수 있을 것으로 평가된다.

#### V. 참고 문헌

- [1] E. Hasegawa, et al, "SiO<sub>2</sub>/Si Interface Structure and Reliability Characteristics," J. Electrochem. Soc., 142(1), pp.273-281, 1995.
- [2] P. Pan, "Characterixtics of thermal SiO<sub>3</sub> films during nitridation," J. Appl. Phys., vol. 61, p. 284, 1986.
- [3] B.Joshi, et al, "Effect of Rapid Thermal Reoxidation on the Electrical Properties of Rapid Thermally Nitrided Thin Gate Oxides", IEEE Trans. Electron Devices, vol.39, pp.883-892, 1992
- [4] P.Apte, et al, "Correlation of Trap Generation to Charge-to-Breakdown ( $Q_{bd}$ ) : A Physical Damage Model of Dielectric Breakdown", IEEE Trans. Electron Devices, vol. 41 pp. 1595-1601, 1994
- [5] Yasuaki Hokari, "Stress Voltage Polarity Dependence of Thermally Grown Thin Gate Oxide Wearout," IEEE Trans. Electron Devices. vol. 35 pp. 1299-1304, 1988