

# LMDS 시스템에서의 심벌타이밍과 반송파 동기의 성능분석

임형래<sup>\*</sup> · 박솔<sup>\*</sup> · 조병록<sup>\*</sup>

<sup>\*</sup>순천대학교 전자공학과

## Performance Analysis of Symbol Timing and Carrier Synchronization in LMDS System

Byung Lok Cho<sup>\*</sup>, Hyung Rea Lim<sup>\*</sup>, Sol Park<sup>\*</sup>

<sup>\*</sup>Dept of Electronic Engineering Sunchon National University

E-mail : imche@comsys.sunchon.ac.kr

### 요 약

본 논문에서는 LMDS(Local Multipoint Distributed Services) 시스템의 역방향 채널에서 TDMA(Time Division Multiple Access) 방식으로 ATM(Asynchronous Transfer Mode) 셀을 효율적으로 전송하기 위해 전치부호를 줄일 수 있는 블록복조 알고리즘을 적용한  $\pi/4$  QPSK 변복조 방식 시스템을 제안하고, 블록복조의 동기성능을 향상시키기 위해 새로운 반송파 동기회로를 설계하였다.

제안한 블록동기복조 알고리즘을 적용한  $\pi/4$  QPSK 변복조 방식 시스템은 LMDS 환경에서 ATM 셀 단위의 버스트 데이터로 반송파 위상동기, 심벌 타이밍 동기, 슬롯 타이밍 동기 등을 수행할 때 전치부호를 아주 적게 사용하므로 효율적인 프레임 전송을 얻어질 수 있도록 하고 있다.

제안한 방식의 성능평가를 위한 모의실험은 LMDS 채널환경과 프레임 구조의 버스트 모드 전송환경에서 심벌 타이밍 동기, 주파수 오프셋, 반송파 위상동기, 페이딩 채널에 따라 수행하였다.

본 논문에서 제안한 블록동기복조 알고리즘을 적용한  $\pi/4$  QPSK 변복조 방식 시스템을 모의실험을 통하여 분석한 결과, 페이딩 환경에서 심벌 타이밍 동기, 주파수 오프셋, 반송파 위상동기할 때 전치부호를 아주 적게까지 줄이더라도 좋은 성능을 발휘함을 확인할 수 있었다.

### I. 서 론

LMDS 시스템의 상향 채널에서는 TDMA 방식을 사용하며 ATM 셀 단위의 버스트 데이터를 송수신하는 구조를 갖는다. ATM 셀 단위의 버스트 데이터를 처리하기 위해서는 반송파 위상동기, 심벌 타이밍 동기, 슬롯 타이밍 동기 등을 수신한 각각의 버스트 데이터마다 처리하여야 하며 이를 위해서는 각 버스트 프레임마다 동기를 위한 전치부호를 추가하여야 한다. 이렇게 버스트 데이터에 추가되는 전치부호로 인해 프레임 효율이 저하된다. 특히 버스트 길이가 짧아질수록 이러한 동기를 위한 overhead는 프레임의 효율에 상당한 영향을 미친다. 이러한 문제는 블록복조[1]을 적용하여 해결할 수 있다. 블록복조는 수신된 신호를 먼저 A/D변환하고 메모리에 저장한다. 저장된 전체 수신신호를 사용하여 반송파 위상과 심벌 타이밍 동기를 하게 되며 각각의 동기를 이룰 위한 전치부호를 제거할 수 있어 프레임 효율이 향상된다. 또한 버스트 신호 전체를 동기를 위해 사용할 수 있기 때문에 반송파 위상과 심벌 타이밍 동기의 성능을 향상이 가능하다. 이러한 블록복조 방식에 비선형 전력증폭기의 사용이 가능한

선형변조방식으로 다양한 복조방식을 통신환경에 따라 선택적으로 사용할 수 있는  $\pi/4$  QPSK 변조방식을 적용하여 시스템을 구성한다. 블록복조 알고리즘을 적용한 시스템의 성능이 어떠한 동기 성능에 우선적으로 좌우되는지를 분석하기 위해  $\pi/4$  QPSK 변조방식의 블록복조 버스트 TDMA 모델을 시뮬레이션하여 성능을 분석한다.

II절에서는 구성된 시스템의 성능을 분석하기 위해 사용한 채널의 모델링을 다루고, III절에서는 LMDS의 채널구조와 프레임방식을 분석하여 본 시스템에 적용하고자 한다. IV절에서는  $\pi/4$  QPSK 블록복조 시스템의 심벌 타이밍 동기, 주파수 오프셋 검출, 반송파 동기 블록의 알고리즘을 보이고, V절에서 블록 변조 알고리즘을 모의 실행하여 각 부분의 성능을 분석한다.

### II. 무선 채널 모델링

일반적으로 무선 통신채널은 반사, 굴절, 산란 등에 의한 다중경로 페이딩 특성을 보이며, 전송신호는 이러한 다중경로 페이딩에 의해 영향을 받는다. 협대역 전송시에는 다중경로채널이 수신

신호의 크기와 위상에만 영향을 주지만, 광대역 전송시에는 다수의 지연되고 왜곡된 펄스를 생성하여 자기신호 간섭을 일으킨다. 또한 수신신호는 잡음과 같은 원하지 않는 효과에 의해 영향을 받는다.

LMDS 시스템의 채널환경은 기본적으로 LOS를 바탕으로 한다. 그리고 밀리미터 파의 특성상 전송시 손실이 상당히 크다. 그러므로 기본적으로는 가우시안 채널을 고려할 수 있다. 그리고, 실제 시스템을 운용하는 환경에서 보다 안정적인 성능을 보장하기 위해 장애물에 의한 회절효과나 그림자 효과에 의한 손실이나 다중경로성분을 고려한 라이시안 채널이나 레일리 채널을 고려한다.

1. 다중경로 채널의 시간 선택성 페이딩 채널모델  
가우시안 랜덤 페이딩 채널은 가우시안 랜덤 신호  $X_I, X_Q$ 의 발생방법에 따라 잡음원의 스펙트럼 변조방식과 위상변조의 주파수 합성방식 두 가지로 분류할 수 있다

Jake에 의해 제시된 위상변조신호의 주파수 합성방식[2]을 사용하여 가우시안 랜덤신호를 발생시켜 페이딩 채널을 구현하는 방법이 있다. 이 방식은 도플러 천이  $\omega \cos(2\pi n/N)$ 에 해당하는  $N_0$ 개의 저주파 발생기와 최대 도플러 천이 주파수를 나타내는  $\omega_m$ 에 해당하는 발진기로 구성된다.

페이딩의 정도를 나타내는 페이딩 지수  $D_M$ 을 다음과 같이 정의한다.

$$D_M = \frac{A^2}{2\sigma_F^2}, \sigma_F = \sqrt{X_I^2} = \sqrt{X_Q^2} \quad (1)$$

$D_M$ 이 작을수록 페이딩 정도는 심하다. 실제로 모의실험결과 페이딩 지수가 0.1이하일 경우 사실상 Rayleigh 채널이 되며 페이딩 지수가 증가함에 따라서 점차 라이시안 채널이 되었다가 10 이상이 될 경우 사실상 페이딩 효과가 없어져 단순한 AWGN 채널이 된다. 이러한 모델링에 의해 생성된 채널은 LMDS 시스템의 채널모델로 적용하기 위해 위와 같은 조건으로  $D_M$ 을 조절하여 적용하였다.

### III. 프레임구조

일반적으로 무선 채널에서는 무선 물리 인터페이스를 위해 송신 데이터 이외에 무선 채널의 환경에 따라 추가적인 데이터들이 요구되어 진다. 버스트 모드 전송시에 채널의 상태나 변복조 방식에 따라 버스트의 길이를 선택한다. 단일한 고정된 값으로 버스트 길이를 설정하거나 채널 환경에 따라 각각 다르게 설정할 수도 있다. 무선 채널에서 이러한 버스트의 길이는 프레임의 효율과 채널의 환경에 따른 영향에 의해 시스템의 성능과 밀접한 관련성을 갖는다. 버스트의 길이가

짧으면 채널의 점유율이 증가하기 때문에 채널의 유효 용량이 증가하지만 열악한 채널환경을 보상하기 위해 추가되는 데이터들에 의해 프레임의 효율은 상대적으로 줄어들게 되어 데이터 전송율의 실효치가 감소한다. 반면 프레임의 길이가 길어지면 프레임이 차지하는 채널 점유율이 줄어들지만 프레임의 효율은 상대적으로 증가하는 효과가 있다. 그러므로 이의 적절한 선택이 요구된다. 일반적으로 무선 ATM 전송에서는 프레임을 1~4개의 ATM 셀로 구성하여 보낼 경우 가장 적절한 효율을 갖는 것을 볼 수 있다.

LMDS의 상향/하향 채널의 다중화방식은 TDMA/TDM 방식의 구조를 가진다[3]. 28GHz대의 무선주파수를 사용하며 하향채널의 변조방식은 QPSK, 16QAM을 상향채널은 burst DQPSK로 규정하고 있다. 상향 TDMA 프레임의 길이는 하향 TDM 프레임 길이(3~6msec)와 같다. 상향 타임슬롯의 구조는 전체 68 바이트 중 4 바이트의 전치부호와 53 바이트의 ATM 셀, 10 바이트의 RS 채널부호, 상향 동기화여러를 위한 1 바이트 가드타임으로 구성된다. 가우시안 채널과 무선 페이딩 채널에서 상향 채널의 수신기에 적용한 프레임의 구조는 동기를 위해 추가된 4바이트를 제외한 53 바이트의 ATM 셀과 1 바이트 가드타임으로 구성된 프레임을 고려하였다. 채널 부호화 부분과 프레임 동기 부분은 여기서는 고려하지 않고 순수 ATM 타임슬롯을 적용하여 심벌동기와 반송파 동기와 주파수 오프셋 추적에 대한 수신기의 성능을 분석한다. 여기서 53 bytes는  $\pi/4$  QPSK 적용시 212 심벌에 해당한다.

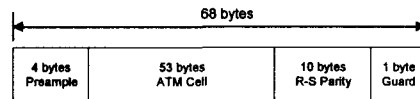


그림 1. LMDS 상향 시간 슬롯 구조

### IV. 블록 복조 짧은 버스트 수신기

#### 1. 수신기 구성도

LMDS의 상향채널에서 버스트 모드로 동작하는 DQPSK 변복조 부분을  $\pi/4$  QPSK로 대체할 경우, 선형 증폭기를 사용하여야 하는 DQPSK 방식과 비교해서 비선형 증폭기의 사용이 가능하기 때문에 시스템을 저렴하게 구성할 수 있고 신호의 안정성이 좋기 때문에 페이딩 채널에서 성능향상을 기대할 수 있다.

그림 2에는 이러한  $\pi/4$  QPSK 버스트 수신기의 구성도를 그림 2에 나타냈다.

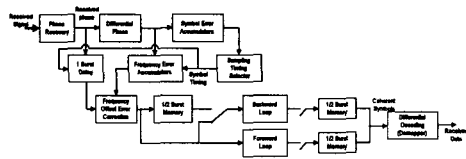


그림 2. 블록 동기방식의 burst 수신기

수신된 IF 신호를 직교복조기에서 I, Q 채널신호로 변환하고 atan함수에 의해 위상을 구한다.

차동위상값을 계산하여 심볼동기와 주파수 오프셋 추적의 블록동기처리를 위해 사용되고 동시에 원래의 위상값은 1 burst 메모리에 저장된다. 심볼동기와 주파수 오프셋추적이 이루어진 후 메모리에 저장된 위상값을 이용해 이루어진다. 동기복조한 후에 demapper를 거친 신호를 P/S변환하여 데이터를 출력한다. 심볼율은 1024 kHz이고 최종 IF 주파수는 심볼율의 4배, 샘플링은 심볼율의 16배로 구성했다.

## 2. 제한한 블록복조 알고리즘을 적용한 $\pi/4$ QPSK 방식

전치 부호에 의한 손실을 줄이는 방법으로 블록동기방식인 축적복조(store & demodulation)방식이 있다. 본 논문에서는 Sollenberger와 Chuang의 알고리즘[4][5]을  $\pi/4$  QPSK에 적용하였다.

블록복조는 버스트 단위로 수신된 신호를 먼저 샘플링 후 A/D변환된 신호가 I/Q채널 신호로 변환되고 다시 이를 이용하여 위상을 구하여 이를 메모리에 저장한다. 저장된 수신신호의 위상은 반송파 위상과 심볼 타이밍 동기를 위해 사용된다. 제한한 블록동기복조의  $\pi/4$  QPSK의 신호점은 그림 5에 보인바와 같이 QPSK 신호점과 이 신호점에서  $\pi/4$  이동한 신호점이 번갈아 나오고 차동 위상은  $\pm\pi/4, \pm3\pi/4$  중 하나가 되며 신호점간 최소 위상간격은  $\pi/2$ 가 유지되므로 이 시스템에 QPSK를 적용한 알고리즘과 동일한 성능을 갖게된다.

## 3. 심볼 동기와 반송파 주파수 오프셋 추적

ISI를 최소화하는 샘플링을 위해 다음과 같은 최적 샘플 알고리즘을 사용하여 시스템의 심볼동기를 유지한다. 한 심볼의 샘플링 개수에 해당하는 누적기에 차동위상에러를 주기적으로 누적한다. 매 Burst 마지막에서 누적값이 최소가 되는 샘플의 위치로 심볼동기를 수행한다.

기저대역신호 I와 Q신호의 k번째 샘플은  $I(n) + x(n, k)$ 와  $Q(n) + y(n, k)$ 로 가정한다. 여기서  $I(n)$ 와  $Q(n)$ 는 신호성분을 나타내고,  $x(n, k)$ 와  $y(n, k)$ 는 필터링에 의해 발생하는 잡음, ISI와 같은 다양한 종류의 손실 등을 나타낸다. 이상적

인 샘플링 점에서는 ISI가 사라지기 때문에  $x(n, k)$ 와  $y(n, k)$ 는 평균적으로 최소화되고 잡음과 간섭은 랜덤한 오차를 보이며, 이러한 오차를 최소화하기 위하여 M 심볼을 평균한다. M이 충분히 클 경우에 위상편이의 누적된 크기는 최대 신호 대 손실비가 되며 이는 샘플링 타이밍 결정에 사용 가능하다. 유사 flat 페이딩 채널의 경우 신호진폭은 페이딩의 정도에 의해 감소되지만 인접 심볼 사이의 위상차는 변하지 않으므로 버스트 데이터에 대하여 최적의 eye-opening을 가진 샘플점을 선택 가능하다.

M 심볼 블록 전체에서 누적되는 신호점 에러  $\epsilon(k)$ 는 아래 수식과 같다.

$$\begin{aligned} \epsilon(k) = & \sum_{n=1}^M \left| \tan^{-1} \frac{Q(n) + y(n, k)}{I(n) + x(n, k)} \right. \\ & - \tan^{-1} \frac{Q(n-1) + y(n-1, k)}{I(n-1) + x(n-1, k)} \\ & - \tan^{-1} \frac{Q(n)}{I(n)} + \tan^{-1} \frac{Q(n-1)}{I(n-1)} \\ & \left. + \theta(n, k) - \theta(n-1, k) \right| \end{aligned} \quad (2)$$

$\tan^{-1}$ 항들은 n번째와 n-1번째의 차동위상에러를 나타내고, 마지막 두 항은 n번째와 n-1번째 심볼에서 수신기와 송신기 반송파 사이의 위상차를 나타낸다.

반송파 주파수 오프셋은 부호를 포함한 차동위상에러를 누적한 값을 평균하여 한 심볼에 해당하는 오프셋값을 구하게 된다. 차동위상에러의 누적값을 평균하면 잡음에 의한 성분이 제거되고 송수신기간의 주파수 오프셋값에 비례하는 값이 얻어진다. 신호점의 차동위상오차는 수신기와 송신기 사이의 주파수 오프셋에 비례하기 때문에 주파수 오프셋은 위상차 에러의 평균값으로 구할 수 있다. 식 (2)에서 M이 충분히 크면 잡음과 ISI( $z(n, k)$ )의 효과는 억제되고 주파수 오프셋 성분만 남게 되므로 식 (3)과 같이 나타낼 수 있다.

$$\epsilon'(k) = M\omega \quad (3)$$

여기서  $\omega = \theta(n, k) - \theta(n-1, k)$ 이며 주파수 오프셋에 의해 발생하는 심볼당 위상오차이다. 실제적인 구성에서 위상 잡음에 의해 발생하는 주파수 오차는 랜덤변수이다.

그림 3에 이러한 심볼동기와 주파수 오프셋 검출기의 블록도를 나타내었다.

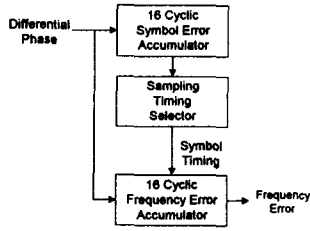


그림 3. 심벌동기와 주파수 오프셋 검출의 블록도

#### 4. 제한한 반송파 동기회로 설계

심벌동기와 반송파 주파수 오프셋 값이 정해진 후에 최적 샘플위치에서 버스트 RAM으로부터 위상값이 출력되고 주파수 오프셋을 교정하여 반송파 동기 루프로 입력된다. 이 시스템에서는 반송파 동기를 위해 2차 DPLL을 적용하였다. 1차 DPLL은 위상 추적이 빠르고 간단하나 주파수 오프셋이 정확하지 않을 때 주파수 에러를 추적하지 못한다. 무선 채널에서는 주파수가 불안정한 경향이 있기 때문에 2차 DPLL을 적용하여 주파수 오프셋에 더 강한 시스템을 구성할 수 있다. 순방향과 역방향의 반송파 동기루프를 사용한다. 첫번째 1/2 burst 동안에는 두 루프에 동일한 입력 위상이 요구되며 동시에 1/2 burst 메모리에 입력 위상을 저장한다. 이 1/2 버스트 동안 위상이 고정되고 루프의 초기위상이 정해진 상태에서 다음 1/2 버스트동안 순방향 루프는 그대로 처리가 진행되고 역방향 루프는 이전에 저장된 위상을 역순으로 입력받아 동기를 수행한다. 루프 시정수는 1/2 버스트내에 위상동기가 완전히 추적이 가능하여 안정상태에 도달이 가능하도록 선택한다. 반송파 블록의 출력은 두번째 1/2 버스트 동안에 순방향과 역방향 루프가 동시에 RAM에 재배열되어 입력된다. 이러한 추적복조 방식에서는 버스트의 1/2이 전치부호의 기능을 수행해서 버스트 전체를 동기복조한다. 그러므로 버스트에 부가적인 전치부호가 필요하지 않게 된다. 더 짧은 버스트에 적용할 경우에는 1 버스트를 반송파를 추적하는데 사용하도록 구성하여 반송파 성능을 개선할 수 있다.

1/2 버스트 이후에 추적된 위상으로 신호를 동기하므로 DPLL의 시정수는 1/2 버스트이내로 설계가 되어야 한다. 이 시스템에서는 전단에  $\tan^{-1}$  함수로 구한 위상을 사용하여 동기화를 하기 때문에 Tanlock 루프로 구성된 2차 DPLL의 해석을 적용할 수 있다[6][7].

2차 DPLL의 0.5%의 과도응답까지 도달하는 setting time  $T_{set}$ 는 식 (4)으로 근사화가 가능하다.

$$T_{set} \approx \frac{3}{2\zeta\omega_n} \quad (4)$$

그리고 능동 2차 PLL의 관계식은 식 (5)와 같다.

$$\omega_n = \frac{2B_L}{\zeta + \frac{1}{4\zeta}} \quad (5)$$

여기서  $\omega_n$ 은 자연응답 주파수,  $\zeta$ 는 시정수,  $B_L$ 은 루프대역폭을 나타낸다.

심벌 주기  $f_s$ 를 갖고 버스트 길이가 M인 경우, 버스트 길이의 1/2 전에 추적이 이루어져야 하므로 식 (6)의 관계가 성립한다.

$$\frac{M}{2f_s} > T_{set} \quad (6)$$

식 (4)와 (5)을 식 (6)에 대입하여 정리하면 최종적으로 반송파 동기 회로의 DPLL을 설계하기 위한 식 (7)을 구할 수 있다.

$$B_L T > \frac{3}{M} \left(1 + \frac{1}{4\zeta^2}\right) \quad (7)$$

최종적인 결과식 (7)로부터 각 파라미터에 따른 루프의 설계가 가능하다. 예로,  $\zeta = 0.7$ 이고  $M=212$ 일 경우  $B_L T$ 의 최소값은 약 0.0212가 된다. 정상상태 지터는 식 (8)과 같다.

$$\sigma^2 = \frac{N_0}{K_d^2} B_L \quad (8)$$

여기서  $K_d$ 는 위상검출기(PD)의 이득값이다.

$B_L T$ 가 작으면 추적성능이 감소하지만 정상상태 지터성능이 개선된다. M이 고정된 값일 경우 위 조건에서  $\zeta$  값이 커지면  $B_L T$ 를 더 줄일 수 있으므로 정상상태 지터성능이 개선되어 더 안정적인 동작이 가능하다. 그러므로 채널환경이 좋지 않을 경우  $\zeta$  값을 크게 하는 것이 유리하다.

## V. 모의수행결과

### 1. 심벌 동기 모의수행결과

그림 4에서는 버스트의 길이에 따른 심벌동기의 에러율에 대한 결과를 보였다. M개의 심벌을 누적할 때 M이 증가하면 그에 따른 성능향상이 존재한다. 그 크기는 수식 (9)과 같다.

$$y = 20 \log \left[ \frac{\sqrt{2}\epsilon}{M} \right] \quad (9)$$

그림 4에서는 M이 증가할수록 심벌 동기의 성능이 더 좋게 나타나는 것을 볼 수 있다. 즉, 랜

덤한 에러 특성을 갖는 채널에서 누적 횟수가 증가할수록 추적하기 원하는 에러의 평균성분이 더 정확한 값을 갖게 된다. 이를 통해서 적절한 심벌 동기 성능을 얻기 위한 버스트의 길이를 구할 수 있다.

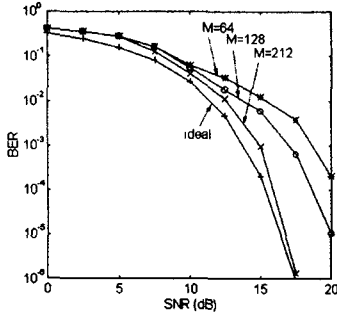


그림 4. 버스트 길이 M에 따른 심벌동기의 BER 곡선

2. 주파수 오프셋 검출기 모의수행결과

주파수 오프셋 검출기는 송수신기 간의 반송파 주파수차를 검출하여 반송파 입력시 주파수 오프셋을 보정하여 주파수 오프셋에 따른 성능저하를 방지할 수 있다.

주파수 오프셋은 약 60 kHz까지 추적이 가능하며 그 이상의 차이가 나게 되면 신호점상의 심볼오차가 발생하여 정확한 주파수 오프셋 값의 검출을 할 수 없다. 그림 5의 실제 모의 수행결과에서는 심벌 주파수 오프셋 검출기는 주파수 에러가 없는 경우 검출기에 의한 손실이 BER =  $10^{-2}$ 에서 약 0.3 dB 존재한다. 10 kHz의 주파수 에러에서 주파수 오프셋 검출기를 적용한 경우에 BER =  $10^{-2}$ 에서 약 2 dB 정도의 성능 향상을 보이는 것을 알 수 있다.

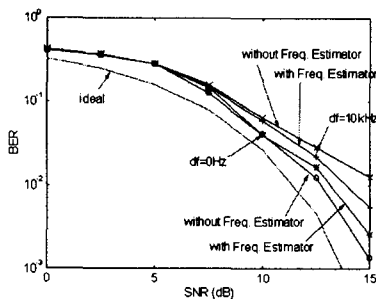


그림 5. 주파수 검출기 적용에 따른 BER 성능비교

3. 제안한 반송파 동기회로의 모의수행결과

반송파 동기루프는 송수신기간 반송파에 위상차가 존재할 때 이 위상차를 추적하는 기능을 수

행하며 주파수 추적기능도 수행한다. 이 시스템에서는 반송파 동기를 위해 2차 DPLL을 적용하였다. 2차 DPLL을 적용함으로써 1차 DPLL보다 주파수 오프셋에 더 강한 시스템을 구성할 수 있다. 2차 DPLL을 적용한 경우 주파수 오프셋 검출기의 성능을 보상할 수 있음을 볼 수 있다. 여기에서는  $\zeta = 0.7$ 이고  $M=212$ 일 경우로  $B_L T$ 는 0.03을 이용하여 시뮬레이션 하였다. 그림 6에는 주파수 오프셋에 따른 주파수 검출기의 특성을 2차 DPLL과 주파수 추적 성능과 비교하였다. 두 경우에 주파수 오프셋 추적 성능이 비슷하게 나오는 것을 볼 수 있다. 2차 DPLL이 주파수 오프셋 검출기의 성능을 보상할 수 있음을 알 수 있다.

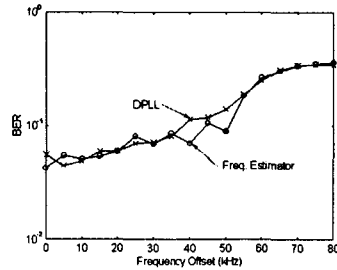


그림 6. DPLL과 주파수 오프셋 검출기의 추적 성능

4. 제안한 방식에서 페이딩 채널의 모의수행결과

그림 7에 페이딩 지수  $D_M$ 이 1인 경우와 10인 경우에 대해서 페이딩 채널에서의 M에 따른 비트오율을 보였다. 페이딩 지수  $D_M$ 이 1인 경우는 레일리 페이딩 환경에 해당하고 10인 경우는 라이시안 페이딩 환경에 해당한다. 페이딩 채널에서의 에러 성분을 보상하기 위한 채널 부호화는 사용하지 않은 경우에 대한 시뮬레이션을 보였다. 반송파 주파수는 LMDS의 채널 주파수에 해당하는 28GHz로 가정하였고  $f_m$ 이 1 kHz인 경우에 대한 결과를 보였다. 페이딩 채널에서는 버스트의 길이에 따라 성능차가 확연하게 나타난다. 페이딩 채널에서 적절한 심벌동기를 위해서는 약 100 심볼 이상의 버스트를 적용할 필요가 있음을 확인할 수 있다.

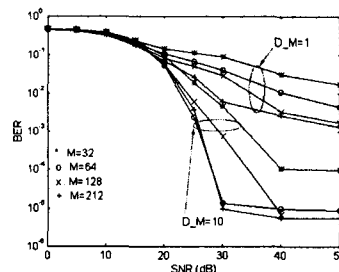
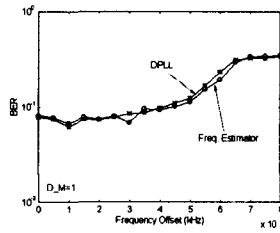


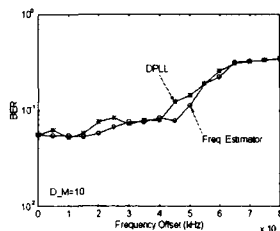
그림 7. 페이딩 채널에서의 M에 따른 심벌동기의 성능

## 참고 문헌

- [1] Seiichi Sampei, Applications of Digital Wireless Technologies to Global Wireless Communications, Prentice Hall PTR, 1997.
- [2] Gordon L. Stuber, Principles of Mobile Communication, Kluwer Academic Publishers, 1996.
- [3] DAVIC, DAVIC 1.2 Specification Part 8 - Lower Layer Protocols And Physical Interfaces (Technical Specification) Revision 4.2, Digital Audio-Visual Council, 1997.
- [4] Nelson R. Sollenberger, Justin C-I Chuang, Low-Overhead Symbol Timing and Carrier Recovery for TDMA Portable Radio Systems, IEEE Trans. on Comm., pp1886-1892, 1990.
- [5] Justin C-I Chuang and Nelson Sollenberger, Burst Coherent Detection With Robust Frequency And Timing Estimation for Portable Radio Communications, Proceedings, IEEE, GLOBECOM'88, pp804-809, November 1988.
- [6] Heinrich Meyr, G. Ascheid, Synchronization in Digital Communications Volume I Phase-, Frequency-Locked Loops, and Amplitude Control, Wiley Interscience, 1990.
- [7] 최형진, 동기방식 디지털 통신, (주)교학사, 1995.



(a)  $D_M=1$  인 경우



(b)  $D_M=10$  인 경우

그림 8. 페이딩 채널에서의 주파수 추적성능

그림 8에서 주파수 추적성능은 2차 DPLL을 사용한 경우와 주파수 오프셋 검출기를 사용한 경우가 거의 동일한 결과를 보였다. 가우시안 환경에서의 특성과 비교해보면 낮은 주파수 오프셋에서 성능이 약간 저하됨을 알 수 있다. 그러나 주파수 오프셋 추적 범위는 동일하게 나타남을 관찰할 수 있다.

## VI. 결론

반송파 동기와 심볼 타이밍 동기를 위한 전치 부호의 제거가 가능하고 동기성능을 향상시킬 수 있는 블록동기복조를 구성하여 이러한 동기화 알고리즘을  $\pi/4$  QPSK 변조방식에 적용한 수신기의 모의수행을 통해 블록동기복조기의 성능을 분석하였다. 심볼동기의 경우에서 ATM 셀 길이의 버스트에서는 이상적인 경우에 근접한 결과를 보였고 페이딩 환경에서는 안정적인 심볼동기를 위해서 일정 길이이상의 버스트가 요구됨을 알 수 있었다. 블록동기복조시 2차 DPLL의 적용을 통해서 추가적인 주파수 추적 성능을 얻을 수 있으며 주파수 오프셋 추적기의 성능을 보완 가능하며 시스템의 간략화를 위해 제거하여도 동일한 성능을 얻을 수 있었다. 이러한 기본 시스템을 바탕으로 LMDS 시스템과 같은 ATM 셀 단위의 short 버스트 무선통신에서 블록복조 버스트 모델을 적용함으로써 시스템의 프레임 효율과 동기성능의 향상을 동시에 기대할 수 있을 것이다.