

Scaled SONOSFET를 이용한 NAND형 Flash EEPROM The NAND Type Flash EEPROM Using the Scaled SONOSFET

김주연, 권준오, 김병철, 서광열
(Joo-Yeon Kim, Jun-Oh Kwon, Byung-Cheol Kim, Kwang-Yell Seo)
광운대학교 전자재료공학과
(Department of Electronic Materials Engineering, Kwangwoon University)

Abstract

8×8 bit scaled SONOSFET NAND type flash EEPROM that shows better characteristics on cell density and endurance than NOR type have been designed and its electrical characteristics are verified with computer aided simulation. For the simulation, the spice model parameter was extracted from the scaled down SONOSFET that was fabricated by 1.5 μ m topological design rule. To improve the endurance of the device, the EEPROM design to have modified Fowler-Nordheim tunneling through the whole channel area in Write/Erase operation. As a result, it operates Write/Erase operation at low current, and has been proven its good endurance. The NAND type flash EEPROM, which has upper limit of V_{TH} , has the upper limit of V_{TH} as 4.5V. It is better than that of floating gate as 4V. And a EEPROM using the SONOSFET without scaling (65Å-165Å-35Å), was also designed and its characteristics have been compared. It has more possibility of error from the V_{TH} upper limit as 4V, and takes more time for Read operation due to low current. As a consequence, it is proven that scaled down SONOSFET is more pertinent than existing floating gate or SONOSFET without scaling for the NAND type flash EEPROM.

Key Words(중요용어) : SONOSFET, NVSM(비휘발성 반도체메모리), NOR형 Flash EEPROM, SPICE Simulation

1. 서론

NVSM(Nonvolatile Semiconductor 메모리)중에서 플래시[1] EEPROM은 현재 EEPROM 시장을 선점하고 있는 자기 디스크를 대체하고, 차세대 반도체 시장을 주도해 갈 것으로 기대되고 있다. 플래시 EEPROM의 여러 구조 중 현재 가장 널리 사용되고 있는 것은 2층의 폴리실리코너로 구성되어 있는 부유게이트형이다. 그 중 NAND형은 비록 랜덤 액세스가 되지 않는다는 단점을 가지고 있지만 메모리 배열 크기(array size)가 작고, 단일 전원을 사용하며, 쓰기 방식이 FN(Fowler-Nordheim) 터널링이어서 내구성이 뛰어나다. 또한 V_{TH} 의 하한이 없으므로 지우기 시간이 짧다는 장점을 갖고 있다.

플래시 메모리의 궁극적인 목표는 빠르고 고집적, 저전압, 고신뢰도와 저가이어야 한다. SONOSFET (polysilicon-oxide-nitride-oxide-semiconductor FET)[5] 소자는 고밀도 비휘발성 메모리에 가장 적당하다. 셀 크기가 작고, 무엇보다 프로그래밍 전압

이 낮고 5V 쓰기/지우기까지 가능하며, 빠른 지우기/쓰기 시간과 좋은 기억유지 특성, 높은 내구성, 그리고 높은 내방사성을 갖기 때문이다. 그 동안 쓰기/지우기 전압이 더욱 더 낮은 스케일 다운된 SONOSFET[6-7]의 비휘발성 기억소자로서의 동작 특성에 관한 연구가 꾸준히 진행 되어왔으며 이를 이용하여 8x8 bit NAND 플래시 EEPROM을 설계 하였고 쓰기/지우기/읽기 동작을 시뮬레이션하고 그 특성을 고찰하였다. 이로부터 부유게이트형 NAND 플래시 EEPROM의 장점에다가 SONOS 구조의 장점이 더해진 플래시 EEPROM을 얻을 수 있었다. 또한 스케일 다운된 SONOSFET와 그렇지 않은 SONOSFET의 플래시 EEPROM 응용 가능성을 검토하였다.

2. 회로도구성

SONOSFET를 이용한 8×8 비트 NAND형 플래시

EEPROM을 그림1과 같이 설계하였다. SONOSFET을 이용한 메모리 셀 배열(A)과 동작조건에 따른 전압 변환 회로(B), 그리고 워드 선 펄스를 입력으로 받아 동작 상태에 따라 메모리 셀의 게이트에 인가되는 전압을 결정해 주는 변환-게이트부로 (C)(D)이루어져 있다. 8개의 비트 선과 NAND 배열의 직렬 저항을 고려하여 하나의 비트 선에 8개의 메모리 셀을 연결하여 8×8 비트 NAND형 플래시를 설계하였다.

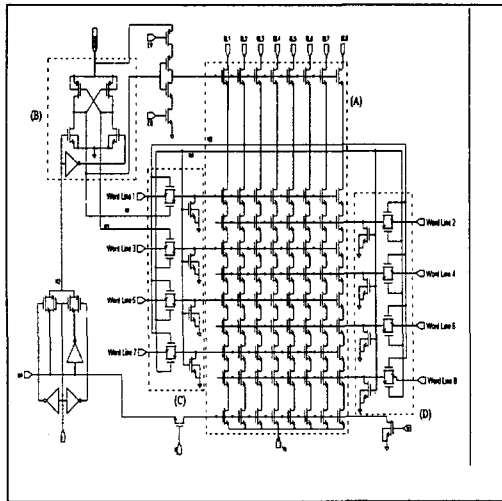


그림1. 8x8 비트 NAND형 플래시 EEPROM 회로도.

Fig. 1. 8x8 bit NAND type flash EEPROM circuit.

쓰기 동작은 N1을 high(5V) 상태로, 제어신호 E를 low(0V) 상태로 하고 V_{ppr} 에는 쓰기 전압을 인가하였다. 그러면 N2도 high 상태가 되고 이것이 전압 변환 회로(B)에 입력되어 쓰기 전압이 N3으로 출력되고, N4가 0V가 된다. 따라서 워드 선을 입력으로 하는 변환 게이트부(C)(D)의 n-채널 트랜지스터의 게이트에는 양(+)의 쓰기전압이, p-채널 트랜지스터의 게이트에는 0V가 인가되어 각각의 트랜지스터가 ON되어 워드 선의 전압이 메모리 셀의 게이트에 그대로 인가된다. 선택된 메모리 셀의 게

이트에만 쓰기전압이 인가되어야 하므로 선택된 셀과 연결된 워드 선에 쓰기전압을 인가하고, 나머지 메모리 셀에 연결된 워드 선에는 5V가 인가되도록 하였다. 선택 게이트 SG1에는 0V인 N4를 입력으로 하는 인버터에 의해 5V가 인가되어 ON 상태가 되었다. 선택 게이트 SG1이 ON 상태가 되면 비트 선의 전위가 메모리 셀이 전달되었다. 소오스 측 선택 게이트 SG2는 오프 상태로 하였다. 지우기동작은 N1을 high로 하고 쓰기동작 때와는 달리 제어신호 E도 high로 하였다. 따라서 N2는 low 상태가 된다. 그후 전압 변환 회로(B)의 V_{ppr} 에 5V를 인가하면 N3은 0V, N4는 5V가 되어 워드 선을 입력으로 하는 변환 게이트부(C)(D)의 트랜지스터는 모두 오프 상태가 된다. 게이트가 5V인 N4에, 드레인이 메모리 셀의 게이트에 연결된 n-채널이 모두 턴-온 상태로 되기 때문에 지우기동작 시에는 메모리 셀의 게이트 8개는 워드 선 입력 값에 관계없이 모두 0V가 인가된다. 비트 선과 소오스는 열린 상태로 하기 위해 선택 게이트 SG1과 선택 게이트 SG2 모두 오프 상태로 하였다. 지우기동작 시에는 메모리 셀의 p-기판에는 지우기전압이, 모든 메모리 셀의 게이트에는 0V가 인가되고, 소오스와 드레인은 열린 상태로 되어 있기 때문에 모든 메모리 셀이 지워지는 플래시 지우기동작을 한다. 읽기동작 시에는 N1을 high로 E를 low 상태로 하였다. 따라서 N2는 high가 된다. V_{ppr} 에 5V를 인가하면 N3은 5V, N4는 0V가 되어 변환 게이트의 트랜지스터들이 모두 턴-온 상태가 되어 모든 워드 선의 전위가 메모리 셀의 게이트 입력으로 전달된다. 이때 선택된 메모리 셀의 게이트에는 0V가 인가되고 나머지 7개의 선택되지 않은 메모리 셀에는 5V가 인가된다. 비트 선과 소오스 측의 선택 게이트는 모두 턴-온 상태로 하여 비트 선의 전위가 메모리 셀에 전달되도록 하였다.

또한 단위소자에서 우수한 특성을 보인 스케일다운된 SONOSFET가 실제 플래시 메모리를 꾸렸을 때 어떠한 특성을 보이는지를 조사하기 위하여 플래시 메모리의 기억소자가 스케일 다운된

SONOSFET와 그렇지 않은 SONOSFET인 경우를 비교해 보았다. 스케일 다운한 SONOSFET의 쓰기와 지우기 동작 시 같은 펄스 인가 시간 동안 같은 메모리 윈도우를 얻기 위해 상대적으로 낮은 쓰기/지우기 전압이 필요함을 알 수 있었다.[8-9] 이때 스케일 다운 된 SONOSFET의 산화막-질화막-산화막 두께와 스케일 다운 되지 않은 SONOSFET의 ONO 두께는 각각 표1과 같다.

표1. 스케일 다운 된 SONOSFET와 되지 않은 SONOSFET의 유전막 두께 비교.
Table1. The dielectric film thicknesses of scaled down and nonscaled SONOSFETs.

	Scaled down SONOSFET	Nonscaled SONOSFET
Tunnel oxide	22Å	30Å
Nitride	53Å	165Å
Blocking oxide	33Å	65Å

3. 결과 및 고찰

NAND 플래시 배열의 기억상태를 읽기 위해 선택된 비트 선에만 5V를 인가하고 1번째 게이트부터 8번째 게이트까지 순차적으로 0V를 인가되도록 전압을 인가하여 메모리 셀의 기억상태를 읽었다. 첫 번째부터 8비트의 기억상태가 '11110110'인 NAND 플래시를 선택하여 기억상태를 읽은 결과는 그림2와 같다. 1번째에서 4번째 메모리 셀의 게이트에 0V가 인가되는 90ns 동안은 셀 전류가 흐르고 있어서 1번째에서 4번째까지 메모리 셀의 기억상태는 '1111'로 판정할 수 있었다. 5번째 메모리 셀이 선택되어 0V가 인가된 90ns~100ns 동안에는 전류가 흐르지 않아 기억상태를 '0'으로 판정할 수 있었다. 결과 파형으로부터 기억상태를 '11110110'으로 읽을 수 있었다. 이것으로부터 SONOSFET를 이용한 8×8 비트 NAND 플래시 EEPROM의 읽기 동작이 정상적으로 수행되었음을 알 수 있었다. 그림 3은 스케일 다운 된 SONOSFET와 스케일 다운 되지 않은 SONOSFET를 기억소자로 사용하였을 때 NAND

플래시 EEPROM의 읽기 동작 결과를 비교한 것이다. 각각 단위소자로부터 직접 추출한 SPICE 파라미터(LEVEL=3)를 이용하여 시뮬레이션한 결과이다. 스케일 다운 된 소자의 셀 전류가 약 60μA로 스케일 다운 되지 않은 SONOSFET(20μA) 경우보다 훨씬 큰 전류를 나타내고 있다.

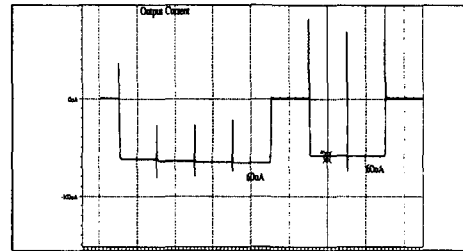


그림 2. SONOSFET NAND 플래시 EEPROM의 읽기 동작 시의 셀 전류.

Fig. 2. Cell current of SONOSFET NAND flash EEPROM during read operation.

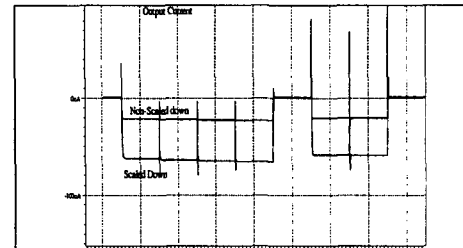


그림 3. 스케일 다운 된 것과 스케일 다운 되지 않은 SONOSFET NAND 플래시 EEPROM의 읽기 전류 비교.

Fig. 3. Comparison of read cell current between the scaled down and nonscaled SONOSFET NAND flash EEPROMs.

스케일 다운 된 SONOSFET는 만일 감지 전류가 20μA라 한다면 20ns의 읽기 시간이 필요한 반면 스케일 다운 되지 않은 경우는 30ns의 읽기 시간이 필요하게 되어 읽기 시간이 보다 늦다. 읽기 동작 동안은 일반 MOSFET과 동일한 동작기구를 가진 SONOSFET이므로 전류는 식1처럼 유전체의 유전 용량과 비교한다. 스케일 다운 된 SONOSFET의 유

효 유전체 두께가 작아서 게이트 전기용량 C_{ox} 가 크게 되고, 따라서 전류량이 큰 것으로 사료된다.

$$I \propto \mu C_{ox} \frac{W}{L} \quad \text{-----(1)}$$

NAND형은 NOR형과 비교하여 시리즈로 셀이 연결되어 있어 직렬 저항 효과가 있고 셀 전류가 적다. 그림 4는 8단 연결된 NAND 셀 배열과 셀 전류 그림을 나타낸 것이다. 가로축이 7비트 분의 비선택 셀의 V_{TH} 를, 세로축은 셀 전류이다. 선택 셀의 V_{TH} 가 각각 -3V와 -2V일 때, 스케일다운 된 경우와 그렇지 않은 경우를 비교하여 보았다. 스케일다운 된 SONOSFET를 이용한 경우, 비선택 셀의 기억 상태에서 V_{TH} 가 4.5V 이상 되면 셀 전류가 약 $2\mu A$ 이하이므로 셀의 V_{TH} 는 가능한 4.5V이하로 조정하는 것이 셀 전류 감지에 유리하다. 마찬가지로 스케일다운 되지 않은 경우는 V_{TH} 가 4.5V 이상 되면 셀 전류가 약 $1\mu A$ 이하가 되므로 V_{TH} 는 4V이하로 조정하는 것이 읽기 동작의 오류를 막을 수 있다.

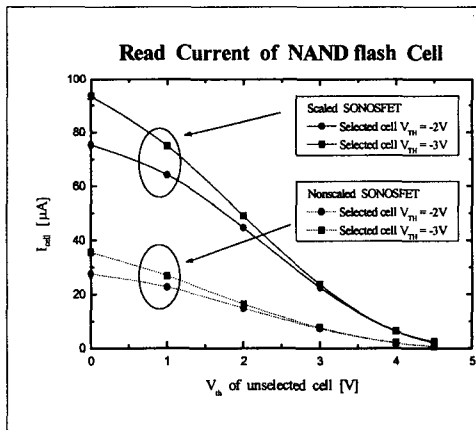


그림 4. 스케일다운 된 것과 스케일다운 되지 않은 SONOSFET NAND 플래시 EEPROM의 읽기 전류 비교.

Fig. 4. Comparison of read cell current with V_{TH} between the scaled down and nonscaled SONOSFET NAND flash EEPROMs.

V_{TH} 의 상한이 작으면 쓰기 동작 동안 V_{TH} 이동의

범위가 작아져 오동작을 일으킬 확률이 그만큼 커지게 되는 것이다. 스케일다운 되지 않은 것과 스케일다운 된 것 모두 V_{TH} 가 -3V인 것이 $V_{TH} = -2V$ 인 것보다 전류량이 큼을 보인다.

지우기 동작은 기판에는 지우기전압을 인가하고 게이트에는 0V가 인가되도록 하였다. 지우기 동작 시 출력 파형은 그림 5와 같다.

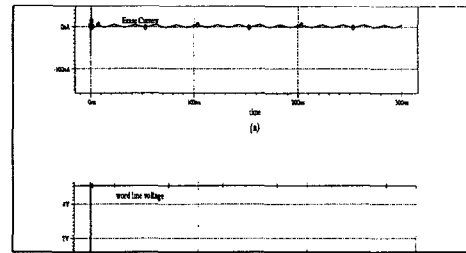


그림 5. SONOSFET 8×8 비트 NAND 플래시 EEPROM의

지우기 동작 결과 파형. (a) 지우기 셀 전류.

(b) SONOSFET 메모리 셀의 게이트에 인가된 전압.

Fig. 5. Output waveform for SONOSFET 8×8 bit NAND flash EEPROM during erase operation.

(a) Erase cell current. (b) Voltage(0V) applied on gate of SONOSFET memory cell.

그림5의 (a)는 지우기 동작 시 흐르는 지우기 전류를 나타내고 있다. 지우기 전류가 nA 단위로 거의 흐르지 않음을 보이고 있다. 지우기 전류가 적을수록 소자 신뢰성이 우수하다. 그림(b)은 SONOSFET 메모리 셀의 게이트에 인가한 전압으로 시뮬레이션 결과이다. 이것으로부터 웰과 소오스에 지우기전압을 인가하고, 게이트에는 0V, 소오스와 드레인도 열린(Open) 상태로 함으로써 트랩된 전하를 디트랩핑하는 단위 메모리 셀의 지우기 동작 조건이 8×8 비트 NAND형 플래시 EEPROM에서도 제대로 수행되었음을 보여준다.

쓰기 동작은 지우기 동작으로 모든 메모리 셀을 기억상태 '1' 상태로 만든 다음 선택된 비트 선의 8번째 메모리 셀부터 순차적으로 쓰기 펄스를 게이트에 인가한다. 이때 기억 상태('0' state)로 하고자 하는 셀에는 게이트에 쓰기 펄스가 인가될 때 bit 선 펄스를 0V로 하면 된다. 기억상태를 '01010101'로

쓰기 하는 파형을 입력했을 때 결과 파형을 그림6에 나타냈다. 그림 6의 (a)는 쓰기동작 시 흐르는 쓰기 전류이다. 쓰기 전류가 수십 nA 단위로 흐르고 있음을 보인다. 그림(b)은 비트 선에 인가된 전압을 나타내고 있다. 이 비트 선 전압에 low(0V) 펄스가 인가될 때만 쓰기 전류가 흐르고 있음을 그림6의 (a)와 비교하여 보면 확인할 수 있다.

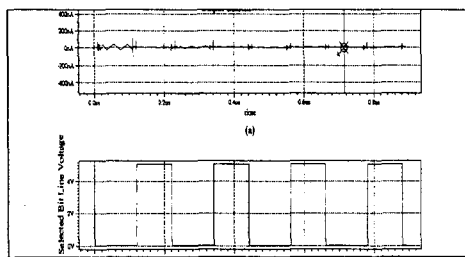


그림 6. SONOSFET NAND 플래시 EEPROM의 쓰기동작 시에 전류와 비트 선에 인가한 전압 파형.
 (a) 쓰기 셀 전류. (b) 비트 선에 인가한 파형.
 Fig. 6. Read current and applied voltage waveform during write operation of SONOSFET NAND flash EEPROM. (a) Write cell current. (b) Voltage waveform applied on bit line.

4. 결 론

EEPROM 소자 중에서 저전압으로 쓰기/지우기가 가능하고, 집적도 및 내구성 면에서 우수하다고 보고된 SONOSFET을 이용하여 NOR형보다 셀 집적도 및 내구성 특성이 우수한 NAND형 플래시 EEPROM을 8×8 비트로 설계하였고, 그 전기적 특성을 시뮬레이션하여 고찰하였다. 1.5 μ m 설계규칙을 적용하여 제작한 스케일다운 된 SONOSFET(ONO 막의 두께가 각각 33Å, 53Å, 22Å)로부터 SPICE 파라미터(LEVEL 3)를 추출하였다. 기억상태에 있는 메모리 셀의 V_{TH} =3V, 지우기 상태에 있는 메모리 셀의 V_{TH} =-4.5V로 하고, 읽기동작 시 선택되지 않은 모든 메모리를 기억상태로 두었을 때 읽기동작 전류는 약 2 μ A로 나타났다. 따라서 SONOSFET을 이용한 NAND형 플래시 EEPROM의 V_{TH} 상한을 4.5V로 할 수 있었다. 이는 상한이 4V정도인 부

유게이트보다 우수하다. 쓰기동작 시 쓰기 전류는 수십 nA 단위로였고, 지우기동작 시 지우기 전류는 수 nA 단위로 나타났다. 쓰기/지우기 전류가 적을 수록 소자 내구성이 우수하다. 쓰기와 지우기동작 시 전하의 터널링이 소자 전면을 통한 modified FN 터널링이 되도록 EEPROM을 설계하였다. 또한 ONO 막의 두께가 각각 65Å-165Å-35Å인 스케일 다운 되지 않은 SONOSFET를 적용하여 그 특성을 비교하였다. 같은 메모리 윈도우를 얻기 위한 쓰기/지우기전압이 스케일다운 된 SONOSFET가 8V인 반면에 13V가 필요한 스케일다운 되지 않은 SONOSFET는 V_{TH} 상한이 4V로 상대적으로 오동작의 가능성이 높을뿐더러 읽기동작시에 셀 전류가 적어 읽기 시간도 오래 걸렸다. 따라서 NAND형 플래시 EEPROM에는 스케일 다운되지 않은 것보다 유리하다는 것을 알 수 있다.

참 고 문 헌

1. F. Masuoka, et al., "A New Flash EEPROM Cell Using Triple Polysilicon Technology", IEDM Technical Digest, pp.464-467, Dec. 1984.
2. R. D. Pashley, et al., "The Best of Two Worlds", IEEE Spectrum, pp.30-33, Dec. 1989.
3. T. Tanaka, et al., "A 4-Mbit NAND-EEPROM with Tight Programmed V_t Distribution", Symp. VLSI Cir. Dig. Tech. Papers, June, pp.105-106, 1990.
4. Y. Iwata, et al., "A High Density NAND EEPROM with Block-Page Programming for Microcomputer Application", IEEE J. Solid-State Cir., Vol.25, No.2, pp.417-424, 1990.
5. M. L. French, et al., "Scaling of Multidielectric Nonvolatile SONOS Memory Structures", Solid-State Electron., Vol.37, pp.1913-1923, 1994.
6. 이상배, 이상은, 서광열, "저전압 EEPROM을 위한 Scaled MONOS 비휘발성 기억소자의 제작 및 특성에 관한 연구", 전기전자재료학회지, Vol.8 No.6, pp.727-736, 1995.
7. 이상배, 김선주, 이상배, 서광열, "저전압 NVSM을 위한 Scaled MONOS 구조의 블로킹 산화막-절화막 계면트랩에 관한 연구", 응용물리, Vol.9 No.6, pp.773-781, 1996.
8. 서광열, "SONOS EEPROM 소자에 관한 연구", 전기전자재료학회지, Vol.7 No.2, pp.123-129, 1994.
9. 김선주, 양전우, 이상은, 서광열, "저전압 Scaled SONOS NVSM", 대한전기학회 전기재료연구회 춘계 학술대회 논문집, pp.39-42, 용인 명지대학교, 1998.