

IEEE1394 S800대응 고주파 PLL ASIC 설계

김용우*, 이홍배*, 조계옥*, 한동일*, 이기원*

*삼성전자 중앙연구소 마이크로시스템 연구소

Design of Analog ASIC for high frequency Phase Lock Loop

Y.W.KIM, H.B.LEE, G.O.CHO, D.I.HAN, K.W.LEE

MicroSystems R&D Laboratories, SAMSUNG ELECTRONICS

Abstract IEEE1394 is an international standard that will integrate entertainment, communication, and computing electronics into consumer multimedia. IEEE1394 is a hardware and software for transporting data at 100,200, or 400Mbps. There are efforts to create speed improvements to 800 and multi-Gigabit speeds. An 980Mhz frequency synthesizer is proposed for high speed tranport and designed by a 0.35um CMOS process.

1. 서 론

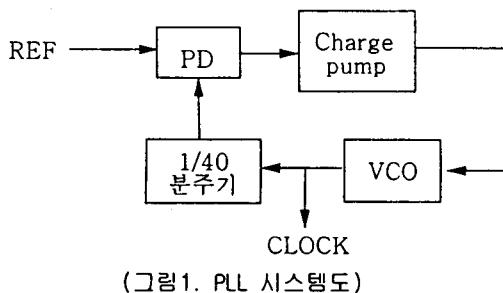
IEEE1394 Physical layer controller에서는 data 전송속도인 983.04MHz의 clock이 필요한데, XTAL이 fundamental mode로 동작하는 경우에 높은 주파수의 clock을 얻기 힘들므로 외부의 XTAL(24.576MHz)의 주파수를 reference로하는 Phase Lock Loop를 설계하였다. 공정은 0.35um CMOS 공정을 사용하였다.

2. 본 론

2.1. 주파수 합성기

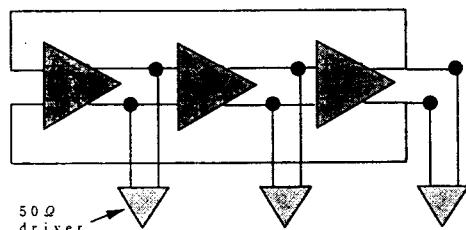
주파수 합성기는 Crystal 기준주파수인 24.576 MHz 을 40 체배하여 S800에 대응하는 983.04 MHz 의 주파수를 생성하는 회로이다.

구성은 Phase detector, Charge pump, VCO, Divider로 구성되는 PLL이다.



(그림1. PLL 시스템도)

2.2 VCO

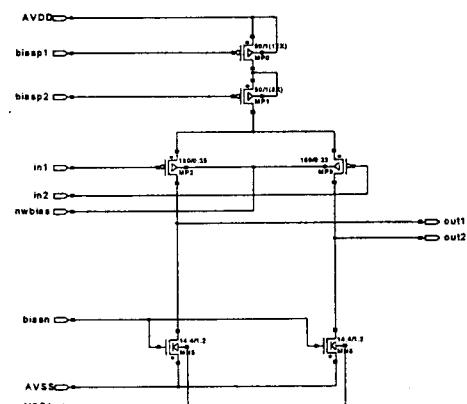


(그림2. VCO 기본 구성도)

그림1은 VCO의 기본 구성도이다.

loop filter를 통해 입력된 전압은 V/I converter를 통해 전류로 변환되고, 이 전류의 변화에 따라 소자의 지연시간을 제어하게 되어 원하는 주파수의 신호를 출력시키는 것이 가능하다.

2.2.1 지연 소자의 설계



(그림3. 지연 소자)

그림2는 VCO를 구성하는 기본 지연셀이다. 지연소자로는 source-coupled differen-

tial stage를 사용하였고, PSRR를 높이기 위해 MPO, MP1으로 구성된 cascode type의 전류바이어스를 사용하였다. MN5, MN8은 선형영역에서 동작하도록 biasing이 되어 있어, 이 저항값과 출력노드의 기생cap값으로 발진 주파수를 결정한다.

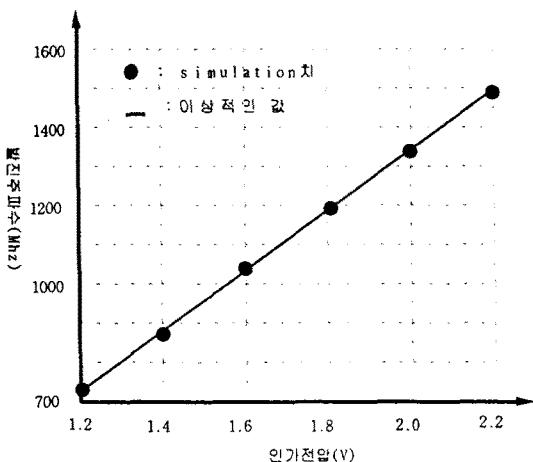
발진주파수는,

$$f \propto \frac{k}{R_{ds5} \cdot C} \text{ 가 된다.}$$

(k는 비례상수, Rds5는 MN5의 선형영역에서의 저항, C는 기생capacitor의 합)

Bias전류가 증가하면, replica bias control circuit에 의해 swing전압이 낮아지는데 이 전압에 의해 Rds5가 줄어들게 되어 bias전류에 비례하여, 주파수가 증가한다. 안정된 발진을 위하여 자연셀의 전압이 특은 1보다 상당히 크게 설계하였다.

2.2.2 VCO BLOCK SIMULATION 결과

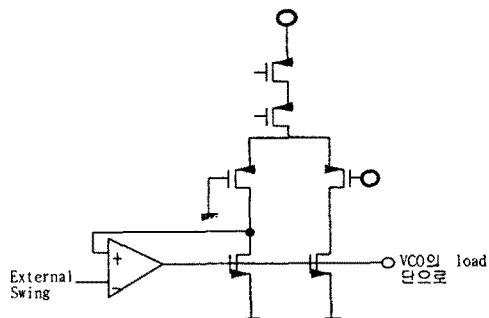


(그림4. VCO 인가전압에 대한 발진주파수)

그림4는 VCO인가 전압에 따른 발진주파수에 대한 것을 나타낸것으로, 원모양은 그점에서 simulation 한 값이고, 실선은 1.2V일때의 주파수와 2.2V일때의 주파수사이를 직선으로 연결한 것이다. 그림에서 보듯이 입력전압 변화에 대해 출력주파수가 거의 비례적으로 변함을 알 수 있다. 주파수를 결정하는 bias 저항을 외부핀으로 뽑아 조정가능하게 했으며, 입력 전압에 대한 출력주파수의 변화 감도도 외부에서 조정가능하도록 하였다.

2-3. REPLICA BIAS 회로

일반적으로 자연셀의 부하로서 MOS를 소자를 사용하는 VCO의 경우, VCO의 입력전압을 증가하여 공급 전류를 증가시키면, 주파수가 증가하면서 발진파형의 진폭이 커지므로 이를 방지하기 위해 replica bias회로를 사용한다. 그림5는 replica bias회로를 나타낸다. MOS입력단의 한쪽으로만 Bias전류가 흐르게 gate에 0v를 가한다. MOS저항의 L,W를 정할때에는 일단 VCO에 공급하는 전류의 범위내에서 MOS가 선형 영역에서 동작하게 설계하였다.



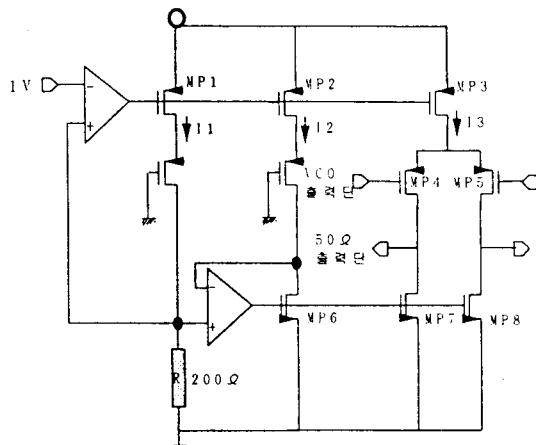
(그림5. Replica Bias circuit)

2-4. 50Ω impedance matching 회로

VCO의 특성을 Spectrum analyzer로 분석하기 위해 필요한 회로로 test장비와의 impedance matching을 하기위해, 또 monitoring하기 위해 출력핀을 구동시킬 수 있는 회로이다. 그림6은 50Ω impedance matching 회로를 보여주고 있다. 입력단에 1Vdc의 전압을 인가하면 feedback loop에 의해 저항 양단에 1V의 전압이 생겨 MP1에 5mA의 전류가 흐르게 된다. MP2도 같은양의 전류가 흐르게 되고, b점의 전압 역시 feedback 회로에 의해 1V의 전압이 발생하므로, MP6의 저항값은 200Ω이 된다. MP3의 size를 MP1의 4배로하여 전류가 4배, 즉 20mA가 흐르게 하면 출력단에서 보는 출력 임피던스는 $200/4 = 50\Omega$ 이 된다. Balance를 맞추기 위해 자연셀 3단 사이에 50Ω impedance 회로를 추가하였다. Simulation때에는 PAD와 PIN에 존재하는 기생 capacitor을 고려하여 5p를 불

여 simulation하였다.

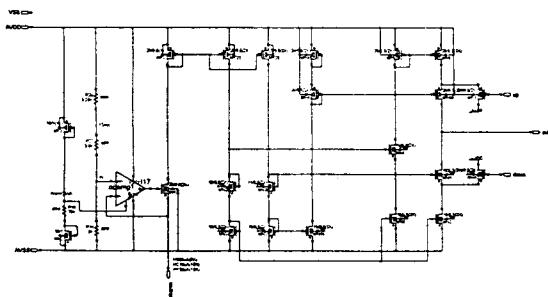
zone을 없앰으로서 Jitter양을 감소시켰다.



(그림6. 50Ω impedance 구동회로)

2-5. CHARGE PUMP 회로

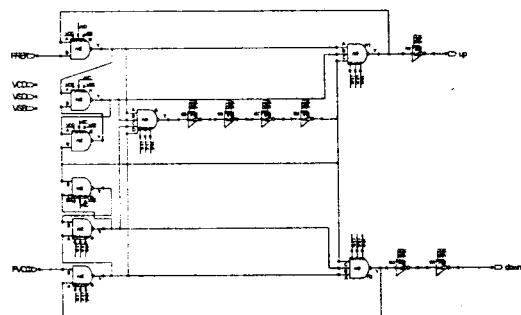
그림7은 Charge Pump회로를 나타낸 것이다. charges단에 10K의 저항을 연결하면, 약 $100\mu A$ 의 전류가 흐르고 mirroring에 의해 MN0, MN2에도 w의 크기가 두배이므로 $200\mu A$ 의 전류가 흐르도록 설계하였다. 여기서 mirroring되는 전류 즉, MP6과 MN2 사이에 offset current가 존재한다.(약 5%) 이것은 MP6과 MN2사이의 drain과 source사이의 전압차에 의한 영향때문이므로 MN30을 조정하여 두전류사이의 offset current를 줄여 0.1%가 되게 설계하였다.



(그림7. Charge Pump 회로)

2.6. Phase Detector

Phase Detector Type은 dead Zone을 없앤 delayed reset PFD 방식이다. 이것은 두신호의 위상이 같을때에도 전하 평평 작용을 한다. 이때 UP 신호와 Down 신호의 폴스폭은 지연소자로 쓰인 4개의 인버터의 지연시간 t_d 만큼 발생한다. dead



(그림8. PFD 회로)

3. 결 론

Crystal 기준주파수인 24.576MHz 을 40 체배하여 S800에 대응하는 983.04MHz 의 주파수를 생성하는 Phase Lock Loop회로를 설계하였다. 공정은 0.35um CMOS를 사용하였으며 layout size는 이었다. VCO 형태는 2개의 입력과 두개의 출력을 가진 3단 ring oscillator이었다.

[참 고 문 헌]

- [1] A.A.Abidi and R.G.Meyer,"Noise in relaxation oscillator", IEEE J.Solid-State Circuits, vol. SC-18,pp.794-802,Dec.1983.
- [2] T.C.Weigandt,B.Kim, and P.R.Gray,"Analysis of timing jitter in CMOS ring oscillators," in Proc. ISCAS,June 1994
- [3] B.Razavi,K.F.Lee, and R.-H. Yan,"Design of high speed low-power frequency dividers and Phase-Lock Loopd in deep submicron CMOS," IEEE J. Solid-State Circuits,vol.30,pp.101-109,feb.1995
- [4] Fujishima,M.,et al., "Low-power 1/2 Frequency Dividers Using 0.1um CMOS Circuits Built with Ultrathin SIMOX Substrates," IEEE J.Solid-State Circuits,vol.28,pp.510-512,April 1993.
- [5] Behzad Razavi,"A 2_Ghz 1.6mW Phase-Lock Loo p," IEEE J. Solid-State Circuits,vol.32,pp.730-735,May.1997