

## 효율적인 타이밍 수준 게이트 지연 계산 알고리즘

김부성\*, 김성만, 김석윤  
숭실대학교 전자계산학과

### An Efficient Timing-level Gate-delay Calculation Algorithm

Boosung, Kim\*. Sungman, Kim, Seokyoon, Kim  
Dept. Computer Science, Soongsil Univ.

**Abstract** - In recent years, chip delay estimation has had an increasingly important impact on overall design technology. The analysis of the timing behavior of an ASIC should be based not only on the delay characteristics of gates and interconnect circuits but also on the interactions between them. This model plays an important role in our CAD system to analyze the ASIC timing characteristics accurately, together with two-dimensional gate delay table model, AWE algorithm and effective capacitance concept.

In this paper, we present an efficient algorithm which accounts for series resistance by computing a reduced-order approximation for the driving-point admittance of an RC-tree and an effective capacitance equation that captures the complete waveform response accurately.

#### 1. 서 론

반도체 제조 기술은 계속적인 발달로 크기가 급속도로 줄어들게 되어 선 폭이  $0.5\mu m$  이하로 미세화 되었다. 반면에 설계자에게 허용되는 칩의 밀도는 상대적으로 증가하게 되었으며, 시스템의 동작 주파수가 수백 MHz 이상으로 되며 작아지는 크기로 인해 연결선에서의 지연이 상대적으로 증가하게 되었다. 따라서 ASIC을 설계하는 단계에서 타이밍 수준에서의 특성 해석 및 예측 작업은 더욱 높은 수준의 정확도가 요구되어 지게 되었다. 회로의 지연 특성은 게이트에 대한 지연과 연결선에서의 지연으로 나누어지며, 이 두 지연 요소의 종합과 이를 상호 관계를 바탕으로 각 단계에서의 지연 성질을 파악 할 수 있다[3]. 게이트에 대한 지연 시간 특성은 입력에 인가되는 파형과 게이트의 출력 부분에 연결된 부하 커패시턴스를 이용하여 모형화되며, 연결선(RC-Interconnect)에 대한 지연 시간은 AWE 알고리즘[4]을 통해 알 수 있다.

저항 차폐 효과(resistance-shielding effect)는 유효 커패시턴스(effective capacitance)[7]를 통해, 연결선에서의 지연은 연결선을 저 차의 모형으로 재구성하는 방식에 의해 구성된 모형과 게이트에서의 출력시간에 의해 해석이 이루어진다. 연결선을 구성하는 모형은 RC 성분으로 이루어지며, 이 성분을 해석함으로써 특성을 일반화할 수 있다.

본 논문에서는 게이트에서의 지연뿐만 아니라 연결선에서의 지연까지 동시에 예측할 수 있는 방법을 소개한다[1,2].

#### 2. 본 론

##### 2.1 회로의 선형화

회로를 해석하는 과정에서 매우 정확한 결과를 얻기 위해서는 비선형방식(circuit level)을 사용할 수 있다. 그러나 시간이 끈 비용인 현재 반도체 시장에서 이러한 방법은 정확한 해석 결과를 얻을 수 있지만, 비용적인 면과 시간적인 측면에서 정확한 결과를 얻음으로써 생기는 이득보다 더 큰 손실이 따를 수 있다. 따라서 이러한 현실적인 면을 고려한 절충적인 방

법은 선형 방식(즉 Timing-Level)에 의해 비선형 회로를 해석하는 방법이라고 볼 수 있다. 타이밍 수준에서 게이트를 해석하기 위해서는 게이트의 구동 특성을 그대로 반영할 수 있는 선형 회로 형태로 변환하여야 한다. 이러한 선형 형태의 게이트는 첫째, 게이트 구동 특성 모델은 동일한 연결 회로에 대하여 구동점에서 나타나는 전압 파형의 후반부를 그대로 재현할 수 있는 기능을 필요로 한다. 둘째, 트랜지스터의 ON 저항과 같은 모델 요소들의 값은 연결 회로와 연계되어 유기적으로 정해지므로, 동일한 게이트에 대해서도 구동할 배선 회로에 따라 결정되어야 한다. 셋째, 게이트의 입력에 인가되는 파형은 계단 함수가 아닌 유한한 기울기를 갖는 경사 함수이고, 많은 게이트들은 그 내부에 여러 단의 기본 게이트들을 포함하고 있는 다단계 게이트라는 점을 고려해야 한다. 따라서 출력단위의 트랜지스터가 포화 영역에서 선형 영역으로 전이하여 구동점에서의 전압 파형이 지수 함수 형태의 아날로그 파형으로 변화하는 분기점은 게이트 및 주변 환경에 따라 다르게 되고 일률적으로 정해질 수가 없다[3]. 따라서 이러한 상황을 합리적으로 고려하기 위해 <표 1>과 같은 이차원 테이블이나 <식 1>과 같은 특성 방정식을 이용할 수 있다. 또한 연결선의 모형은 하나의 부하 커패시터로 모형화하여 많이 사용된다. 이것은 반도체 생산자에 의해 제공되는 게이트의 정보가 게이트의 구동 능력을 부하 커패시턴스에 대한 함수로 주어지기 때문이다. MOS VLSI 회로의 칩 내부는 회로 요소와 연결선의 고집적으로 연결 영역은 매우 작아지나, 상대적으로 저항은 증가하여 무시할 수 없는 성분이 되었다. 하지만 인덕턴스는 매우 작은 값으로 저항 성분에 비해 무시할 수 있는 요소이다. 따라서 연결선의 형태는 단지 R과 C로만 표현할 수 있다. RC 모델은 쉽게 계산할 수 있는 RC트리 모형으로 모델링된다. 이 선형 RC-트리 모형이란 그리운드와 연결되며 유동이 아닌 커패시터이고 루프를 형성하지 않으며, 그리운드와 연결되지 않는 저항으로 구성된 네트워크이다. RC-네트워크로 구성된 연결선의 해석은 모멘트 매칭 기법의 AWE[4] 방법으로 해석되며, 또한 이 방법을 통하여 게이트의 해석을 위해 사용되는 유효 커패시턴스를 구할 수 있다.

Slope	Cap	C1	C2	C3	C4
S1		...	...	...	...
S2		X1	X2	X3	X4
S3		...	...	...	...
S4		...	...	...	...

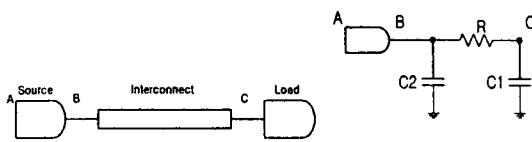
<표 1>  $t_f/t_f$  table에서 각 지연

$$t_d = (k_1 + k_2 C_L) t_i + k_3 C_L^3 + k_4 C_L + k_5 \\ t_f = (k'_1 + k'_2 C_L) t_i + k'_3 C_L^2 + k'_4 C_L + k'_5$$

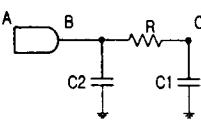
<식 1> 게이트의 지연과 출력 지연을 위한 수식

##### 2.2 게이트의 지연 시간을 위한 유효 커패시턴스

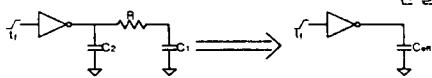
연결선에서의 정확한 지연 시간을 얻기 위해서는 게이트의 출력 지연을 구하는 것은 필수적이다. 하나의 부하 커패시턴스를 얻기 위해 구동 점에서의 커패시턴스를 하나로 모형화해야 한다. 그러나 연결선의 저항 특히, 클락이나 버스 선과 같이 긴 연결선의 경우, 구동자로부터의 부하 커패시턴스를



<그림 1> 간략화한 회로의 모형



<그림 2>  $\Pi$ -모형의 연결선



<그림 3>  $\Pi$ -Model Interconnect

<그림 4> Effective Capacitance

차폐하는 경향이 있다. 단순히 하나의 커패시터로 모형화하는 것은 저항의 차폐 효과를 지나치게 과소 평가하는 결과를 얻게 된다[7]. 따라서 이 저항에 의한 차폐 효과를 고려하기 위해  $\Pi$ -모형과 같은 고차의 구동 지점의 어드미턴스 형태[6]로 구현할 필요가 있다. 결과적으로, 연결선의 모형을  $\Pi$ -모형으로 차수 축소하는 과정[4]이 필요하게 된다.

### 2.2.1 유효 커패시턴스를 위한 $\Pi$ -모형 구현

연결선의 지연 시간 계산은 "Elmore delay"[5]를 q차로 확대한 연결선의 근사화된 모형을 통해 계산된다. <그림 3>은 <그림 2>와 같은 게이트와 연결선과의 관계에서 연결선을  $\Pi$ -모형으로 근사화한 결과이다. <그림 3>과 같이 모형화된 회로는 B 지점에 대한 구동 지점의 어드미턴스를 구한 결과와 q차 근사화된 전달 함수의 결과를 일치시킴으로써  $R$ ,  $C_2$ ,  $C_1$ 의 값을 얻을 수 있다.

연결선을 위한 전달 함수,  $H(s)$ 는 <식 2>와 같이 정의되어진다[4]. 전달 함수를 고려 할 때는 단위 스텝 입력을 고려하여 최대의 부하 커패시턴스를 기반으로 하여 계산되어진다.

$$H(s) = m_0 + m_1 s + m_2 s^2 + \dots \quad <\text{식 } 2>$$

구동점에서의 어드미턴스를  $s=0$ 에 테일러 방정식을 전개하면, 구동점에서의 어드미턴스는 <식 3>과 같다[4.8].

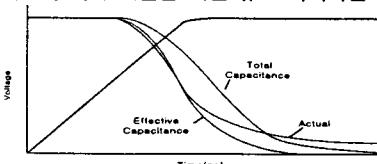
$$Y(s) = \sum_{n=1}^{\infty} m_n s^n \quad <\text{식 } 3>$$

AWE 알고리즘을 통해 얻은 전달 함수로서 구동점에서의 어드미턴스로 근사화한다면 2차로 근사화된  $\Pi$ -모형을 쉽게 얻을 수 있다. <그림 3>에 대한 어드미턴스를 구하면 <식 4>와 같다. <식 4> 와 <식 2>를 일치시킨다면 효과적으로 2차 모형으로 근사화된 결과를 구할 수 있다[6].

$$Y(s) = sC_2 + \frac{sC_1}{1+sRC_1} \quad <\text{식 } 4>$$

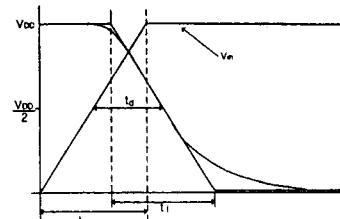
$$= (C_1 + C_2)s + \sum_{n=2}^{\infty} (-1)^{n-1} R^{n-1} C_1^n s^n$$

### 2.2.2 게이트의 지연 계산을 위한 유효 커패시턴스 계산



<그림 5> 전체, 유효 커패시턴스와 실제 응답 파형의 비교

하나의 커패시턴스로 모형화된 결과가 <그림 5>과 같은 모형이 된다. <그림 6>에서 보듯이 단순히 게이트의 지연 시간을 알고자 한다면, 하나의 커패시턴스로 모형화하는 것으로서 충분히 타당한 결과를 얻을 수 있음을 볼 수 있다. 유효 커패시턴스는 출력 지점에서 보이는 커패시턴스를 말하는 것으로 단순히 전체 커패시턴스의 합을 의미하는 것은 아니다[8]. 그림을 통해서  $t_s$ ,  $t_d$ 를 정의하고 있다.  $t_s$  와  $t_d$ 는 입력이 발생하는 시점에서부터 출력 파형이 20%와 50%의 시간에 도달하는 시점을 나타낸다.  $\Pi$ -모형을 유효 커패시턴스의 모형으로 변환하였다면, <그림 5>의 지연은



<그림 6> 유효 커패시턴스의 파형과 실제 파형의 일치

$\Pi$ -모형으로된 회로에서의 전달 지연 시간과 같다고 볼 수 있다[1]. 이와 같은 사실을 통해 <식 5>과 같이 전개할 수가 있다. 즉, 50% 지연 시간까지의 평균 전류는 같다고 볼 수 있다.

$$\frac{1}{t_D} \int_0^{t_D} I_x(t) dt = \frac{1}{t_D} \int_0^{t_D} I_C(t) dt \quad <\text{식 } 5>$$

파형에 대한 식은 <그림 7>에서 볼 수 있듯이 출력의 20% 지점까지는 직선을 이루지만 20%에서 50%까지는 직선으로 이루어진다. 따라서 이를 만족할 수 있도록 구간으로 나누어 게이트의 출력 파형에 대한 식을 <식 6>과 같이 가정 할 수 있으며, 20%지점에 파형이 연속임을 이용하여 <식 6>에서 미지수를 구할 수 있다.

$$V_{out}(t) = \begin{cases} V_i - ct^2 & 0 \leq t \leq t_x \\ a + b(t-t_x) & t_x \leq t \leq t_D \end{cases} \quad <\text{식 } 6>$$

지금까지 언급한 파형에 대한 가정을 이용하여,  $C_{eff}$ 에서 평균 전류를 <식 7>과 같이 구할 수 있다.

$$\bar{I}_C(t) = \frac{1}{t_D} \left[ \int_0^{t_x} C_{eff} \cdot (-2ct) dt + \int_{t_x}^{t_D} C_{eff} \cdot (-2ct_x) dt \right] \\ = \frac{-2C_{eff} \cdot c \cdot t_x}{t_D} \left[ t_D - \frac{t_x}{2} \right] \quad <\text{식 } 7>$$

또한, 비슷한 방법으로  $\Pi$ -모형에서도 평균 전류를 구할 수 있다. 하지만 커패시턴스 하나만 있을 때와는 달리 양 커패시턴스에서의 전압을 고려해야 하며, 초기 전압도 고려해야 하므로 쉽지만은 않다.

먼저,  $C_2$ 에서 전류는 <식 8>과 같이 쉽게 구할 수 있다.

$$\bar{I}_{C_2}(t) = \frac{-2C_2 \cdot c \cdot t_x}{t_D} \left[ t_D - \frac{t_x}{2} \right] \quad <\text{식 } 8>$$

$C_1$ 에서 평균 전류를 예측하기 위해서는  $C_2$ 에서 전해지는 전압 파형 또한 알아야만 하며, 전압은 구간을 고려하여 계산하여야만 한다. 시간  $0 \sim t_D$  사이의  $C_1$ 에서 평균 전류를 구할 수 있다.

$$\bar{I}_{C_1}(t) = \frac{-2C_1c}{t_D} \left[ \frac{t_x^2}{2} + t_x(t_D - t_x - RC_1) \right. \\ \left. + (RC_1)^2 \left( e^{-\frac{(t_D-t_x)}{RC_1}} - e^{-\frac{t_x}{RC_1}} \right) \right] \quad <\text{식 } 9>$$

최종적으로 지금까지 구한  $C_1$ 과  $C_2$ 에서의 평균 전류와 <식 5>을 이용해서 <식 10>과 같은 유효 커패시턴스를 구할 수 있다. 유효 커패시턴스는  $C_1 + C_2$  와  $C_2$  사이에 존재하게 된다[1]. <식 10>에서의 결과와 같이 유효 커패시턴스는 출력단에서 전압 파형의 지연 시간과 게이트의 지연 시간의 합으로 나타내어진다. 미지수로 남은 게이트의 20%와 50%의 시간의 정의는 <그림 6>을 이용하여 <식 11, 12>와 같다.

$$C_{eff} = C_2 + C_1 \left[ 1 - \frac{RC_1}{t_D - \frac{t_x}{2}} + \frac{(RC_1)^2}{t_x(t_D - \frac{t_x}{2})} e^{-\frac{(t_D-t_x)}{RC_1}} \left( 1 - e^{-\frac{t_x}{RC_1}} \right) \right] \quad <\text{식 } 10>$$

$$t_D = t_d + \frac{t_f}{2} \quad <\text{식 } 11>$$

$$t_x = t_d + \frac{t_f}{2} - 0.3 \cdot t_f \quad <\text{식 } 12>$$

미지수로 구성된 유효 커패시턴스에 대한 식은 게이트의 지연과 출력 파형의 지연 시간에 대한 <표 1>과 같은 표와 유효 커패시턴스를 위한 <식 10>을 반복적으로 수행함으로써 정확

한 값에 접근 할 수 있다.

유효 커페시턴스를 구하기 위한 수행 절차:

- ① 부하 커페시턴스를 전체 커페시턴스로 놓는다.  
( $C_{eff} = C_2 + C_1$ )
- ②  $C_{eff}$ 를 이용하여 표나식을 통해  $t_d$ ,  $t_f$ 를 구한다.
- ③ 구한  $t_d$ ,  $t_f$ 를 이용하여 <식 10>에서  $C_{eff}$ 를 구한다.
- ④ 사용된  $C_{eff}$ 가 ③에서 구한  $C_{eff}$ 와 다르다면, 새로 구한  $C_{eff}$ 을 이용하여 ②에서 다시 수행한다.

위와 같은 절차를 통해서 정확한 유효 커페시턴스를 구할 수 있다. 또한 이 과정을 통해 연결선을 고려하지 않고 단지 게이트만 고려하여 얻어진 게이트의 지연이 아닌 실질적인 게이트의 지연 시간을 알 수 있다.

### 2.3 게이트에서의 지연과 출력 지연 시간 계산

유효 커페시턴스를 구하기 위해서는 파형의 후반부를 정확히 근사화할 필요성이 없었다. 그러나 <그림 2>에서 <그림 3>으로 근사화된 상태에서 구해진 출력 파형은 문제점을 가지고 있다. 이 절에서는 저항 효과를 고려한 출력 파형의 천이 시간을 구하고자 한다.

이 후의 과정을 전개하기 위해 <그림 8>에서 실제 파형의 정확한 지연을 얻기 위해 실제 파형과 20%, 50%, 90%지점이 일치되는 선형화된 출력 파형(Lineared Voltage Waveform)을 가정한다. 출력 파형의 지연 시간인 <그림 8>에서의  $t_0$ 와  $\Delta t$ 를 얻기 위해 이 값들을 매개 변수로 갖는 <식 14>의 해석적인 함수를 전개하고,  $t_{20}'$ ,  $t_{50}'$ ,  $t_{90}'$ 은 입력 값이  $\frac{V_{DD}}{2}$ 인 지점에서부터 출력 파형의 20%, 50%, 90% 지점까지의 시간으로 정의하며, 시간별 출력 파형에 대한 식은 구간에 따라 다르게 정의하도록 하겠다. 출력 파형  $y_0(t, t_0, \Delta t)$ 는 <식 13>와 같이 정의하도록 한다.

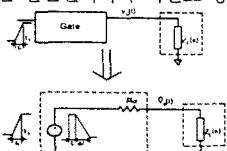
$$y_0(t, t_0, \Delta t) = V_{DD} \left[ \frac{t - t_0}{\Delta t} - \frac{R_e C_{eff}}{\Delta t} \left( 1 - e^{-\frac{t-t_0}{R_e C_{eff}}} \right) \right] \quad <\text{식 } 13>$$

4.  $\Delta t$ 를 풀기 위해 실제 응답의 20%와 50%의 지점을 일치 시켜 <식 14>와 같이 놓도록 한다. <식 14>를 풀기 위해 사용되는 미지수는 <식 15>와 같다. 또한 저항의 값은 <식 16>으로 정의한다[2]. 후반부가 늘어지는 파형을 효과적으로 검출하기 위해 파형의 후반부인 50%지점과 90%지점을 이용함으로써 근사화할 수 있다.

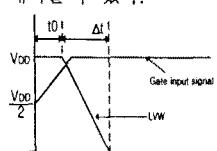
$$\begin{aligned} y(t_{20}'(C_{eff}, t_0, \Delta t)) &= 0.5 \cdot V_{DD} \\ y(t_{50}'(C_{eff}, t_0, \Delta t)) &= 0.2 \cdot V_{DD} \end{aligned} \quad <\text{식 } 14>$$

$$t_{20}' = t_{20} - \frac{t_f}{2} \quad t_{50}' = t_{50} - \frac{t_f}{2} \quad <\text{식 } 15>$$

새롭게 정의한 값들을 이용하여 <식 14>를 연립하여 푸다면, 파형의 후반부까지 고려한 게이트의 출력 지연 시간을 충분히 근사화한 값을 구할 수 있다. 지금까지의 과정을 통해 얻은 게이트에서의 지연 시간을 연결선의 지연 시간 계산을 위한 초기 지연 시간으로 사용하여, 다시 AWE 알고리즘을 적용한다면 연결선에서의 지연도 정확히 해석할 수 있다.



<그림 7> 게이트의 선형화된 모델



<그림 8> 선형화된 전압 파형

$$R_d = \frac{t_{90}'(C_{eff}, t_{in}) - t_{50}'(C_{eff}, t_{in})}{C_{eff} \cdot \ln 5 \cdot \alpha} \quad <\text{식 } 16>$$

### 3. 결 론

본 논문에서는 빠르게 설계된 회로의 지연 시간을 얻기 위한 방법을 게이트에서의 지연과 연결선에서의 지연을 동시에 고려 할 수 있는 방법을 제시하였다. 게이트와 연결선에서의 지연을 얻기 위해서는  $t_0$ ,  $t_d$ ,  $t_f$ ,  $t_r$ 과 입력 파형의 중간 부분이 되는 지점에서부터 측정된 출력 파형의 20%, 50%, 90% 지점의 값이 요구된다.

본 논문에서는 기존의 방법[2]과는 달리 외부에서 별도의 추가 데이터를 요구하는 대신 기존의 주어진 특성 데이터를 이용하여 출력 천이 시간까지 계산할 수 있는 방법을 제시하였다. 실제 시뮬레이션의 결과를 통해 알 수 있듯이 5%내의 정확도를 유지하며, 평균 15배의 속도 향상을 이루었다.

TI의  $0.8\mu m$  공정의 4배의 pMOS와 2배의 nMOS로 된 인버터를 사용하였으며,  $11.7792\Omega$ 의 전체 저항과  $2.625e-15 F$ 의 전체 커페시턴스로 구성된 연결선 회로를 이용하여 시뮬레이션을 수행하였다. 각 표는 HSPICE를 기준으로 구현된 결과와 비교한 수치이다.

	출력 상승 천이	출력 하강 천이
5e-10	+ 1.57%	+ 1.5%
1e-9	+ 1.5%	+ 1.1%
5e-9	+ 0.34%	+ 0.33%

<표 2> 출력 천이 시간의 오차 비교

	Gate	Interconnect
5e-10	+ 2.48%	- 0.34%
1e-9	+ 2.36%	- 2.17%
5e-9	+ 1.56%	- 1.53%

<표 3> Gate 지연과 Interconnect 지연 상태 오차

	출력 상승 천이	출력 하강 천이
5e-10	6.34배	3.68배
1e-9	14.26배	24.44배
5e-9	21.03배	20배

<표 4> 수행 시간 비교(HSPICE 기준)

### (참 고 문 헌)

- [1] Jessica Quian, Satyamurthy Pullam and Lawrence Pillage, "Modeling the "Effective Capacitance" for the RC Interconnect of CMOS Gates", IEEE Trans. Computer-Aided Design, vol.13, pp.1526-1535, Dec. 1994.
- [2] Florentin Dartu, Noel Menezes and Lawrence T. Pileggi, "Performance Computation for Precharacterized CMOS Gates with RC Loads", IEEE. Computer-Aided Design, vol.15, pp.544-553, May, 1996
- [3] 조경순, 변영기, 배선 회로 해석을 위한 CMOS 게이트의 구동 특성 모델, 대한전자공학회논문지, 998-1001, 11, 97.
- [4] L. T. Pillage and R. A. Rohrer, "Asymptotic waveform evaluation for timing analysis", IEEE. Trans. Computer-Aided Design, vol.9,no.4, pp.352-366,April.1990
- [5] W. C. Elmore, "The transient response of damped linear networks with particular regard to wide-band amplifiers", J. Applied Physics, vol.19, no.1, pp 55-63, Jan. 1948.
- [6] Peter R. O'Brien and Thomas L. Savarino, "Modeling the Driving Point Characteristic of Resistive Interconnect for Accurate Delay Estimation," Proc. IEEE Int. Conf. on Computer-Aided Design, 1989,pp.512-515.
- [7] Curtis L. Ratzlaff, Satyamurthy Pullela, and Lawrence T. Pillage, "Modeling The RC-Interconnect Effects in A Hierarchical Timing Analyzer", Proc. IEEE Custom Integrated Circuits Conf., 1992, pp.15.6.1-15.6.4.