

## 경계 주사 환경에서의 상호연결 테스트 방법론에 대한 연구

김현진\*, 신종철, 강성호  
연세대학교 전기공과대학

### A New Method for the Test Scheduling in the Boundary Scan Environment

HyunJin Kim\*, Jongchul Shin, Sungho Kang  
Dept. of Electrical Engineering, Yonsei University

**Abstract** - Due to the serial nature of scan chains, the use of the boundary scan chain leads the high application costs. And with 3-state net, it is important to avoid enabling the two drivers in a net.

In this paper, the new test method for 3-state nets in the multiple boundary scan chains is presented. This method configures the boundary scan cells as multiple scan chains and the test application time can be reduced. Also three efficient algorithms are proposed for testing the interconnects in a board without the collision of the test data in 3-state nets.

### 1. 서 론

VLSI의 집적도가 급격히 증가하고 회로 기판의 실장기술이 발달함에 따라서 인쇄 회로 기판의 복잡도는 크게 증가하고 이에 대한 테스트는 더욱 어려워지고 있다. 인쇄 회로 기판의 테스트 문제를 해결하기 위해서 제안된 IEEE 경계 주사 표준(IEEE standard 1149.1)은 기판의 상호연결에 접근하기 위해 주사 셀을 이용한 가상의 탐침을 제공함으로써 인쇄 회로 기판의 테스트 문제에 대한 해결책을 제시하고 있으며 실제로 많은 기판의 테스트에 적용하여 큰 효과를 보고 있다[1,2]. 하지만 경계 주사 환경에서는 테스트를 위한 입력 데이터를 직렬로 이동하기 때문에 데이터의 이동을 위해 많은 시간을 필요로 한다[3]. 또한 인쇄 회로 기판상의 칩들은 버스와 같은 삼상 네트를 통해 데이터를 주고받기 때문에 인쇄 회로 기판을 테스트 할 경우 이에 대한 확실한 해결법을 제공해야만 테스트 데이터의 충돌을 방지할 수 있고 테스트 결과를 보장할 수 있다[4,5]. 이러한 문제를 해결하기 위해 경계 주사 셀들을 제어하고 경계 주사 사슬을 구성하는 새로운 접근 방법을 찾기 위해 많은 연구가 국내외에서 행해지고 있으나 아직까지 개선되어야 할 여지가 많다.

본 논문에서는 삼상 네트 환경에서 기판상의 상호연결을 테스트하는 방법론을 제시하도록 한다. 제안된 테스트 방법은 인쇄 회로 기판의 상호연결을 다중의 사슬로 분리함으로써 테스트 시간을 줄일 수 있다. 또한 단순 네트와 삼상 네트에 가하는 테스트 시퀀스를 분리함으로써 삼상 네트 환경에서의 테스트에 대한 해결책을 제시한다. 이를 위해서 세 종류의 효율적인 테스트 알고리듬이 제시될 것이다. 이러한 방법론을 설명하기에 앞서서 독자들은 경계 주사 표준의 기본 구조와 기판상의 상호연결 테스트를 위한 기본적인 테스트 알고리듬에 대해서 숙지하고 있다고 간주하도록 한다.

본 논문은 다음과 같이 전개된다. 다음 장에서는 고장 모델 및 삼상 네트에 대한 모델링 및 이전의 알고리듬에 대해서 설명된다. 3장에서는 삼상 네트 환경에서의 테스트 알고리듬을 제시하고 그에 대한 예를 들도록 한다. 4장에서는 새로이 제시된 알고리듬의 테스트 적용 범위와

그에 따른 테스트 시간을 이전에 제시된 알고리듬과 비교하여 그에 따른 효율성을 보이고 다음으로 결론을 내리도록 한다.

### 2. 고장 모델 및 이전의 알고리듬

#### 2.1 고장 모델

실제적으로 기판상에는 고착 고장(stuck-at fault), 개방 고장(open fault)과 단락 고장(bridging fault)이 있다고 생각되어 진다. 이러한 고장들은 그 동작적인 특성에 따라서 분류되어 진다.

고착 고장은 고장이 있는 네트가 논리 '1'에 고착(고착-1 고장)되거나 또는 논리 '0'에 고착(고착-0 고장)되는 것을 말한다. 개방 고장은 한 네트의 입력에서 부동(floating)의 값을 보이는 경우인데 이는 침이나 기판에 적용된 기술에 따른 값에 의존해서 논리 '0'이나 논리 '1'의 값을 나타내게 되는데 한 네트에 개방 고장만이 존재한다고 한다면 이는 고착 고장의 일종으로 모델링된다. 단락 고장은 두 개 혹은 더 이상의 네트사이의 고장인데 이는 그 동작에 따라서 wired-AND 혹은 wired-OR의 동작을 가진다고 모델링 한다.

또한 한 네트에 두 종류 이상의 고장이 관계된 경우 분석이 불가능한 고장이 생길 수 있는데 이에 대한 고려는 하지 않도록 한다. 즉 한 종류의 고장이 한 네트에 관계되었다고 가정하도록 한다.

#### 2.2 삼상 네트의 테스트

회로 기판에는 여러 네트가 존재할 수 있는데 이는 그림 1과 같이 크게 단순 네트와 삼상 네트로 분류된다.

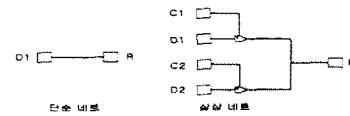


그림 1 단순 네트와 삼상 네트

Fig. 1 Simple net and 3-state net

항상 하나의 값이 리시버(receiver)에 입력되기 때문에 단순 네트의 경우에는 테스트 패턴이 그대로 입력될 수 있다. 그러나 삼상 네트의 경우에는 한번에 하나의 논리값이 구동(driving)되어야 한다. 그림 1에서 삼상 네트 D1에 논리 '1'이 입력되고 D2에 논리 '0'이 입력되어 네트에 가해진다면 네트에서 값이 서로 충돌하여 어떠한 값이 리시버에 입력될 지 모른다. 그러므로 이를 제어하기 위한 테스트 시퀀스가 필요하다.

네트에 아무런 값이 가해지지 않을 경우에 이를 부동 네트(floating net)라 한다. 부동 네트는 pull-up이나 pull-down 저항이 네트에 연결되지 않은 경우에도 '0'이나 '1'의 결정된 값을 가진다고 생각될 수 있다[4,5]. 그러므로 부동의 네트와 논리 '1' 또는 논리 '0'의 논리값을 가지는 네트와의 단락으로 인해 부동의 네트의 출

력값의 변화가 있다면 고장이 검출될 수 있다. 이 경우 부동의 네트가 변화가 없다면 아무런 고장이 네트에 존재하지 않다는 것을 알 수 있다.

### 2.3 기준의 삼상 네트 테스트 방법

삼상 네트를 간단히 테스트하기 위해서는 모든 네트를 불능 상태로 만드는 불능 시퀀스를 네트에 가한 후에 한 PTV(parallel test vector)당 하나의 삼상 버퍼만을 활성화하는 워킹 활성 시퀀스가 있다[5]. 이는 시스템의 구성에 최소한으로 의존하고 셀의 정보를 최소한 저장할 수 있는 장점이 있는 반면에 테스트 시간이 매우 길어지는 단점이 있다.

테스트 시간의 문제를 해결하기 위해 다중의 경계 주사 체인으로 구성하여 네트상의 셀의 정보에 따라 계수 시퀀스를 가하고 삼상 네트에는 워킹 활성 시퀀스를 가하는 인터리빙 방법이 제안되었다[4]. 그러나 계수 시퀀스의 PTV 수보다 삼상 네트가 많아지는 경우에는 인터리빙의 방법은 쓰일 수 없다는 단점이 있다.

그러므로 이러한 방법의 단점을 보완하기 위해 본 논문에서는 삼상 네트와 일반 네트의 테스트를 분리하여 테스트를 가하는 방법을 통해 워킹 활성 벡터와 인터리빙 방법의 두 장점을 모두 포함할 수 있도록 한다.

## 3. 새로운 다중 주사 사슬 테스트 방법론

### 3.1 단일 사슬에 대한 테스트 생성

기판상의 네트에 대한 테스트를 위해서는 네트에 대한 삼상 버퍼에 대해 각각의 제어를 위한 시퀀스를 입력해야 한다. 어떠한 네트에 어떠한 삼상 버퍼가 연결되었는지는 저장되지 않으면 어떠한 셀이 삼상 버퍼 제어 셀인지는 매우 간단하게 메모리를 저장될 수 있다. 이 정보를 이용하여 삼상 버퍼를 제어하기 위한 테스트를 TDI 버스를 통해서 입력하도록 한다.

삼상 네트상의 테스트 입력의 충돌을 피하기 위해 삼상 네트와 일반 네트를 활성화하는 과정을 분리하도록 한다. 이를 위해 삼상 네트 워킹 활성 시퀀스(3-state net walking enable sequence)와 삼상 네트 불능 시퀀스(3-state net disable sequence)의 개념이 도입된다.

삼상 네트 워킹 활성 시퀀스는 삼상 네트에 워킹 활성 시퀀스를 가하고 모든 데이터 입력을 셀에 '0'을 입력하도록 한다. 이 경우 주사 사슬에 연결된 네트중 삼상 네트는 워킹 활성 시퀀스에 의해서 한 PTV당 하나의 네트만이 활성화된다. 단순 네트는 모두 '0'의 논리값이 입력된다. 워킹 활성 시퀀스로 인해서 삼상 네트가 최소한 한번은 활성화된 상태에 놓이게 되고 이 경우 삼상 네트의 논리값은 '0'을 나타낸다. 또한 최소한 한번은 불능 시퀀스가 삼상 버퍼 제어 셀에 가해지기 때문에 논리값 'Z'를 띠게 된다. 이와 대칭되도록 데이터 입력 셀에 '1'을 가하고 워킹 활성 시퀀스를 삼상 네트에 가하게 되면 삼상 네트는 최소한 한번은 '1'과 'Z'의 값을 가지게 된다.

이는 삼상 네트와 단순 네트사이의 단락과 삼상 네트의 고장 고장을 탐지할 수 있도록 한다. 또한 삼상 네트끼리의 단락도 검출할 수 있다.

삼상 네트 불능 시퀀스는 모든 삼상 버퍼 제어 셀에 '0' 논리값의 불능 시퀀스를 가하여 삼상 네트를 모두 'Z' 상태로 만든다. 단순 네트에는 계수 시퀀스가 가해진다. 이로 인해 단순 네트사이의 단락과 고장 고장이 검출되며 또한 삼상 네트와의 단락 또한 검출한다.

삼상 네트 워킹 활성 시퀀스와 삼상 네트 불능 시퀀스의 과정을 이해하기 위해 그림 2와 같은 경계 주사 사슬 12개로 이루어진 단일 주사 사슬을 고려하자. 그림 3의 단일 주사 사슬에 연결된 셀은 삼상 버퍼 제어 셀(S1, S3, S5, S6), 데이터 출력 셀(S0, S2, S4, S7, S9)과 입력 셀(S8, S10, S11)로 구분된다. 그림 2의 경계 주사 사슬에 대한 테스트 시퀀스가 표 1에 나타나있다.

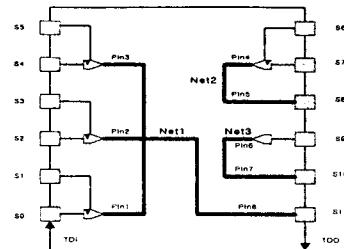


그림 2 단일 주사 사슬

Fig. 2 Single scan chain

표 1 단일 주사 사슬에 대한 테스트 시퀀스

Table 1 Test sequence for a single scan chain

	3-state net walking enable '0' 비트 입력	3-state net disable '1' 비트 입력	계수 시퀀스
S0	0 0 0 0 0	1 1 1 1 1	0 0 0 0 0
S1	1 0 0 0 0	1 0 0 0 0	0 0 0 0 0
S2	0 0 0 0 0	1 1 1 1 0	0 0 0 1 1
S3	0 1 0 0 0	0 1 0 0 0	0 0 0 0 0
S4	0 0 0 0 0	1 1 1 1 0	0 0 0 1 0
S5	0 0 1 0 0	0 0 1 0 0	0 0 0 0 0
S6	0 0 0 1 0	0 0 0 0 1	0 0 0 0 0
S7	0 0 0 0 0	1 1 1 1 0	1 1 0 1 1
S8	z z z 0 0	z z z 1 z	z z z z z
S9	0 0 0 0 0	1 1 1 1 1	0 0 0 0 0
S10	0 0 0 0 0	1 1 1 1 1	0 0 0 0 0
S11	0 0 0 z 1	1 1 z z z	z z z z z

우선 삼상 네트 워킹 활성 시퀀스가 가해지는 경우 S1, S3, S5, S6에 워킹 시퀀스가 가해지면서 모든 입력 셀에는 '0'이 입력된다. 그러면 모든 삼상 버퍼 제어 셀에서 한번씩 '1'이 입력되므로 입력 셀 S8, S10, S11에는 최소한 한번씩의 '0'과 'Z'가 입력된다. 모든 입력 셀에 '1'이 입력된 후에 삼상 네트 워킹 활성 시퀀스가 다시 가해지면 입력 셀에는 최소한 한번씩의 '1'과 'Z'가 가해진다. 이 경우에 삼상 네트와 단순 네트간의 단락과 삼상 네트사이에서의 단락도 테스트됨을 알 수 있다. 또한 각각의 네트에는 '1'과 '0'이 한번씩은 가해지므로 네트의 고착 고장 또한 검출할 수 있다.

삼상 네트 불능 시퀀스가 가해지면 모든 삼상 네트인 S8과 S11은 모두 'Z' 값이 가해지게 된다. 그리고 단순 네트에는 계수 시퀀스가 가해지므로 단순 네트와 삼상 네트간의 단락과 단순 네트 사이의 단락도 테스트된다.

삼상 네트 워킹 활성 시퀀스와 삼상 네트 불능 시퀀스는 사슬내에 삼상 버퍼 제어 셀의 개수에 상관없이 가해질 수 있고 단순 네트에 대해서는 계수 시퀀스를 가하기 때문에 일반적이면서 빠른 테스트를 할 수 있다.

### 3.2 다중 주사 사슬에 대한 테스트 생성

회로 기판내의 네트로 테스트하기 위해서 각각의 자체 테스트 모듈에 연결된 삼상 네트가 한 PTV당 하나씩 활성화하도록 하면 이는 삼상 네트에 대한 메모리를 최소한으로 줄일 수 있다[5]. 그러므로 다중 사슬을 위한 테스트를 위해서 사슬 불능 시퀀스(chain disable sequence)를 정의하도록 하자. 기판내의 네트에서 wired-OR 단락을 가정한다면 사슬 불능 시퀀스는 단일 사슬의 모든 삼상 버퍼를 불능 상태로 만들고 단순 네트에는 '0'의 값이 동시에 가해지도록 한다. wired-AND를 가정한다면 단순 네트에는 '1'이 가해진다.

다중 주사 사슬 환경에서의 기판내의 테스트 과정은 그림 3의 테스트 과정으로 나타낼 수 있다.

```

1. let C be a chain in a board;
2. let chain_i be ith chain in a board;
3. let K be the number of chains in a board;
4. for all scan chains in a board
5.   for (i=0; i < K; i++)
6.     { if (C == chain_i)
7.       Run 3-state net walking enable sequence;
8.       Run 3-state net disable sequence;
9.     else
10.      Run chain disable sequence;
11.    shift the test response;
12.  }

```

그림 3 다중 사슬 기판 내의 네트에 대한 테스트 과정

Fig. 3 Test scheduling for multiple scan chains

그림 3의 테스트 과정을 통해서 한 PTV당 하나의 삼상 네트만이 활성화된다. 이는 라인 5에서 라인 10까지의 과정을 보면 쉽게 이해할 수 있다. 즉 한 사슬에 삼상 네트 워킹 활성 시퀀스와 삼상 네트 불능 시퀀스가 가해진다면 기판내의 다른 사슬에는 사슬 불능 시퀀스가 가해지므로 한번에 하나의 삼상 네트만이 활성화된다. 이에 대한 과정은 그림 4를 통해 잘 나타나 있다.

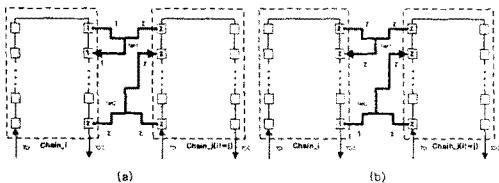


그림 4 삼상 네트 워킹 활성 시퀀스와 사슬 불능 시퀀스

Fig. 4 3-state net walking enable and Chain disable sequence

그림 4의 (a)에서는 Net1과 같이 사슬 불능 시퀀스에 의해 삼상 버퍼 셀이 '0'이 가해지면 그 사슬에 삼상 버퍼는 모두 'Z' 상태를 가리킨다. 그리고 삼상 네트 워킹 활성 시퀀스에 의해 Net1의 삼상 버퍼에 '1'이 가해지면 Net1은 '1'을 나타내기 때문에 서로 충돌을 발생하지 않는다. 사슬 불능 시퀀스는 사슬 j의 모든 단순 네트에 '0' 논리값을 가하므로 '1'의 논리값을 가지는 네트와의 단락 고장을 검출할 수 있다.

그림 4의 (b)에서 삼상 네트 워킹 활성 시퀀스는 Net1의 삼상 버퍼 출력을 'Z'로 만들고 Net2의 삼상 버퍼 출력을 '1'로 활성화한다. 이러한 식으로 사슬 i의 삼상 버퍼 중 하나만이 활성화되어 테스트가 네트에 가해진다. 삼상 네트 워킹 활성 시퀀스가 가해지는 동안 다른 사슬의 모든 삼상 버퍼는 'Z' 상태에 놓이게 된다.

#### 4. 테스트 방법 비교

##### 4.1 하드웨어의 비교

제안된 방법에 의한 테스트는 기존의 [4,5]와 같이 경계 주사 셀을 삼상 버퍼 셀, 입력 셀, 그리고 테이터 출력 셀의 세 종류로 구분하므로 이에 따른 최소한의 메모리를 사용하게 된다. 기존에 제시된 삼상 네트 환경에서의 테스트 방법으로 [4]에서는 각각의 사슬을 동기화하도록 하는 테스트 벡터가 필요하나 [5]와 제안된 방법은 이러한 과정은 필요 없기 때문에 이에 필요한 메모리를 줄일 수 있다. 또한 제안된 방법은 계수 시퀀스를 가하기 때문에 적은 하드웨어를 이용한 테스트 성기의 구현이 가능하게 된다.

##### 4.2 테스트 범위 및 테스트 시간의 오버헤드

[5]와 제안된 테스트 생성기는 삼상 버퍼 셀과 단순 네트의 수에 상관없이 일반적으로 적용될 수 있다.

그러나 [4]는 LFSR에서 생성되는 PTV의 수보다 삼상 버퍼 셀이 적은 경우에만 적용된다. [4]에서는 테스트 동기화를 위한 벡터에 의해 모든 사슬의 길이가 결정되어 한 사슬에 이동되는 STV의 갯수가 가장 긴 사슬의 길이와 같아지게 되므로 테스트 시간이 더 걸어지게 된다.

제안된 방법에 의한 테스트는 [5]와 같이 고장 모델과 삼상 버퍼 셀의 개수에 상관없이 적용될 수 있는 장점이 있다. 시스템에 S개의 사슬이 존재하고 각각의 사슬의 길이를  $C_1, C_2, C_3, \dots, C_{S-2}, C_{S-1}, C_S$ 로 각각 정의하고 각각 사슬의 삼상 버퍼 셀의 개수를  $W_{C_1}, W_{C_2}, W_{C_3}, \dots, W_{C_{S-2}}, W_{C_{S-1}}, W_{C_S}$ 라 하면 테스트 시간은 다음과 같이 나타낼 수 있다.

$$\text{전체 테스트 시간} = \sum_{i=1}^S 2C_{\max}(W_{C_i} + \lceil \log_2(C_i - W_{C_i}) \rceil)$$

그러므로 이는 [4]와 [5]의 전체 테스트 시간보다 훨씬 효율적임을 알 수 있다. 또한 [5]와 같이 일반적으로 쓰일 수 있기 때문에 테스트 시간을 크게 줄일 수 있다.

#### 5. 결 론

경계 주사 환경에서는 테스트를 위한 데이터를 경계 주사 셀을 통해 직렬로 이동하기 때문에 데이터의 이동을 위해 많은 시간을 필요로 하게 된다. 또한 기판상의 대부분의 칩들은 버스를 통해 데이터를 주고받기 때문에 삼상 네트에 대한 테스트 방법론은 중요한 문제이다. 본 논문에서는 경계 주사 셀을 다중의 사슬로 연결하여 삼상 네트에서 테스트 데이터의 충돌이 일어나지 않도록 테스트 데이터를 가하는 테스트 방법을 제시하였다.

제안된 방법은 삼상 네트 워킹 활성 시퀀스와 삼상 네트 불능 시퀀스를 순서대로 사슬에 이동함으로써 삼상 네트에는 워킹 시퀀스를 가하고 단순 네트에는 계수 시퀀스를 가하게 된다. 이 과정을 통해서 삼상 네트의 개수와 상관없이 독립적인 테스트 시퀀스가 네트에 가해질 수 있다. 또한 사슬 불능 시퀀스는 시스템에서 하나의 삼상 버퍼만을 활성화하게 되고 다른 삼상 버퍼는 불능 상태로 만들어서 데이터 충돌을 일으키지 않는다.

이는  $\sum_{i=1}^S 2C_{\max}(W_{C_i} + \lceil \log_2(C_i - W_{C_i}) \rceil)$ 의 테스트 시간만을 삼상 네트의 수와 상관없이 요구하기 때문에 기존에 제안된 삼상 네트 환경에서의 테스트보다 훨씬 효율적이다. 그러므로 제안된 테스트 방법론은 회로 기판의 네트와 버스의 테스트에 대한 가장 최상의 해결 방법이라고 할 수 있다.

#### 참 고 문 현

- [1] IEEE Computer Society, IEEE Standard 1149.1 Test Access Port and Boundary-Scan Architecture, IEEE std. 1149.1-1990, IEEE Computer Society, New York, NY, May 21, 1990.
- [2] H. Bleeker, P. Eijnden and F. Jong, Boundary-Scan Test: A Practical Approach, Kluwer Academic Publishers, Netherlands, 1993.
- [3] N. Jarwala and C. W. Yau, "A New Framework for Analyzing Test Generation and Diagnosis Algorithms for Wiring Interconnects", Proc. of International Test Conf., pp. 63-70, 1989.
- [4] C. Su, S. J. Jou and Y. T. Ting, "Decentralized BIST for 1149.1 and 1149.5 Based Interconnects," Proc. of International Test Conf., pp. 120-125, 1996.
- [5] Wuudiann Ke "Backplane Interconnect Test in a Boundary-Scan Environment," Proc. of International Test Conf., pp. 717-724, 1996.