

저 전압 출력 영역에서 휴지기간 최소화 알고리즘의 영향 고찰

최정수, 김진수, 김영석  
 인하대학교 전자·전기·컴퓨터공학부

A Study on the Influence of the Dead Time Minimization Algorithm on the Low Output Voltages

Jung-Soo Choi and Jin-Soo Kim and Young-seok Kim  
 School of Electrical & Computer Engineering, Inha University

**Abstract** - The dead time deteriorates the output performance of the PWM inverter so that various compensation schemes have been proposed. If the modulation index is rendered with the low output frequencies, those schemes do not work well because of the zero clamping phenomena. In this paper, we investigate the influence of the dead time minimization algorithm on the low output voltage reference. The validity of the algorithm is examined by comparing the simulation results with those of conventional methods.

1. 서 론

산업현장에서 PWM 인버터는 유도기열, 조명, 용접, 전기자동차 등에 사용되고 있다. 그 가운데에서 교류전동기 가변속 구동을 위한 장치로써의 사용은 대표적인 예라 할 수 있다. 이러한 PWM 인버터에 대한 많은 연구가 진행되어 여러 문헌들에서 그들의 장점이 보고된 바 있다. 그러나 인버터에서의 스위칭소자의 턴-온, 턴-오프 특성에 의해 직류링크(DC Link)의 단락(shoot through)을 방지하기 위한 휴지기간(Dead Time)을 두고 운전하여야 한다. 휴지기간의 사용은 출력전압을 왜형으로 만들고, 출력전압이 감소되는 단점을 가지고 있다. 휴지기간의 영향을 보상하기 위한 많은 연구가 진행되어 왔다[1~2]. 특히 저 출력전압, 저 출력주파수 영역에서 PWM인버터는 영 전류 클램핑 현상이 나타나므로 이의 보상에 대한 연구가 있어왔다[3~4].

본 연구에서는 PWM인버터에서 휴지기간의 영향으로 인한 영 전류 클램핑 현상을 설명하고, 필자들이 기 제안한 휴지기간 최소화 알고리즘을 설명하며, 휴지기간 최소화 알고리즘을 적용할 경우 출력 전류의 크기 및 외

형을 시뮬레이션을 통해 검사한다.

2. 영 전류 클램핑 현상

그림 1은 PWM 인버터 한 상의 상압과 하압의 이상적인 게이트 구동 신호와 휴지기간을 포함한 게이트 구동 신호 및 이들 신호에 의해 발생하는 U상의 전압을 나타내고 있다. 휴지기간의 영향으로 U상 전압은 그림 (c)에 표시된 것과 같이 정의의 부하전류의 경우에는 인가전압이 줄어들고, 부의 부하전류의 경우에는 전압이 더 발생하게 된다. 비록 휴지기간이 수  $\mu\text{sec}$ 에 해당하는 작은 값이지만, 출력 전압 한 주기 동안에 누적된 휴지기간의 영향으로 출력 전압이 감소하고 왜형으로 된다. 이러한 영향은 출력전류를 왜형으로 만들고 크기를 감소시키게 된다.

출력 전압 지령치가 작고 출력 주파수가 낮은 영역에서 휴지기간에 의한 영향으로 출력 전압은 그림 1과 같은 단순한 모양이 아닌 새로운 출력 전압의 모양을 갖게 된다. 그림 2에서 영 전류 클램핑에 의한 현상을 설명한다. 그림 2는 (a)와 같은 게이트 구동신호를 그림 3의 인버터 한 상에 인가한 경우에 부하전류의 극성이 바뀌는 상태를 나타내고 있다. 하압 게이트 구동 신호인  $S_{nd}$ 가 트리거 신호로 인가되어 부하전류는 부하에 따라 자연 감소한다. 휴지기간 동안에는 정의 전류이므로  $D2$ 를 거쳐 부하쪽으로 연속적인 전류가 흐르고 출력전압은

$$-\frac{V_{DC}}{2}$$

로 나타난다. 이후에  $S_{nd}$ 가 인가되어 출력 전압은  $\frac{V_{DC}}{2}$ 로 되고 휴지기간을 거치며 자연 감소하게 된다. 그러나 휴지기간 동안에 전류가 영으로 되면  $D2$ 는 클램핑되어 출력전압은 직류링크의 전압이 아닌 부하의 역기전력이 나타나고 그림 1에서와 같은 단순한 상 전압이 아닌 원하지 않는 전압이 발생하게 된다. 이 구

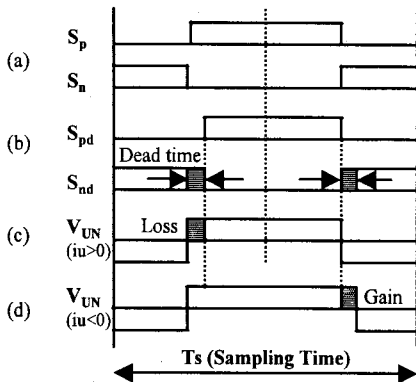


그림 1. PWM 인버터의 게이트 구동 신호  
 Fig. 1. Gate drive signals of PWM inverter

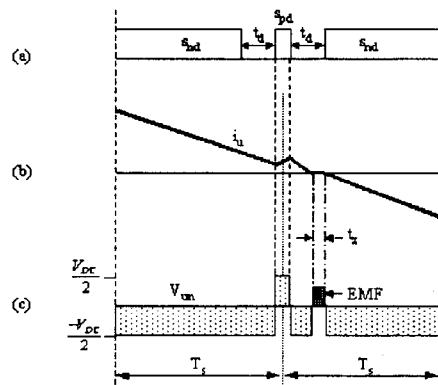


그림 2. 영 전류 클램핑 현상  
 Fig. 2. Zero current clamping phenomenon

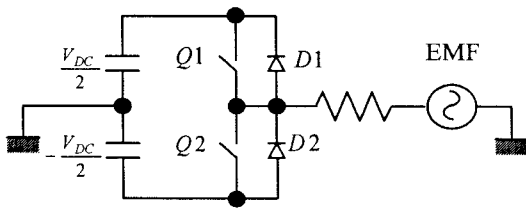


그림 3. 인버터 한 상에 대한 등가회로

Fig. 3. An equivalent circuit diagram of an inverter lag

간 동안에서 전류는 영으로 계속 존재하게 되어 출력 전류는 영점에서 왜형을 갖게 된다. 출력단의 상에 나타나는 역기전력은 다른 상에 영향을 미치게 된다. 이러한 현상은 저 출력 전압, 저 출력 주파수에서 주로 나타나며, 캐리어 주파수가 클수록 휴지기간이 차지하는 비중이 커지므로 출력전류의 왜형이 커지는 단점을 가지고 있다. 본 연구에서는 필자들이 기 제안한 휴지기간 최소화 알고리즘을 PWM 인버터에 적용하여 저 출력 전압, 저 출력 주파수에서의 영향을 고찰한다. 다음은 필자들이 제안한 바 있는 휴지기간 최소화 알고리즘이다.

### 3. 휴지기간 최소화 알고리즘 (3)

휴지기간 최소화 알고리즘은 자기소호형 스위치 소자에 게이트 구동신호를 인가하더라도 정 방향 바이어스 조건이 형성되지 않는 소자가 있음을 이용한 방법이다. 전류연속인 조건하에서 불필요한 휴지기간의 사용을 금지하여 휴지기간의 사용을 최소화하고 있다. 그러나 전류 극성이 전환되는 경우에 휴지기간을 사용하여야 하므로 다음과 같은 방법에 의하여 전류 극성변화를 고려한다. 그림 4는 휴지기간을 한번만 사용하는 경우이고 그림 5는 전류극성 변화시에 휴지기간 사용 대역폭을 두고 운전하는 방법이다. 영 전류 크래핑이 발생하는 저 출력 전류의 경우에는 그림 4의 방법은 전류 센서의 오프셋 문제(Offset Problems) 등에 의해 한번만 삽입하기 어려운 단점을 가지고 있다. 그림 5에서 설명한 방법은 문턱전류의 설정을 크게 하면 휴지기간 사용대역폭의 시간이 증가하며, 휴지기간의 사용 회수가 증가하는 단점이 있다. 이들 방법의 유용성을 저 출력 전압, 저 출력 주파수에 적용하여 다음과 같이 고찰을 행하였다.

### 4. 시뮬레이션 결과

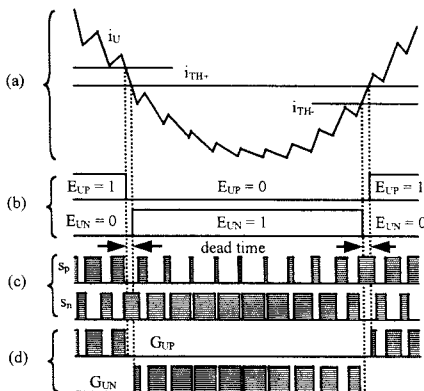


그림 4. 전류극성 변화시 한번의 휴지기간을 사용하는 방법

Fig. 4. A method that inserts the dead time only once during the polarity change of output current

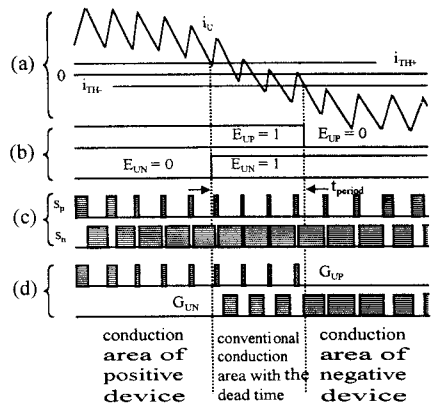


그림 5. 전류극성 변화시 휴지기간 사용 대역폭으로 운전하는 방법

Fig. 5. A method having a bandwidth during the polarity change of the current

시뮬레이션은 직류링크 전압을 314V, 인버터의 캐리어 주파수를 20kHz로 하여 R-L(R=4Ω, L=10mH) 부하에 대해 모뮬레이션 인덱스를 0.2, 출력주파수를 5Hz로 수행하였다. 비교를 위해 휴지기간 5μs를 갖는 인버터와 문헌[5]에서 제안된 휴지기간 보상법을 갖는 인버터 및 휴지기간 최소화 알고리즘을 적용한 인버터를 각각에 대한 출력전류 파형을 비교하였다. 그림 6은 휴지기간 5μs를 갖는 인버터의 출력전류와 2상분 전류에 대한 리싸주(Lissajou plot)를 나타낸다. 휴지기간의 영향으로 전류 영점 부근에서 왜형이 크게 나타났다. 또한 다른 상의 영점에서 나타나는 이상전압에 의해 2π/3, 4π/3 위치 등에서 왜형이 발생했음을 그림 (b)로 알 수 있다. 휴지기간 보상법에 의한 결과를 그림 7에 나타냈다. 기본과 전류의 크기가 5.54A[rms]로 증가하였으나, 전류의 왜형은 존재하고 있다. 휴지기간 최소화 알고리즘을 이용한 시뮬레이션 결과를 그림 8과 9에 각각 나타내었다. 각 방법의 출력 전류 기본파의 크기는 8.6A와 8.58A이다. 그림 8에서는 한번의 휴지기간을 사용하여 전류가 정현파로 되었으나, 휴지기간 사용 대역폭을 두고 운전한 경우는 4~5회의 휴지기간 사용으로 전류 영점 부근에서 미소한 왜형이 발생하였다. 각 결과의 리싸주로부터 알 수 있듯이 두 경우 모두 원으로 나타나고, 정현파에 가까움을 알 수 있다. 휴지기간의 사용을 최소화함으로써 기존의 방법들에 비해 저 출력 전압, 저 출력 주파수에서도 제안된 알고리즘이 유용함을 알 수 있다.

### 5. 결 론

본 연구에서는 저 출력 전압, 저 출력 주파수에서 PWM 인버터의 휴지기간에 의해 나타나는 영 전류 클램핑 현상에 대해 고찰하였다. 시뮬레이션을 행하여 휴지기간 최소화 알고리즘을 적용하여 인버터의 출력전류가 거의 정현파에 가까우며 출력전류의 진폭도 크게됨을 확인하였다. 추후연구과제로 영 전류 클램핑 보상방법들과 휴지기간 최소화 알고리즘의 실험을 통하여 타당성을 검토할 계획이다.

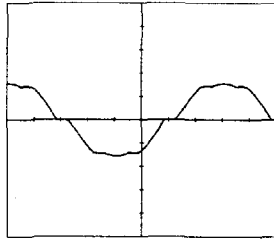
### [참고문헌]

[1] Takashi Sugawara, Kenzo Kamiyama, Katsuhiko Mizuno, Takyuki Matsui, Toshiaki Okuyama, May Fully digital vector-controlled PWM VSI-fed ac drives with an inverter dead-time compensation strategy, *IEEE*

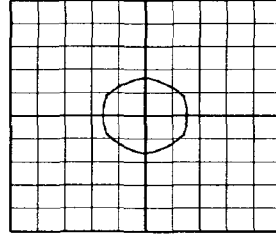
*Trans. Ind. Appl.*, Vol. 27, No. 3, pp. 552-559, 1991.

- [2] David Leggate, Russel J. Kerman, Pulse based dead time compensator for PWM voltage inverters, *IEEE-IECON Confer. Rec.* Vol.1, pp.474-481, 1995.
- [3] Jong-Woo Choi, Seung-Ki Sul, A new compensation Strategy reducing voltage/current distortion in PWM VSI systems operating with low output current, *IEEE Indus. App.*, Vol.1, No. 5, Sep./Oct., pp. 1001-1008, 1995.

- [4] Y. Murai, A. Riyanto, H. Nakamura, K. Matsui, PWM strategy for high frequency carrier inverters eliminating current clamps during switching dead time, *IEEE Ind. Applicat. Soc. Annu. Meeting*, pp. 317-322, 1992.
- [5] 한윤석, 최정수, 김영석, "인버터 출력파형 개선을 위한 새로운 휴지기간 최소화 알고리즘", *전기학회논문지*, 48권-5호, pp.269-277, 1999

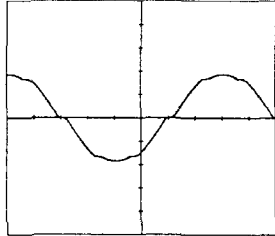


(a) 25ms/div, 5A/div

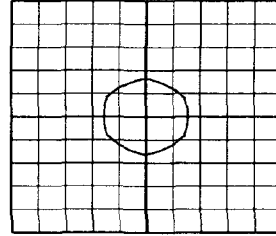


(b) X-axis: id Y-axis: iq

그림 6. 휴지기간 5 $\mu$ s를 갖는 인버터의 출력 전류 파형

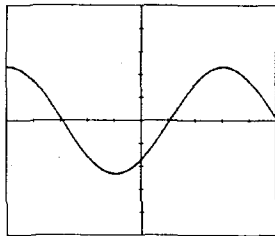


(a) 25ms/div, 5A/div

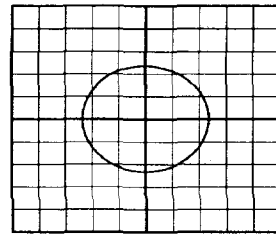


(b) X-axis: id Y-axis: iq

그림 7. 휴지기간 보상법을 적용한 인버터의 출력 전류 파형

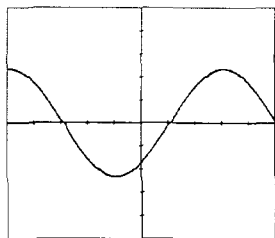


(a) 25ms/div, 5A/div

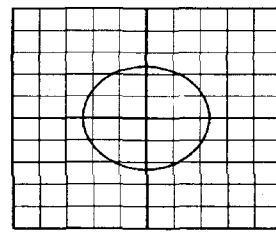


(b) X-axis: id Y-axis: iq

그림 8. 그림4의 방법을 적용한 인버터의 출력 전류 파형



(a) 25ms/div, 5A/div



(b) X-axis: id, Y-axis: iq

그림 9. 그림5의 방법을 적용한 인버터의 출력 전류 파형