

고 입력 전압 응용에 적합한 입력직렬-출력병렬 컨버터 시스템의 소신호 분석

유정식, 김정원, 조보형
 서울대학교 전기공학부 전력전자시스템 연구실

Small-Signal Modeling and Analysis of Input Series-Output Parallel Connected Converter System for High Voltage Power Conversion Application

Jeong-Sik You, Jung-Won Kim, B.H.Cho
 School of Electrical Engineering, Seoul National Univ.

Abstract - The small signal model for input series-output parallel connected converter system employing charge control together with input capacitor voltage feedback loop is developed. From the model developed, the effect of input capacitor voltage feedback loop to the system stability and outer loop compensator design is analyzed. Theoretical results and simulation show that input capacitor voltage feedback loop has no critical effects on the system stability, so the system can be reduced to an equivalent single module for the stability analysis and outer loop compensator design.

1. 서 론

입력 전압이 높은 회로 응용에서는 입력전압 정격에 적합한 스위칭 소자가 존재하지 않는 경우가 있다. 이 경우 여러 소자를 직렬 연결하여 사용하거나 입력전압에 적합한 새로운 회로를 개발하여 사용하기도 한다. 그러나 이러한 방법들은 스위칭 소자의 전압 균형 유지의 어려움과 새로운 회로의 개발에 따른 비용 상승의 문제점을 가지고 있다. 이러한 문제점을 해결하기 위해 기존의 회로를 사용하면서도 스위칭 소자를 직렬 연결하여 사용하지 않아도 되는 입력직렬-출력병렬(Input Series-Output Parallel: ISOP) 컨버터 시스템이 제안되었다. [1] 그림 1은 제안된 charge control을 적용한 ISOP 포워드 컨버터 시스템을 나타낸다.

그림에서 보듯 ISOP 시스템은 두 개의 컨버터가 출력측에서는 일반적인 병렬 모듈의 형태를 띄고 있지만 입력측에서 커패시터를 통해 서로 직렬 연결되어 있어 전체적으로 일반적인 병렬 모듈 컨버터와 다른 구조를 지니고 있다. 제어측면에서는 v_c (control voltage)와 전류 균형 제어를 위한 스위치 전류 charge외에 입력 커패시터 전압의 균형 제어를 위한 입력 커패시터 전압 피드백 루프가 부가적으로 시스템 제어를 위해 사용되고 있다.

소신호 모델에서 입력 커패시터와 인덕터는 시스템에 상태(state)를 하나씩 추가시켜 전체적인 시스템의 차원(dimension)을 증가시킨다. 또한, 입력 커패시터 피드백 루프가 부가적으로 존재하여 이 피드백 루프에 대한 분석 없이는 기존 병렬모듈 시스템의 소신호 해석 기법을 그대로 사용할 수 없다.

이 논문은 charge control을 적용한 ISOP 컨버터 시스템의 소신호 모델과 입력 커패시터 피드백 루프가 시스템 안정도와 외부 루프(outer loop) 보상기 설계에 미치는 영향을 분석하여 시스템 안정도 해석과 루프 보상기 설계시 ISOP 시스템을 동일한 단일 모듈 컨버터로 간략화 할 수 있음을 보인다.

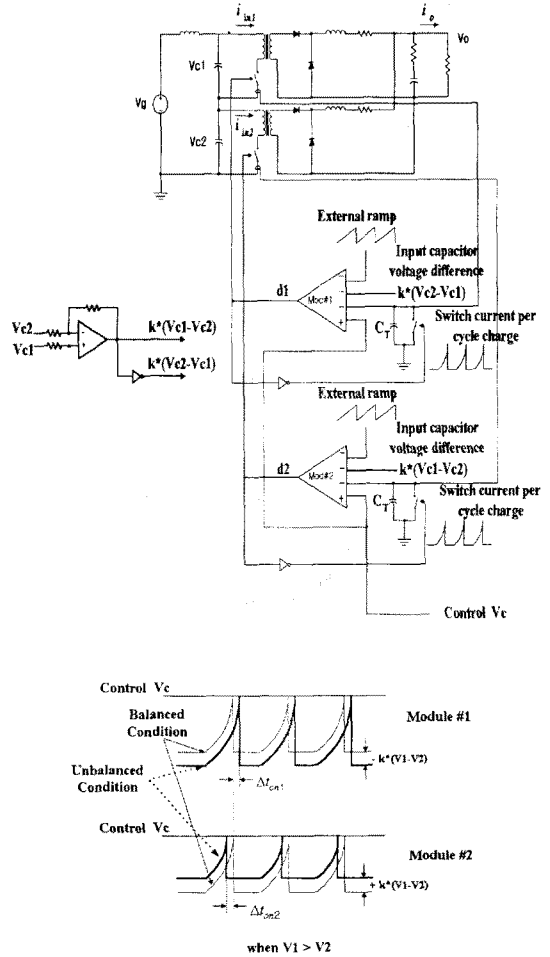


그림 1. 입력직렬-출력병렬 시스템(위)과 입력 커패시터 전압 피드백의 균형 제어 메커니즘(아래)

2. 본 론

2.1 소신호 모델

그림 1의 ISOP 시스템의 소신호 등가 모델은 PWM 스위치 모델 [2]을 사용하여 그림 2와 같이 나타낼 수 있다. 그림 1의 본 회로에서 모든 스위치가 PWM 스위치 모델로 대체되었다.

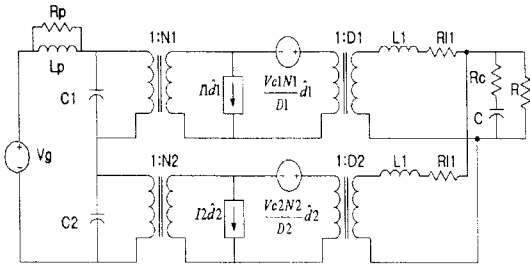


그림 2. PWM 스위치 모델을 사용하여 나타낸 ISOP 소신호 등가 회로 모델

ISOP 시스템은 입력 커패시터 전압 균형 제어를 위해 입력 커패시터 전압의 차이를 피드백하여 제어 정보로서 사용한다. 입력 커패시터 전압은 시스템 모델에 새로운 상태(state)를 추가시키게 되고 전체적인 소신호 모델은 이 두 개의 입력 커패시터 전압에 의한 상태를 일반적인 멀티루프 병렬 모듈 시스템에 추가시킴으로서 얻을 수 있다. 이러한 제어 루프를 포함한 ISOP 시스템의 전체 블록도를 그림 3에 나타내었다. 그림 3에서 R_i 와 FM은 각각 등가전류이득과 변조기 이득을 나타낸다. $He(s)$ 는 전류 루프의 샘플&홀드 효과를 나타내며 k 는 입력 커패시터 전압의 측정 이득을 나타내고 있다.

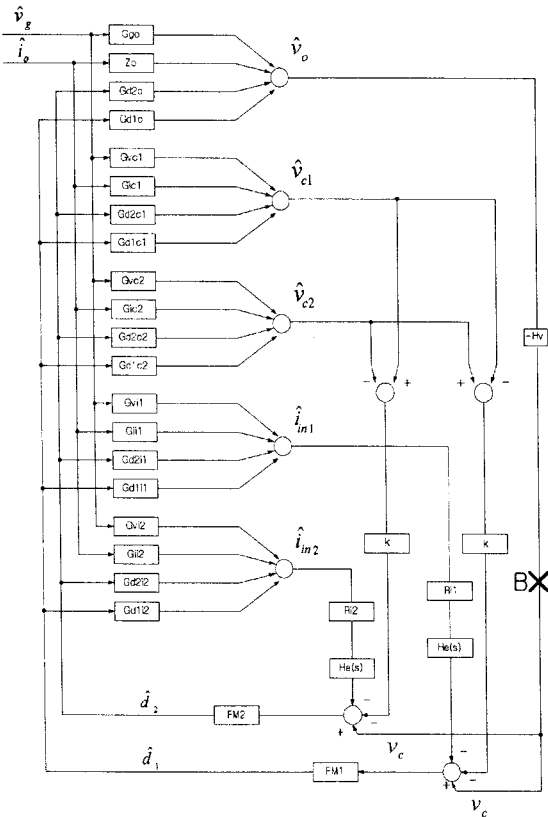


그림 3. 입력 커패시터 전압 피드백을 사용한 ISOP 시스템의 전체 소신호 블록도

시스템 안정도를 위한 제어루프를 설계하기 위해서는 그림 3의 시스템 모델을 간략화 하는 것이 필요하다. 이 시스템은 통상적인 전류 제어 병렬시스템에 부가적으로 입력 커패시터 전압 피드백을 사용하고 있으므로 이 피드백 루프에 대한 분석이 필요하게 된다. 이를 위해 피

드백 루프가 존재할 때와 그렇지 않을 때의 전달함수 비교를 수행하였다.

그림 4는 그림 3의 블록도에서 입력 커패시터 전압 피드백을 고려했을 때와 고려하지 않았을 때의 제어 전압 v_c (control voltage)에서 출력 전압 v_o 까지의 전달함수(point B)를 나타내고 있다. 실제적인 소자값들의 차이를 고려하더라도 그림에서 보듯 두 전달함수가 거의 동일한 모양인 것을 알 수 있다. 이는 정성적으로 다음과 같이 해석될 수 있다. 각 모듈의 입력 커패시터 전압 피드백은 서로 크기가 같으면서 부호가 반대인 신호로 이루어져 있다. 전체 시스템에서 보았을 때 크기가 같고 부호가 반대인 신호는 서로 상쇄되어 B 점에서 구한 전달함수에는 입력 커패시터 피드백 루프의 영향이 나타나지 않게 된다.

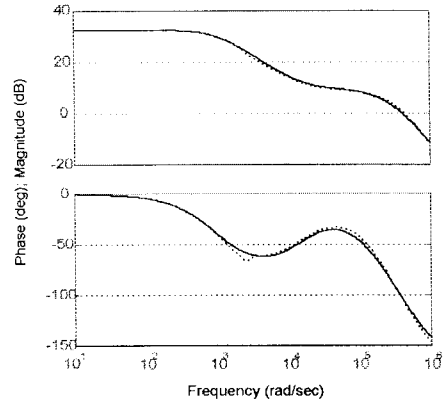


그림 4. 입력 커패시터 전압 피드백 루프를 고려했을 때와 고려하지 않았을 때의 B에서 구한 전달함수 (G_{ci})

이상의 결과를 토대로, 입력 커패시터 전압 피드백은 B에서 구한 제어 전압 v_c 에서 출력 전압 v_o 까지의 전달함수에 영향을 주지 않는다는 결론을 내릴 수 있다. 그러므로 외부 루프(outer loop compensator) 보상기 설계시 ISOP 시스템은 기존의 등가 단일 모듈 시스템으로 간략화 될 수 있다. 그림 5에 등가 단일 모듈 시스템을 나타내었다.

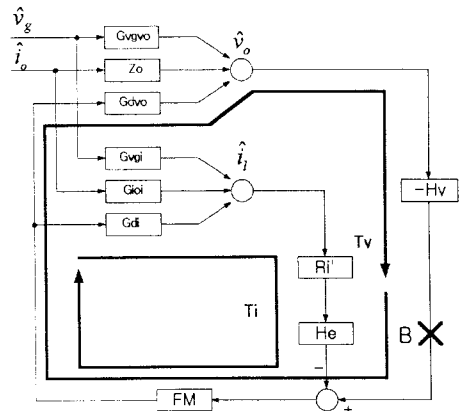


그림 5. 등가 단일 모듈 시스템

그림에서 각 블록의 함수들은 다음과 같이 주어진다.

$$G_{dvo} = 2G_{d1o}, \quad R'_i = R_i/2, \quad G_{di} = 2(G_{d1i} + G_{d2i}) \quad (1)$$

2.2 제어 루프 설계

제어 루프를 설계하기 위해 우선 입력 커패시터 전압 측정 이득 k 를 결정한다. k 값이 커질수록 순간 반응속도는 빨라지지만 커패시터 전압 균형 제어를 위해 더 많은 입력 평균전류가 흘러야 하므로 전류 정격이 커지게 된다. 그러므로 전류 정격과 컨버터 순간 반응 속도를 고려하여 k 값을 결정하여야 한다.

전류 루프를 디자인하기 위해 우선 charge control 커패시터 C_T 의 값을 정한다. 그림 1의 C_T 양단의 전압은 비교기 입력 전압 V_c 보다 작아야 한다. 그러므로 C_T 는 다음 범위에서 구할 수 있다.[3]

$$C_T > \frac{1}{V_{cs}} \int_0^{D_{max}T_s} i_{Lmax}(t) dt \quad (2)$$

FM, R_i 와 $H_e(s)$ 는 통상적인 charge control에서와 같은 값을 갖는다[3]. 그러므로 그림 5에서의 전류 루프 이득 T_i 는 다음과 같이 주어진다.

$$T_i = R_i' \cdot H_e(s) \cdot FM \cdot G_{di} \quad (3)$$

T_i 는 전류 루프를 닫은 회로의 안정도 분석에 사용될 수 있다.

일단 전류 루프가 설계되면 전류 루프가 닫힌 전력 회로는 전압 루프(H_v)를 설계하기 위한 새로운 전력 회로로 간주될 수 있다. B에서 정의되는 시스템 루프 이득(외부 루프 이득)은 다음과 같이 표현될 수 있다.

$$T_B = G_{ci} \cdot H_v \quad (4)$$

여기서 G_{ci} 는 주어진 동작 조건에서 전류 루프가 닫힌 회로의 제어 전압 v_c 에서 출력 전압 v_o 까지의 전달함수를 나타내며(그림 4가 이를 나타내고 있다) 이를 토대로 전압 루프 보상기 H_v 를 설계 할 수 있다. 전압 루프 보상기로는 다음과 같은 밀터 루프 시스템에 통상적으로 사용되는 적분기에 한 개의 극점과 한 개의 영점을 갖는 보상기가 사용된다. 보상기의 설계 절차는 다음과 같다.

$$H_v(s) = \frac{K_I}{s} \frac{(1+s/\omega_z)}{(1+s/\omega_p)} \quad (5)$$

첫 번째 극점은 DC 이득을 높게 하기 위해 원점에 위치시키고 두 번째 극점은 esr 영점을 상쇄시키기 위해 esr 영점의 위치에 둔다. 그리고 DC 이득 K_I 를 통해 시스템 차단 주파수를 결정한다. 마지막으로 조건부 안정을 피하기 위해 공진 주파수 바로 아래에 영점을 둔다.

그림 6은 이와 같은 과정을 거쳐 비교적 넓은 대역폭과 60도의 위상 여유를 갖도록 설계된 루프 이득 T_B 를 나타내고 있다. 그림 7은 설계된 루프 보상기에 의한 시간 영역에서의 시뮬레이션 결과를 나타낸다. 20% 정도의 입력 커패시터값의 차이에도 불구하고 입력 커패시터 전압이 안정적으로 균형 제어되고 있는 것을 볼 수 있다.

3. 결 론

이 논문에서는 charge control을 적용한 입력직렬 출력병렬(ISOP) 컨버터 시스템의 소신호 모델과 입력 전

압 균형 제어를 위해 시스템에 추가적으로 추가된 입력

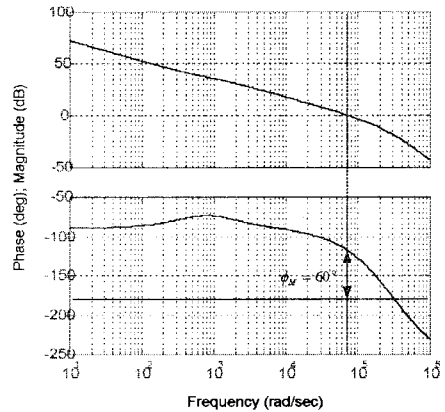


그림 6. 보상이 이루어진 외부 루프 이득 T_B (fs=100kHz)

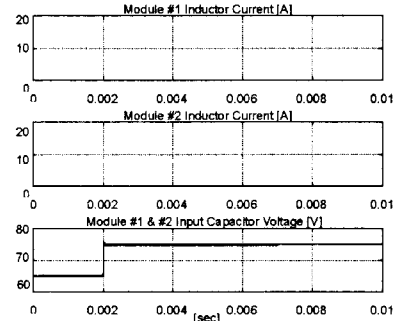


그림 7. 루프 보상이 이루어진 시스템의 시간 영역에서의 인덕터 전류와 입력 커패시터 전압의 시뮬레이션 결과

커패시터 피드백 루프가 시스템 안정도와 외부 루프(outer loop) 보상기 설계에 미치는 영향을 분석하여, 시스템의 안정도 해석과 외부 루프 보상기 설계시, ISOP 시스템이 동일한 단일 모듈 컨버터로 간략화 될 수 있음을 보였다. 그리고 간략화된 모델을 토대로 외부 전압 루프 보상기를 설계하는 절차를 제시하였다.

추가적으로 추가된 입력 커패시터 전압 피드백 루프는 내부 상쇄 메커니즘에 의해 외부 루프 전달함수에 영향을 주지 않는다. 그러므로 ISOP 시스템은 등가 단일 모듈 컨버터로 간략화 될 수 있고, 설계자는 간략화된 모델을 통해 외부 전압 루프 보상기를 설계할 수 있다.

(참 고 문 헌)

- [1] Jung-Won Kim, J.S.You and B.H.Cho, "Input Series-Output Parallel Connected Converter Configuration for High Voltage Power Conversion Applications", ICPE'98 Proc., pp.201-205
- [2] V.Vorperian, "Simplified analysis of PWM converters using the model of the PWM switch:Part I and II", IEEE trans. on Aerospace and Electronic Systems, Vol 26, No.3, pp.490-505, 1990
- [3] Wei Tang, F.C.Lee, R.B.Ridley and I.Cohen, "Charge control: modeling, analysis and design", IEEE Trans. on Power Electronics, Vol. 8, No.4, pp.396-403, Oct.1993