

변형된 밸리필 구조와 전하펌프 커패시터가 결합되어 필라멘트 예열기능과
역률개선능력을 가진 형광등용 전자식 안정기

채 균, 류 태하, 조 규형
한국과학기술원 전기 및 전자공학과

Electronic Ballast with Modified Valley fill and Charge Pump Capacitor
for prolonged Filaments Preheating and Power Factor Correction

Gyun Chae, Tae-Ha Ryoo and Gyu-Hyeong Cho
Department of Electrical Engineering
Korea Advanced Institute of Science and Technology (KAIST)
Kusong-Dong, Yusong-Gu, Taejon, 305-701, Korea
TEL: +82-42-869-3424, FAX: +82-42-869-3410

Abstract - A new circuit, modified valley fill (MVF) combined with resonant inductor of the self-excited resonant inverter and charge pump capacitors(CPCs), is presented to achieve high PF electronic ballast providing sufficient preheat current to lamp filaments for soft start maintaining low DC bus voltage. The MVF can adjust the valley voltage higher than half the peak line voltage. The CPCs draw the current from the input line to make up the current waveform during the valley interval. The measured PF and THD are 0.99 and 12%, respectively. The lamp current CF is also acceptable in the proposed circuit. The proposed circuit is suitable for implementing cost-effective electronic ballast.

1. 서 론

IEC1000-3-2와 같은 국제표준의 채택으로 형광등용 전자식 안정기에 대해 선전류 고조파 성분의 제한, 높은 입력 역률개선(Power Factor Correction - PFC)에 대한 요구가 점차 커지고 있다. 전자식 안정기의 설계자들은 종종 저가격의 안정기를 얻기 위해 자려식의 직렬 공진형 인버터를 이용하고 있으며 역률개선을 위하여 부스트(boost) 형태의 회로를 첨가 하곤 한다[1-4]. 부스트 형태의 역률 개선회로는 직류 링크(DC-link) 전압의 좋은 레귤레이션 특성과 적은 리플 성분을 가지고 있다는 장점으로 인하여 가장 흔히 쓰이는 회로이다. 그러나 부스트(boost) 컨버터 회로는 주 스위치에 전압 스트레스를 높이고 부가적인 전력 소자와 수동 소자, 그리고 제어 회로로 높은 삼각파 형태의 전류를 만들어 동작을 시키기 때문에 손실이 많고 가격적인 측면에서 장점이 될 수 없는 형태의 역률개선 회로라고 말할 수 있다. 이를 해결하기 위해 새로운 저가격대의 고역률 전자식 안정기가 제시되었다[2]. 제시된 고역률 전자식 안정기는 완전 수동소자만으로 이루어졌으며 또한 높은 PF와 낮은 THD, 그리고 적당한 CF의 특성을 보여 저가격대의 단순기능의 전자식 안정기에 매우 적합한 성능을 보이고 있다[2]. 하지만 램프의 초기 방전시에 매우 높은 방전전압에 의해 순간 방전이 이루어지고 또한 높은 DC 링크 전압이 나타나 램프의 수명과 회로 소자에 그다지 좋지 않은 영향을 미친다는 단점을 가지고 있다. 따라서 본 논문에서는 기존의 수동소자를 이용한 밸리필

직류링크 회로의 형태를 변형한 새로운 밸리필 회로를 이용함과 동시에 전하펌프 커패시터와 직렬 공진형 인버터 회로를 연결하여 역률개선능력을 그대로 유지하고 램프 필라멘트의 예열시간을 늘려 수명을 연장시킬수 있으며 초기 방전시 낮은 DC 링크 전압을 유지함으로써 회로소자의 스트레스를 줄일 수 있는 형광등용 전자식 안정기를 제시하고자 한다.

2. 제안된 역률개선회로

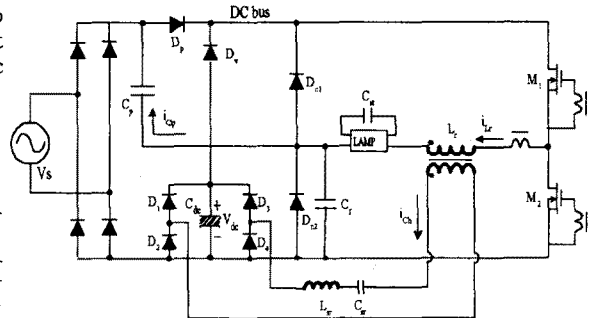


그림 1. 제안된 형광등용 전자식 안정기

그림 1은 제안된 역률개선회로를 가진 1동용 전자식 안정기를 나타내고 있는데 이의 구성을 살펴보면 전하 펌프 커패시터(Cp), 공진형 인버터의 공진 인덕터(Lr)과 결합된 변형된 밸리필 직류 링크단으로 되어 있다. 기존의 기본적인 밸리필 회로와는 달리 MVF 직류링크단은 하나의 전하 커패시터(Cdc)와 다섯 개의 다이오드(D1 - D4, Dv)로 이루어졌다. 정상상태 동작시 Cdc에 에너지를 충전시키기 위해 공진 인덕터 Lr의 코어에 권선을 추가로 감아 이를 Lsr-Csr 직렬 공진회로와 다이오드 브릿지쌍(D1-D4)을 거쳐 Cdc에 연결을 하였다. 공진 인덕터에 권선을 추가로 감게 됨으로써 Lr은 스위칭 주기의 대부분의 구간동안에 공진 인덕터 Lr 동작을 하지만 스위치 M1과 M2의 스위칭 순간에는 트랜스포머처럼 동작을 하게 된다. 자려 발진형으로 게이트 구동이 일어나 스위칭 동작이 발생하게 되면 공진 인덕터 Lr의 양단에는 순간적으로 직류

링크 커패시터 Cdc의 양단전압보다 훨씬 큰 전압이 걸리게 되고 이로 인해서 Lr의 2차측의 Lsr-Csr의 공진탱크에 전압변화가 생기게 된다. 그 결과 공진형 인버터에는 등가적으로 짧은 공진 충전구간이 생기게 된다. 보조 공진 회로의 Lsr과 Csr의 크기가 공진형 인버터의 직렬 공진소자인 Lr과 Cr의 크기보다 상당히 작다고 가정을 한다면 보조 공진 주파수는 거의 Lsr과 Csr에 의해 결정이 된다.

직류링크 커패시터 Cdc의 충전은 입력 전원전압이 Cdc 양단전압보다 큰 구간인 직접 충전 구간동안에 이루어지는데 이는 보조 공진 회로에 인가되는 여기전압에 이 구간에서 걸리기 때문이다. 밸리전압, 즉 직류 링크 커패시터 Cdc에 걸리는 전압의 크기는 공진회로 정수 Lsr, Csr과 인덕터 Lr에 추가되는 2차측 권선의 수에 의해 결정이 된다. 따라서 이들 값을 적절히 조절을 한다면 밸리전압을 입력전원전압의 최고치의 반이상으로 조절할 수가 있다.

보조 공진 주파수 ω_{sr} ($\approx \frac{1}{\sqrt{L_{sr}C_{sr}}}$)는 밸리전압, 램프 전류 CF, PF, 그리고 램프 필라멘트 예열시간 등을 고려하여 적절한 수준에서 결정하여야 한다.

제한된 안정기는 자체적으로 램프의 초기 방전전압과 직류 링크 전압을 제한하는 기능을 가지고 있다. 그 이유는 예열구간에 스위칭이 일어나는 동안 램프 양단에 걸리는 전압은 Lr에 2차권선을 감아 직류링크 커패시터와 연결을 한 상태이기 때문에 그 전압의 최고치를 제한하게 되며 따라서 순간적인 방전이 이루어지기 어려워져 예열 시간이 늘어나게 된다. 또한 직류 링크의 전압은 직접 충전 구간과 밸리 구간으로 나누어져 나타나기 때문에 직류 링크 커패시터 Cdc의 전압이 직류링크에 나타나는 밸리구간의 전압은 입력전원전압이상으로 높아지지 않기 때문에 안정기 회로소자에 걸리는 전압 스트레스는 기존의 방식에 비해 상당히 낮아지게 된다.

보통 가격적인 면을 고려하여 Lsr을 부가하지 않고 Csr만을 위치시킬 수가 있으나 스위칭 순간에 나타나는 펄스성 전압 변화에 따른 펄스성 충전 전류의 발생으로 인한 전해 커패시터의 수명 단축 및 스위칭 손실을 줄인다는 관점에서 Lsr을 부가하는 편이 전체적인 효율을 높이는 데 도움이 된다. Lsr의 크기는 작은 토로이달 코어로서도 충분하다.

제한된 전자식 안정기의 적절한 동작을 얻기 위해서는 보조 공진 주파수의 적당한 선택이 중요한데 이는 램프의 예열 시간과 전류 CF 사이의 적당한 조정에 의해서 결정이 되어진다. 충분한 예열시간을 확보하기 위해서는 램프가 순간 방전이 이루어지지 않게 하기 위해 램프 양단의 전압 강하를 줄여야 하는데 이는 Lsr과 Csr의 공진 주파수를 공진형 인버터의 예열 동작 주파수에 거의 가깝게 맞추게 함으로써 조절할 수가 있다. 하지만 램프에 흐르는 전류의 CF를 낮추기 위해서는 보조 공진회로의 주파수를 직접 충전 구간 동안의 공진형 인버터의 주파수와 밸리 구간동안의 공진형 인버터의 주파수 사이의 중간 주파수에 맞추는 것이 적당하다. 따라서 보조 공진 주파수는 다음과 같은 수식에 의해 적절히 조절될 수 있다.

$$\omega_{sr} \approx \sqrt{\omega_o \omega_p}, \quad \omega_p \approx \frac{1}{\sqrt{L_{sr}C_{eq}}}, \quad \omega_o \approx \frac{1}{\sqrt{L_r C_r}}$$

$$C_{eq} \approx C_r // C_{sl} // C_{sr}$$

3. 실험 및 결과

그림 2의 제안된 전자식 안정기를 기관위에 구성이 되어 실험하였다. 형광등은 F40T12의 40W용으로 한등을 이용하였다. 실험에 사용된 회로 정수는 다음과 같다.

- . 입력 전압 : 220VAC
- . Power MOSFET : IRF740
- . Cr = 15nF, Cst = 8.2nF, Csr = 10nF
- . Cp = 82nF, Lsr = 400uH
- . 인덕터 Lr의 권선비 : 1:1
- . 인덕터 Lr = 1mH

실험에 따른 결과는 그림 3에서 그림6에 제시되었다. 그림 3은 측정된 입력 전압과 전류의 파형을 보이고 있다. 입력 전류의 역률과 총 고조파 왜율은 각각 0.99와 12%를 보이고 있다. 그림 4는 직류 링크 전압, 직류 링크 커패시터 충전 전류 ich와 전하 펌프 커패시터를 통해 흐르는 전류 icp를 보이고 있다. 밸리전압은 약 200V로 조정이 되었으며 램프 전류의 CF는 약 1.6으로 나타났다.

그림 5는 제안된 안정기의 예열 동작시의 직류 링크 전압과 램프의 전압, 전류의 파형을 보이고 있다. 예열 구간 동안 나타난 직류 링크의 전압은 최고 380V로 나타났으며 예열시간은 약 450ms로 조정이 되었다. 그림 6은 정상 방전 동작시 입력 전원 전압이 밸리전압보다 높은 직접 충전 구간동안의 직류 링크 전압, 커패시터 충전 전압, 그리고 전하 펌프 커패시터를 통한 전류를 확대해서 보이고 있다. 그림 6에서 스위칭 순간에 보조 공진현상이 일어나 직류 링크 전하 커패시터가 충전됨을 확인할 수 있다.

4. 결 론

본 논문에서는 새로운 형태의 고역률 형광등용 전자식 안정기를 제시하였다. 제안된 안정기는 기존의 부스트 컨버터를 이용하는 대신 전하 펌프 커패시터와 변형된 밸리 필 구조를 이용하여 입력 전류의 형태를 조절하게 된다. 자력식 직렬 공진형 인버터의 인덕터에 권선을 추가하여 이를 보조 공진 회로를 통해 직류 링크 커패시터에 연결함으로써 밸리 전압을 입력 전원 전압의 최고치의 반 이상으로 조절할 수 있을 뿐 아니라 램프의 필라멘트의 예열 시간을 늘이고 램프 양단사이의 전압을 낮춤으로써 소프트 스타트(soft start)기능을 얻을 수 있었다.

본 논문에서 제안된 안정기는 IEC1000-3-2와 같은 규격을 만족할 수 있는 저가격형의 형광등용 전자식 안정기에 적합하다.

[참 고 문 헌]

- [1] Y.S. Youn, G. Chae, and G.H. Cho, "A unity power factor electronic ballast for fluorescent lamp having improved valley fill and valley boost converter", IEEE PESC97 Record, pp. 53-59, 1997.
- [2] G. Chae, Y.S. Youn and G.H. Cho, "High power factor correction circuit using valley charge pumping circuit for low-cost electronic ballasts", PESC98, pp.2003-2008, 1998.
- [3] Y.R. Yang and C.L. Chen, "A self-excited half-bridge series-resonant ballast with automatic input current shaping", IEEE PESC96 Record, pp.881-886, 1996.
- [4] J. Spangler, B. Hussain, and A.K. Behera, "Electronic ballast using power factor correction techniques for loads greater than 300Watts", IEEE APEC91 Record, pp.393 - 399, 1991.

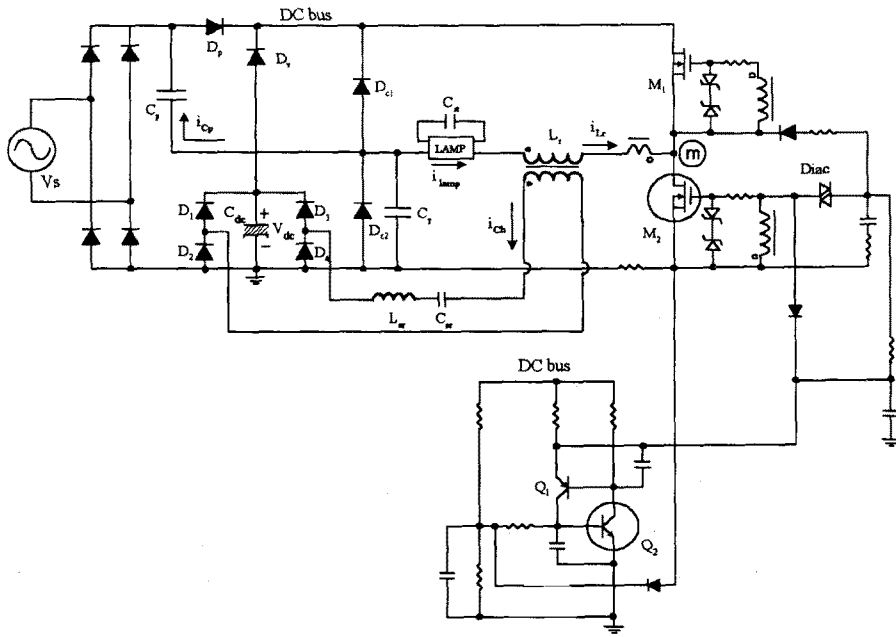


그림 2. 제안된 전자의 안정기의 실험 회로도 (과전류 및 온도 보호회로 추가)

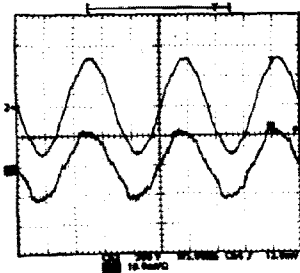


그림 3. 입력 전압, 입력 전류 파형
(200V/div, 0.2A/div, 5ms/div)

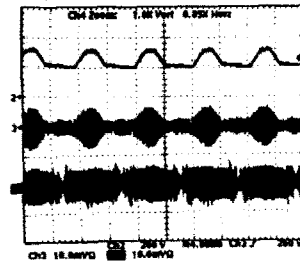


그림 4. 직류링크전압, \$i_{D1}, i_{cp}\$
(200V/div, 1A/div, 4ms/div)

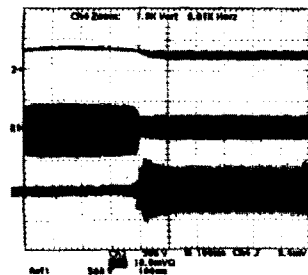


그림 5. 직류링크전압, 램프양단전압,
램프 전류 파형
(500V/div, 0.5A/div, 100ms/div)

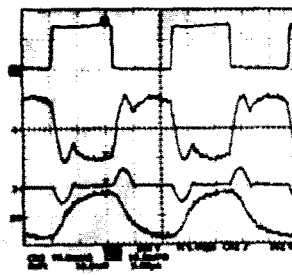


그림 6. \$V_m, -i_{D1}, i_{ch}, i_{lamp}\$
(200V/div, 0.5A/div,
1A/div, 100ms/div)