

비대칭 SOI 소자의 최적화된 공정 조건과 전류구동능력에 관한 연구

이원석, 정승주, 송영두, 고봉균, 곽계달,
한양대학교 전자공학과

A Study On The Optimized Process Condition and Current Drivability for Asymmetric Source/Drain SOI Device

Won-Seok Lee, Seung-Ju Chung, Young-Du Song, Bong-Gyun Ko, and Kae-Dal Kwak.
Dept. of Electronic Engineering, Hanyang Univ., Seoul 133-791, Korea

Abstract - 일반적으로 SOI 소자에 대한 연구는 film 두께, 채널길이 그리고 doping 농도에 따라 폭넓게 연구되어 왔다. 제안한 소스/드레인 비대칭 SOI 소자는 일반적인 LDD SOI 소자와 비교하여 항복전압은 거의 비슷한 반면, 전류 구동능력은 훨씬 향상된 소자를 구현 시킬수 있었다. 비대칭 SOI 소자를 설계하기 위하여, 최적화된 공정조건을 모의 실험용 TCAD Simulator (SILVACO)를 이용하여 검증하였다. 검증된 공정 변수를 이용하여 모의 실험을 해보았더니 항복전압과 전류 구동능력에서 좋은 특성을 나타내었다.

1. 서 론

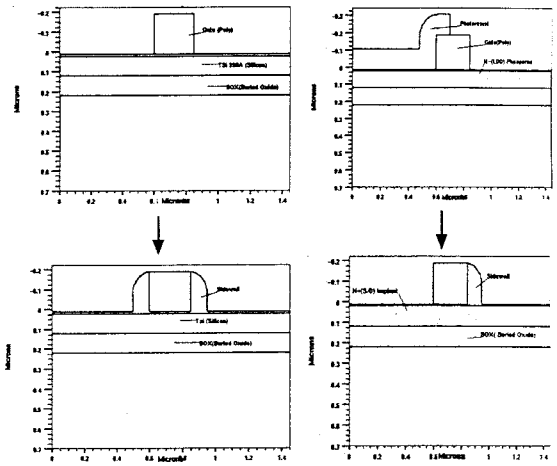
일반 CMOS의 단점을 극복하기 위해, 소자의 구조적인 변경이나 새로운 물질의 대한 연구가 활발히 진행되고 있는데, 이러한 기술중의 하나로 SOI(Silicon-On-Insulator)가 현재 많은 주목을 받고 있다. SOI는 산화막위에 소자가 형성되기 때문에, 기생 접합용량(Parastic Junction Capacitance)를 줄이수 있고, 기판 실리콘과는 절연이 되어 있기 때문에 기판 누설전류(Leakage Current)가 줄어 든다. 또한 일반 CMOS에서 발생하는 래치업효과를 방지할수 있으며, 문턱전압이하에서의 기울기(Sub-Threshold Slope)를 향상시켜 안정된 문턱전압이하의 특성을 얻을수 있고, 높은 트랜스컨덕턴스를 가진다. 반면에 SOI 소자는 극복해야할 많은 단점도 가지고 있다. 우선 많이 사용하고 있는 SIMOX 웨이퍼의 가격이 비싸서 원활한 공급이 어려운 실정이고, 소자의 관점에서 보면 충돌이온화에 의한 정공전류 생성에의해, 기생 N-P-N 바이폴라소자의 이득이 증가하여 항복전압이 감소하는 현상이나, 정공의 누적에 의한 소스의 전위감소로 인하여 전류가 갑자기 증가하는 Kink 효과등이 발생한다.

이에 본 연구에서는 소스와 드레인을 비대칭구조로 형성시켜, 항복전압은 일반 LDD SOI 와 거의 비슷하고, 전류구동능력은 월등히 향상시킨 소자를 제안하였다. 보통 항복전압을 높여주기 위하여 드레인에 LDD를 구성함으로써 향상시킬수 있는데, 이로인한 저항 때문에 전류특성이 저하되게 된다. 특히 드레인보다 소스에의해 전류특성이 큰영향을 받기 때문에, 소스쪽은 LDD 구성을 하지않고 소자를 설계하여 전기적인 특성을 분석하였다.

2. 본 론

2.1 Asymmetric S/D SOI device 제안

본 연구에서 제안하는 비대칭 SOI소자와 일반 SOI 소자와의 차이점은 그림 1과 같다. 제안한 소자는 일반



(a) S/D 비대칭 SOI (b) 일반 SOI

그림 1. 제안한 S/D 비대칭 SOI 구조와 일반 SOI구조의 공정상의 차이점.

Fig. 1. The process difference between Proposed S/D Asymmetric and Conventional SOI

SOI 공정과 차이가 없으며, 추가적인 마스크 사용없이 LDD 마스크를 이용하여 비대칭 SOI를 만들 수 있다. 그림 1에서는 LDD 이온주입과 S/D 이온주입의 공정과 정만 나타내었다. 본 논문에서는 채널길이에 따른 전기적인 특성을 분석하고, Tsi(Silicon Film Thickness)의 따른 전기적인 특성차이를 제안한 소자와 일반 SOI 소자에 대해서 모의실험을 하였다. 표 1은 모의실험에 사용된 N-Type SOI의 공정 변수들을 나타내고 있다.

2.2 Regression 모델 생성

비대칭 SOI의 공정의 최적화를 위하여 채널길이 0.25μm 소자를 모의실험을 하였는데, 여러 가지 공정 변수 변화에 따르는 항복전압, 최대전류, 누설전류, 문

턱전압등을 추출하였다. 그로 인하여 관련 공정 변수 변화에 의한 추출값의 상관관계를 하나의 Regression 모델로 만들었다. 우선 원하는 Target 값을 만들기 위해서는 어떤 공정변수를 조정해야하는지를 알아야한다. 그러므로 각 Target 값에대한 공정변수들의 민감도를 조사하였다. 항복전압의 대해 가장 민감도가 높았던 변수는 기판농도와 채널도핑농도, LDD 농도였다.

표 1. N-Type S/D 비대칭 SOI와 일반 LDD SOI의 공정 파라메타.

Table 1. Process Parameters of N-Type S/D Asymmetric SOI and Conventional LDD SOI.

SOI Process	Asym SOI (N-Type)	Conv SOI (N-Type)
Channel Length(μm)	0.25, 0.45, 0.6, 0.8, 1.0, 1.2, 1.5, 2.0	
BOX(Buried Oxide)	Buried Oxide (1000A)	
Tsi Thickness	480A, 990A, 1200A	
Body Conc	N-Type (1e14 cm ⁻³ (100))	
P-Well	P-Type dose=5e12cm ⁻² energy=40KeV	
Channel Doping	Boron dose=1.5e12cm ⁻² energy=20KeV	
Gate Oxide Thickness	Tox=71A	
Gate Doping	N+ (P)	
LDD Doping	N-(Phos)(Drain) dose=3e13cm ⁻² energy=15KeV	N-(Phos)(S/D) dose=3e13cm ⁻² energy=15KeV
Source/Drain Doping	N++(As) dose=5e15cm ⁻² energy=30KeV	
Annealing	Time=20min Temp=900°C N ₂ Press=1	

이러한 Regression 모델을 통하여 원하는 Target에 대한공정 변수를 최적화하였다. Regression 모델은 3 가지 경우의 Target값을 고려하여 생성을 하였다. 첫 번째는 BVds (항복전압), 두 번째는 Vgs=3.0V, Vds=3.0V에서의 Ids_max (최대전류), 그리고 Ids_Leakage Current를 각각 공정변수를 이용하여 모델화하였다.

표 2. Ids_max의 Regression 모델계수.

Table 2. Regression model Coefficient for Ids_max.

Ids_max	Body Imp(x)	Ldd(Imp Energy)(x)	Ldd(Imp Dose) (log(x))
Coeff	-0.476569	0.200524	-0.0271744

표 3. BVds의 Regression 모델계수.

Table 3. Regression Model Coefficient for BVds.

BVds	Body Imp(x)	Ldd(Imp Energy) (x)	Ldd(Imp Dose) (log(x))
Minimum	9e+11	10	9e+12
Maximum	5e+12	15	3e+13
Coefficients			
0.115435	1.35473	-4.562E-2	0.014043
BI		-0.231204	-0.176864
Ldd E			-1.731E-2
Ldd Dose			
(Body Imp) ²	-0.470215	0.3279	-1.051E-2
(Ldd E) ²	-0.231204	-4.561E-2	-1.731E-2
(Ldd Dose) ²	0.166306	4.633E-2	-5.1E-2

표 4. Ids_Leakage 의 Regression 모델계수.

Table 4. Regression model coefficient for Ids_Leakage

Ids_leakage	Body Imp(x)	Ldd(Imp Energy) (x)	Ldd(Imp Dose) (log(x))
Minimum	9e+11	10	9e+12
Maximum	5e+12	15	3e+13
Coefficients			
0.518652	-0.52753	5.042E-2	0.3932
Body Implant		0.137052	-4.258E-2
Ldd E			2.767E-2
Ldd Dose			

사용된 Regression 모델은 다음식과 같다.

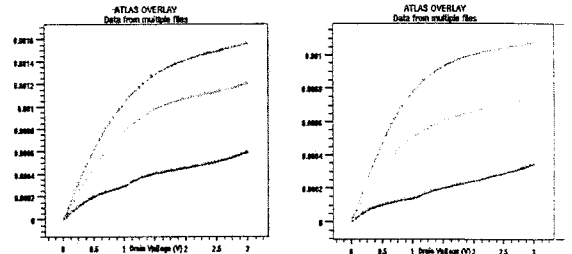
$$Y = C_0 + C_1 V_1 + C_2 V_2 + C_{12} V_1 V_2 + C_{11} V_1^2 + C_{22} V_2^2$$

여기서 Y는 Target 값, V_n은 공정변수, C_n은 상수값을 나타낸다. 생성된 Regression 모델의 오차율은 BVds가 3.8%, Ids_max는 23%, Ids_leakage는 4.3%를 나타내었다. BVds는 2차항까지고려한 모델로 최적화 되었고, Ids_max는 1차항, 그리고 Ids_Leakage는 3차항까지 고려한 형태로 모델이 생성되었다. 더욱 복잡한 함수를 쓰면 정확하나 분석이 힘들어진다. 이모델로 사용하여 채널길이 0.25μm의 비대칭 S/D SOI 소자의 최적화된 변수는 기판 이온주입된 도즈량이 4.18x10¹²cm⁻³이었고, LDD영역의 이온주입된 도즈량은 2.853x10¹³cm⁻³이고, 에너지는 13.7일 때, BVds (항복전압)는 3.01238V 였고, Ids_max는 1.204(mA)였다. 이때 Ids_leakage는 0.1416(mA)로 추출되었다. 이러한 Regression 모델을 통하여 실제 공정에 접목을 하고자 할 때는, 모의실험된 소자의 특성과 실제 소자의 특성차이를 최적화 시키기 위하여 Calibration을 해야하는데, 실제 Calibration을 할수

있는 모델이기도 하다.

2.3 비대칭 S/D SOI소자와 Normal LDD SOI 소자의 특성비교.

모의실험은 Tsi(Silicon Film Thickness)를 480 Å, 990Å, 1200Å에 대해서 채널길이에 따른 결과를 분석하였다. 먼저 그림 3의 $I_{ds}-V_{ds}$ 곡선을보면 일반적인 LDD SOI 소자 구조에서보다, 비대칭 S/D SOI 소자 구조에서 I_{ds_max} 가 현저하게 증가됨을 알 수 있다. 이러한 I_{ds_max} 의 차이는 소스쪽의 저농도로 도핑이 된 LDD 영역에서, 기생 저항성분의 증가로 인한 전류 감소로 보인다. 전류의 크기 차이는 약 23%정도 개선이 되었다. 그러나 항복전압은 거의 큰 차이가 없음을 알 수 있다.그러나 Thin-Film-비대칭 S/D SOI 소자 구조(Tsi 480Å)는 0.25 μm 이하로 내려가면서 항복 전압이 약간 더 낮아지는 특성을 보였다. 이것은 이미 깊게 공핍이 일어나 있기 때문이다. 일반적인 LDD SOI와 비대칭 S/D SOI 소자에 대한 문턱전압(Threshold Voltage)의 변화는 일반적인 SOI나 제한한 구조나 별로 차이는 없어보인다. 이것은 실제 유효 채널길이의 변화가 크게 차이나지 않기 때문이다. 그러나 Thin-Film-비대칭 S/D SOI(Tsi 480Å)에서는 낮은 문턱전압의 변화를 보였다. $I_{ds_leakage}$ 전류는 상대적으로 비대칭 SOI 소자에서 커지는 것으로 나타났는데, 이것은 생성된 정공이 기판에 누적이 되면서, 기존의 LDD 소스보다 상대적은 낮은 전위(Potential)을 가지고 있는 비대칭 SOI 소자에서 누설전류가 증가하고 있다. 이러한 단점을 극복하기 위해 기존의 SOI 소자에서는 Trap Level을 형성하여 정공 charge가 빨리 소멸되도록 Trap level을 구성하는 방법등이 있다. 그림 2의 I_{d_max} 를 비교해 보면 실제 On-Current가 현저하게 차이가 남을 알 수 있다. 일반적인 LDD SOI와 비대칭 S/D SOI 소자에 대한 문턱전압(Threshold Voltage)의 변화는 일반적인 SOI나 제한한 구조나 별로 차이는 없어보인다. 이것은 실제 유효 채널길이의 변화가 크게 차이나지 않기 때문이다. 그러나 Thin-Film-비대칭 S/D SOI(Tsi 480Å)에서는 낮은 문턱전압의 변화를 보였다. $I_{ds_leakage}$ 전류는 상대적으로 비대칭 SOI 소자에서 커지는 것으로 나타났는데, 이것은 실제 유효 채널길이의 변화가 크게 차이나지 않기 때문이다. $I_{ds_leakage}$ 전류는 상대적으로 비대칭 SOI 소자에서 커지는 것으로 나타났는데, 이것은 생성된 정공이 기판에 누적이 되면서, 기존의 LDD 소스보다 상대적은 낮은 전위(Potential)을 가지고 있는 비대칭 SOI 소자에서 누설전류가 증가하고 있다. 이러한 누설전류를 줄여주기위해 소스쪽에 낮은 Trap 레벨을 형성하여, 정공이 빠르게 재결합하여 소멸되도록 하는 공정이 최근 연구에 소개 되고 있다.



(a) 일반 LDD SOI 소자 (b) 비대칭 S/D SOI 소자
 그림 2. $I_{ds}-V_{ds}$ 특성 (Channel Length 0.35 μm)
 Fig. 2. $I_{ds}-V_{ds}$ Characteristic(Channel Length 0.35 μm)

3.결 론

비대칭 S/D SOI 소자의 최적화된 공정 조건을 찾기위해 관련 공정 파라미터와 원하는 Target값과의 상관관계를 알아볼 수 있는, Regression 모델을 도입하였다. 그로 인하여 내가 원하는 Target값에 맞게 공정 변수를 조정할수 있었다. LDD 구조를 이용하여, 소자를 구현하면 항복전압은 개선할수 있으나, LDD구조는 상대적으로 저항이 커지게 되므로 On -Current가 낮아지는 원인이 되었다. 특히 소스쪽의 저항에 의해 전류값이 큰차이를 보였다. 그러므로 드레인만 선택적으로 LDD를 구성함으로써 On-current를 증가시키고, 항복전압은 기존 SOI 소자와 거의 비슷한 결과를 얻었다. 그러나 소스의 고농도와 기판의 저농도가 접하게 됨으로 인하여 기존 LDD SOI 소자보다 Potential 이 낮아져서 누설전류가 좀더 증가하는 현상을 보였다. 기판의 정공 Charge를 줄여주기위한 대책이 있어야 할것으로 판단이 된다.

(참고 문헌)

- [1] Tadahiko Horiuchi et al., "An Asymmetric Sidewall Process for High Performance LDD MOSFET's", IEEE Transactions on Electron Device, Vol., 41, No 2 pp. 186~189, 1994
- [2] Neal kistler et al., "Detailed Characterization and Analysis ofthe Breakdown Voltage in Fully Depleted SOI n-MOSFET's", IEEE Transactions on Electron Device, Vol., 41 No 7, pp. 1217~1221, 1994
- [3] Yasuo Yamaguchi et al., "Source-to-Drain Breakdown Voltage Improvement inUltrathin-Film SOI MOSFET's Using a Gate-Overlapped LDD Structure", IEEE Transactionson Electron Device., Vol 41, No 7 pp. 1222~1226, 1994