

대면적 고품질 TFT-LCD용 게이트 Driving에 관한 Simulation

정수신, 윤영준, 김태형, 최종선
 홍익대학교 전자전기공학부

Simulations of Gate Driving Schemes
 for Large Size, High Quality TFT-LCD

Soon-Shin Jung, Young-Jun Yun, Tae-Hyung Kim, Jong-Sun Choi
 School of Electronics and Electrical Engineering, Hongik Univ.

Abstract - In recent years, attempts have been made to greatly improve the display quality of active-matrix liquid crystal display devices, and many techniques have been proposed to solve such problems as gate delay, feed-through voltage and image sticking. Gate delay is one of the biggest limiting factors for large-screen-size, high-resolution thin-film transistor liquid crystal display (TFT/LCD) design. Many driving method proposed for TFT/LCD progress. Thus we developed gate driving signal generator. Since Pixel-Design Array Simulation Tool (PDAST) can simulate the gate, data and pixel voltages of a certain pixel on TFT array at any time and at any location on an array, the effect of the driving signals of gate lines on the pixel operations can be effectively analyzed.

1. 서 론

21세기 정보화 사회의 발전과 함께 각종 장치에서 발생되는 여러 가지 전기적인 정보를 시각정보로 변화시켜 인간에게 전달하는 디스플레이는 중요한 매체이다. 이런 면에서 TFT-LCD는 저소비전력, 저전압, 평판 등의 장점을 가지고 있다. TFT-LCD에 있어서 우수한 화질을 확보하기 위하여 낮은 off-전류와 높은 on-전류가 요구되고 화소의 누설전류에 의한 화소전압의 변동을 억제하기 위하여 보존용량을 형성하게 된다. 보존 용량의 형성에 따라 전단의 게이트선 혹은 다음 단의 게이트선 그리고 별도로 형성된 공통 전극선을 보존용량의 기준전극으로 사용하는 방법이 있다. 본 연구에서는 TFT-LCD의 게이트 라인과 데이터 라인 및 화소의 동작 특성을 연구하였다. 이 시뮬레이션은 PDAST로 수행되었는데 어떠한 Driving 방식이라도 화소에 걸리는 전압을 구할 수 있고 어레이의 어떤 위치, 어떤 시점에서든 게이트, 데이터 및 화소 전압을 정확하게 계산할 수 있다.

2. 본 론

2.1 게이트 배선의 충전 특성

게이트 구동라인의 주 기능은 게이트 용량을 충전하여 트랜지스터를 켜는 것이고, 데이터 구동 라인의 경우에는 TFT를 통해 화소용량을 축적하는 것이다. 게이트 구동라인과 데이터 구동라인은 분산(Distributed)된 저항과 용량을 가지고 있으므로, 이들은 여러 개의 집중된 미세 저항과 용량으로 구성된 회로들이 Cascade되어 있는 회로망으로 모델링 되어야 한다. Cascade된 π -network으로 게이트 구동라인과 데이터 구동라인을 모델링 할 수 있다. Cascade된 π -network의 라인 상의 한 점에서 의 전압을 나타내는 식은 미분 방정식을 풀어서 구할 수 있다. 게이트 라인 상의 전압 식과 전류 식을 나타낼 수 있는데 결과를 나타내면 다음과 같다.

충전시 :

$$v(x, t) = v_{gn} - \frac{4 \cdot \Delta v_{gcn}}{\pi} \sum_{n=0}^{\infty} \frac{1}{(2n+1)} \cdot \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \sin\left[\frac{(2n+1)\pi x}{2L_G}\right]$$

$$i(x, t) = -\frac{2 \cdot \Delta v_{gcn}}{rL_G} \sum_{n=0}^{\infty} \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \cos\left[\frac{(2n+1)\pi x}{2L_G}\right]$$

방전시 :

$$v(x, t) = v_{gf} - \frac{4 \cdot \Delta v_{goff}}{\pi} \sum_{n=0}^{\infty} \frac{1}{(2n+1)} \cdot \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \sin\left[\frac{(2n+1)\pi x}{2L_G}\right]$$

$$i(x, t) = \frac{2 \cdot \Delta v_{goff}}{rL_G} \sum_{n=0}^{\infty} \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \cos\left[\frac{(2n+1)\pi x}{2L_G}\right]$$

위의 식에서 r은 라인의 단위길이 당 저항이고 c는 단위길이 당 용량인데, TFT-LCD의 경우 r과 c를 한 화소 당 게이트 라인의 저항과 용량으로 하고 L_G를 게이트 라인에 연결된 화소의 수로 계산하면 된다. 이 경우 c는 게이트 라인과 칼라필터 상의 대응전극 사이 또는 데이터 라인과의 사이에 형성되는 용량이다.

가장 단순하게 게이트 구동신호, 곧 Pulse를 인가하지만 본 연구에서는 일반화된 즉 사용자가 원하는 신호를 넣어 그 특성을 계산 할 수 있게 하였다.

신호를 입력할 때 사용자는 최대 10개 범의의 신호 Level 변화를 입력할 수 있도록 하였다. 그래서 위의 식에 충전과 방전시의 식을 사용하여 화소에서 걸리는 게이트신호를 계산할 수 있게 되어 있다.

그리고 충·방전특성의 게이트 신호에서는 보존 용량이 전단의 게이트선 혹은 다음 단의 게이트 선에 연결 되어 있으므로 게이트 신호의 식은 위와 같지만 게이트 신호에서의 위치가 전단이라면 L_G에서 1을 빼 값 그리고 다음 단위라면 L_G에서 1을 더한 값으로 나타낼 수 있다.

몇 가지 예를 통해 처음의 10번째 화소와 1920번째에서 걸리는 화소의 전압을 비교하였다. 그림 1에서는 -5V, 20V -5V, 3V로 변함에 따라 나타나는 게이트 전압의 특성을 시뮬레이션 한 결과이다. 그림 2에서는 저항률이 변함에 따라 나타나는 게이트 전압의 한 예를 나타내었다. 그래서 PDAST를 통해 임의의 게이트 신호가 입력 되었을 때 어떤 위치의 화소에서라도 게이트 신호를 확인할 수 있었다.

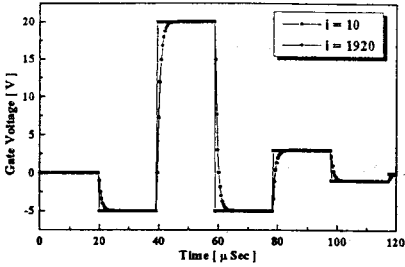


그림 1. 화소에 걸리는 게이트 신호의 한 예

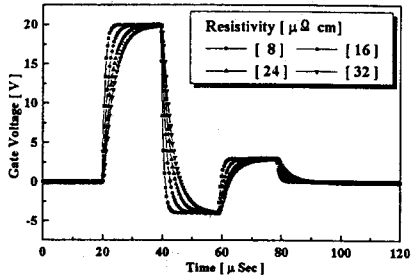


그림 2. 저항률이 변함에 따라 화소에 걸리는 게이트 신호의 한 예

2.1.1 화소의 충·방전 특성

드레인 전류는 $i_D = dQ_P/dt$ 이며, 화소에 축적된 총 전하량은 아래와 같다.

$$Q_P(t) = C_{GS} \cdot [v_P(t) - v_G(t)] + C_{ST} \cdot [v_P(t) - V_{ST}] + C_{LC} \cdot [v_P(t) - V_{COM}]$$

여기서 $v_P(t)$ 는 화소전극 전압, $v_G(t)$ 는 게이트전압, V_{ST} 는 부가용량의 대응전극의 전압이며 V_{COM} 은 화소전극의 대응전극 전압이다. 이전까지는 보조 또는 부가용량의 연결이나 구동 방법에 따라 V_{ST} 와 V_{COM} 이 시간에 대한 변화도 고려되지 않았지만 여기서는 다음단에 보조 용량이 연결되어 V_{ST} 성분을 고려했다.

선형영역, 포화영역 및 off영역에서의 TFT 출력특성은 각각 다음과 같다.¹⁾

선형 : $(v_G(t) > v_D(t) + V_{th})$

$$i_D = \beta_0 \cdot \{ [v_G(t) - V_{th} - v_P(t)] \cdot [v_D(t) - v_P(t)] - [v_D(t) - v_P(t)]^2 / 2 \}$$

포화 : $(v_G(t) \leq v_D(t) + V_{th})$

$$i_D = (\beta_0 / 2) \cdot [v_G(t) - V_{th} - v_P(t)]^2$$

Off : $(v_G(t) < V_{th})$

$$i_D = I_{off}$$

여기서 $\beta_0 = \mu_n \cdot C_{ox} \cdot (W_{CH} / L_{CH})$ 이다. $i_D = dQ_P/dt$

로부터 아래 방정식들이 얻어지고,

선형 :

$$\frac{dv_P(t)}{dt} = \frac{1}{2} \frac{\beta_0}{C_{PX}} \{ [v_G(t) - V_{th} - v_P(t)]^2 - [v_G(t) - V_{th} - v_D(t)]^2 \} + \frac{C_{GS}}{C_{PX}} \frac{dv_G(t)}{dt} + \frac{C_{ST}}{C_{PX}} \frac{dv_S(t)}{dt}$$

포화 :

$$\frac{dv_P(t)}{dt} = \frac{1}{2} \frac{\beta_0}{C_{PX}} [v_G(t) - V_{th} - v_P(t)]^2 + \frac{C_{GS}}{C_{PX}} \frac{dv_G(t)}{dt} + \frac{C_{ST}}{C_{PX}} \frac{dv_S(t)}{dt}$$

Off :

$$\frac{dv_P(t)}{dt} = \frac{I_{off}}{C_{PX}} + \frac{C_{GS}}{C_{PX}} \frac{dv_G(t)}{dt} + \frac{C_{ST}}{C_{PX}} \frac{dv_S(t)}{dt}$$

이전까지 고려 되지 않았던 $\frac{C_{ST}}{C_{PX}} \frac{dv_S(t)}{dt}$ 성분을 고려하여 V_{ST} 의 시간에 대한 변화도 고려되어 나타내었다.

$v_P(t)$ 의 변화가 지수 함수적이라면 다음과 같이 나타낼 수 있으므로

$$\frac{dv_P(t)}{dt} \approx \frac{v_P(t) \cdot \text{Ln} \left[\frac{v_P(t)}{v_P(t - \Delta t)} \right]}{\Delta t}$$

Δt 를 아주 미세하게 정하고 뉴턴 축차법으로 $v_P(t)$ 를 구할 수 있다. 위의 식들에 포함된 $v_G(t)$ 와 $v_D(t)$ 는 어레이의 어떤 지점, 어떤 시간에도 계산할 수가 있으므로 상수로 취급할 수가 있다. 관련 방정식을 수치 해석적으로 풀어서 $v_P(t)$ 를 구하기 위해 필요한 $v_P(t)$ 의 초기 값은 앞선 시간 $(t - \Delta t)$ 에서의 화소 전압 값을 사용하면 10회 이내의 축차(iteration)로 근을 구할 수 있다.²⁾

앞에서 논의된 것처럼 보조용량의 형성에 따라 보존용량의 형성에 따라 전단³⁻⁴⁾ 혹은 다음단 그리고 별도로 형성된 공통 전극선을 보존용량의 기준전극으로 사용하는 방법이 있지만 여기서는 전단의 게이트 전극에 연결된 예로 시뮬레이션 하였다. TFT-LCD의 화소는 그림 3과 같이 등가회로를 구성할 수 있는데 액정용량(C_{LC}), 축적용량(C_{ST}) 그리고 기생용량(C_{GS}) 등을 가진 등가회로로 나타낼 수 있다.⁵⁻⁶⁾ 시뮬레이션에 사용되어진 주요 파라메타의 종류와 그 값은 표 1에서와 같이 보여주고 있다. 15인치 XGA급(1024×768) TFT-LCD를 기준으로 하여 $0.5 \text{ cm}^2/\text{V} \cdot \text{s}$ 의 전계 효과 이동도와 채널의 폭/길이가 $25/5 \mu\text{m}$ 인 TFT를 가지고, 화소의 용량성분과 기생용량 성분들을 설계 기준에 맞게 추출한 값을 가지고 시뮬레이션 하였다.

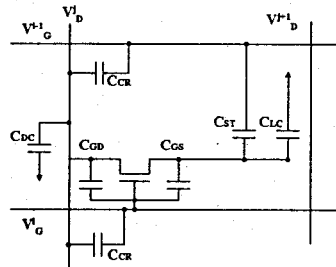


그림 3. 공통전극이 전단에 연결된 한 화소의 등가회로

파라메타	물리적 의미	값
Size/Resolution	화면크기/해상도	15inch/XGA
W/L	채널 폭/길이	25/5 μm
μFE	전계효과이동도	0.5 cm ² /vs
Tox	이중산화막 두께	5000 Å
Cpx	화소용량	0.848 × 10 ⁻¹² F
Cgs	기생용량	0.02204 × 10 ⁻¹² F
Vsh-Vsl	데이터 전압의크기	0-10 (V)
Vth	문턱 전압	3.5 (V)

표 1. 본 연구에서 시뮬레이션된 파라메타

위에서 보여준 게이트 전압의 특성처럼 화소에 걸리는 전압의 특성을 시뮬레이션 해 보았다. 공통전극이 전단에 연결되어 있어서 전단의 게이트 신호의 시간만큼 화소에 걸리는 게이트 전압이 지연되는 특성을 보인다. 여기에서도 사용된 전압은 사용자가 10가지의 변화를 통해서 선택되어 될 수 있고 시간의 폭도 사용자가 선택될 수 있게 개발되어 있다. 그래서 다음의 그림처럼 화소에 걸리는 전단의 게이트 전압, 현재단의 게이트 전압이 입력되었을 때 화소의 특성을 어떠한 게이트 신호의 입력이 들어와도 시뮬레이션될 수 있게 되어 있다.

여러 가지 방법으로 결과를 확인 할 수 있지만 PDAST의 검증용 위해서 이전에 시뮬레이션된³⁾ 게이트 라인과 데이터라인 그리고 화소에 걸리는 전압을 시뮬레이션한 결과를 나타내었는데 발표된 결과와 동일함을 얻어 신뢰성을 확인할 수 있었다(그림4,5). 그리고 그림6과 그림 7에서는 다른 한예를 보였다. 여기서 30 μ Sec에는 화소에 걸리는 전압이 전단의 게이트와 현재단의 게이트와의 충·방전 특성 때문에 약간의 distortion이 생기는 것을 확인할 수 있었다.

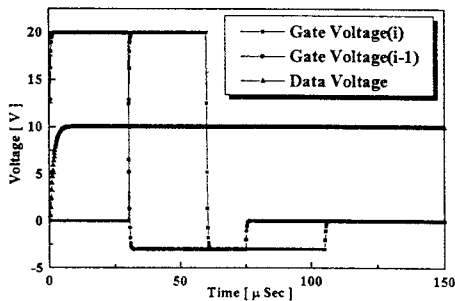


그림 4. 화소에 걸리는 게이트전압과 데이터 전압의 한 예(IBM³⁾)

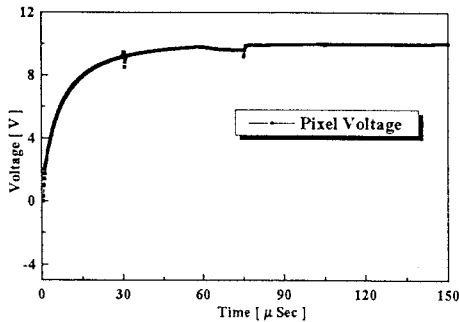


그림 5. 그림 5와 같이 게이트, 데이터 전압이 걸렸을 때 화소의 출력 특성(IBM³⁾)

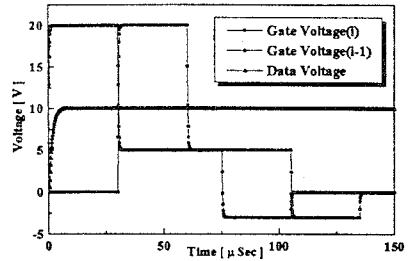


그림 6. 화소에 걸리는 게이트전압과 데이터 전압의 한 예

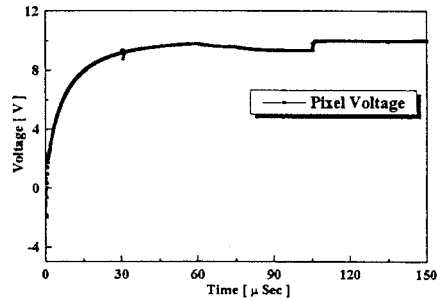


그림 7. 그림 7의 게이트, 데이터 전압이 걸렸을 때 화소의 출력 특성

3. 결 론

본 논문에서는 화소-설계 어레이 시뮬레이션 도구인 PDAST를 이용하여 시뮬레이션 된 결과를 나타내어 보았다. 화소에 걸리는 Feed-through 전압을 감소시키기 위해 게이트 입력을 여러 가지 방법으로 사용하는데 simulator를 통해 이제 간단하게 사용자가 원하는 게이트 입력을 받아 화소에 나타나는 특성을 쉽게 알 수 있었다. 그리고 이전에 발표된 방법으로 신뢰성을 확인할 수 있었다. 이제는 어떠한 신호의 게이트 입력이 있어도 화소의 어떤 위치, 어떤 시점에서도 게이트, 데이터, 화소에 걸리는 전압을 쉽게 구할 수 있고 것이다.

본 논문은 통상산업부와 과학기술처에서 시행한 선도기술개발(G-7)사업의 지원으로 수행되었음

[참 고 문 헌]

- [1] K. Susuki, Pixel Design of TFT/LCDs for High-Q Images, SID92, 39~42, 1992.
- [2] Ward Cheney and David Kincaid, Numerical Math and Computing 93~97, 1995
- [3] K. Kusafuka, Driving method for gate-Compensation of TFT/LCD, IBM. J RES. De Vol.42 NO. 3/4, 1998
- [4] K. Suzuki, Compensative Addressing for Swi Distortion in a-Si TFT/LCD, Euro Display, 111, 1
- [5] Y.Oana, Non-Crystal. Solids, Vol.115, 27, 1989.
- [6] R.L.Wisnieff, International Display Research Conference, Vol.29, 2, 1988.