

고에너지 이온주입에 따른 격자 결함 발생 및 거동에 관한 열처리 최적화방안에 관한 연구

송영두^a, 객계달^a
^a한양대학교 전자공학과

A study of electrical characteristic of MOSFET device

Young-doo Song, Kae-dal Kwack^a
^aHanyang University.

Abstract - 고에너지 이온주입(1)에 기인한 격자 손상 발생 및 열처리에 따라 이들의 회복이 어느정도 가능한 지에 대하여 측정 및 분석방법을 통하여 조사하였다. 그리고 본 실험에서는 이온주입시 형성되는 빈자리 결함(Vacancy defect)과 격자간 결함(interstitial defect)의 재결합(recombination)을 이용 점결함(point defect)을 감소 시킬수 있는 effective RTA조건을 설정하여 well 특성을 개선하고자 하였다. 8inch p-type Si(100)기판에 pad oxide 100A를 형성한 후 NMOS 형성하기 위해 vtn~p-well과 PMOS 형성을 위해 vtp~n-well을 이온주입 하였다. Mev damage anneal은 RTA(2)(Rapid Thermal Anneal)로 1000~1150C 온도에서 15~60초간 spilt하여 실험후 suprem-4 simulation data를 이용하여 실제 SIMS측정 분석결과를 비교 하였으며 이온주입에 의해 발생된 격자손상이 열처리후 damage 정도를 알아 보기 위해 T.W(Therma-Wave)을 이용하였으며 열처리후 면저항값은 4-point probe를 사용하였다. 이온주입후 열처리 전,후에 따른 불순물 분포를 SIMS(Secondary Ion Mass Spectrometry)를 이용하여 살펴 보았다. SIMS 결과로는 열처리 온도 및 시간의 증가에 따라서 dopant확산 및 활성화는 큰차이는 보이지 않고 오히려 감소하는 경향을 볼수 있으며 또한 접합깊이와 농도가 약간 낮아지는 것을 볼수 있었다. 결점(defect)을 감소시키기 위해서 diffusivity가 빠른 일계온도영역(1150 °C-60sec)에서 RTA를 실시하여 dopant확산을 억제하고 점결점(point defect)의 재결합(recombination)을 이용하여 전위(dislocation)밀도를 감소시켜 이온주입 Damage 및 면저항을 감소 시켰다. 이와 같은 특성을 process simulation(3)(silvaco)을 통하여 비교검토 하였다.

1. 서 론

Ion implantation에 따른 격자간 결함(interstitial defect)과 빈자리 결함(vacancy defect)를 줄이기 위해 RTA(Rapid Thermal Anneal)공정을 이용하여 소자의 전기적인 특성을 분석하였다. 채널 길이(channel length) 0.35μm MOSFET 소자에서 ion implantation 이후 RTA공정조건을 달리하였을 때, 문턱전압(Vt)의 변화율과 포화 드레인 전류(Idsat)의 변화율, 항복전압(Breakdown Voltage)의 변화율을 분석하여 최적화된 RTA 공정을 실험 data와 simulation data를 이용하여 분석하였다.

2. 본 론

2.1 소자구현(일반 LDD MOSFET)

Channel length 0.35 μm의 nMOSFET과 pMOSFET 소자 구현을 위한 공정조건은 다음과 같다.

표 1 소자구현을 위한 공정조건

	nMOSFET	pMOSFET
body	wafer(100) boron $1 \times 10^{15} \text{cm}^{-3}$	wafer(100) boron $1 \times 10^{15} \text{cm}^{-3}$
epitaxy	thickness: $6.5 \mu\text{m}$ phosphorus $1 \times 10^{15} \text{cm}^{-3}$	thickness: $6.5 \mu\text{m}$ phosphorus $1 \times 10^{15} \text{cm}^{-3}$
well	boron, dose = $5 \times 10^{10} \text{cm}^{-2}$ energy = 500keV	phosphorus dose = $4 \times 10^{10} \text{cm}^{-2}$ energy = 500keV
Vt(adjust)	boron dose = $2.7 \times 10^{12} \text{cm}^{-2}$ energy = 20keV	phosphorus dose = $4 \times 10^{12} \text{cm}^{-2}$ energy = 50keV
Tox	72A	72A
LDD	phosphorus $4 \times 10^{13} \text{cm}^{-2}$ (40keV) As 1×10^{14} (80keV)	BF2 3.5×10^{13} energy = 20keV
Source, Drain	phosphorus $4 \times 10^{14} \text{cm}^{-2}$ (50keV) As 3×10^{15} (20keV)	boron $2 \times 10^{15} \text{cm}^{-2}$ (20keV)

2.2 실험방법

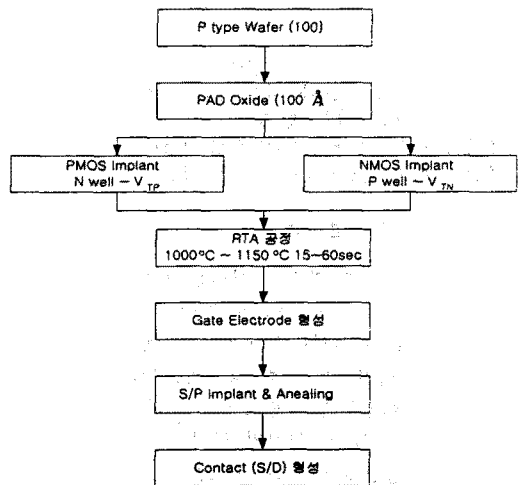


그림 1 실험 절차

8inch p-type Si(100) 기판에 pad oxide를 100A 형성한후 nMOS를 형성하기 위해 VTn~pwell을 각각 이온주입하였고 pMOSFET를 형성하기 위해 Vtp~nwell 이온주입을 하였다. 이온주입 후 생기는

implant damage를 줄이기 위해 RTA(Rapid Thermal Anneal)공정을 이용하였는데 온도는 1000~1150 °C로 변화를 시키고 시간은 15~60초 동안 split하여 실험을 하였고, 같은 조건으로 TCAD tool(silvaco)를 이용하여 비교 검증하였다.

2.3 실험결과

RTA를 거쳤을 때의 문턱전압의 변화 실험결과와 다음의 표2(NMOSFET)와 표3(PMOSFET의 경우)에 나타내었다.

표2 nMOSFET에서 RTA공정을 했을 때 V_{tn} 변화

RTA 조건	V_{tn} (volts)
1000° C - 15sec	0.65
1100° C - 15sec	0.64
1150° C - 15sec	0.65
1150° C - 30sec	0.63
1150° C - 60sec	0.62

표3 PMOSFET에서 RTA공정을 거쳤을 때 V_{tp} 의 변화

RTA 조건	V_{tp} (volts)
1000° C - 15sec	0.61
1100° C - 15sec	0.60
1150° C - 15sec	0.59
1150° C - 30sec	0.57
1150° C - 60sec	0.57

위의 표와 같이 열처리 온도가 증가함에 따라 점결함(point defect)과 전위환(dislocation loop)이 형성되어 V_t 가 증가하는 특성을 보인다. 그리고 확산계수가 높은 임계온도 영역인 1150 °C- 60sec에서 전위(dislocation)밀도가 감소하면서 V_t 가 다시 감소하는 특성을 보이고 있다. simulation결과에서는 RTA의 온도와 시간이 증가함에 따라 V_t 가 감소하는 특성을 보였다. 이것은 온도와 시간이 증가함으로 인해 defect이 감소함으로 인해 Inversion charge가 trap될 확률이 줄어들기 때문이다. 포화전류(I_{DSN}, I_{DSP})의 경우 1150 °C-30sec에서 최대 전류특성이 측정되었다. 이것은 이조건에서 면저항이 감소하여 포화전류가 최대가 되는 것으로 생각된다. simulation결과에서도 온도와 시간이 증가함에 따라 defect density가 감소하여 면저항이 계속 줄어들고 있는 특성이 나타났다.(표4.5참조)

표4 여러 가지 RTA조건에 따른 I_{DSN} 의 변화(NMOS)

RTA 조건	I_{DSN}
1000 °C - 15sec	547
1100 °C - 15sec	549
1150 °C - 15sec	537
1150 °C - 30sec	560
1150 °C - 60sec	548

표5 여러 가지 RTA조건에 따른 I_{DSP} 의 변화(PMOS)

RTA 조건	I_{DSP}
1000 °C - 15sec	224
1100 °C - 15sec	232
1150 °C - 15sec	233
1150 °C - 30sec	241
1150 °C - 60sec	231

다음의 표6은 이온주입후 RTA조건 1000~1150° C 15~60sec까지 split하여 열처리후 damage를 T.W 측정된 값을 보이고 있다. T.W(Thema-Wave)값은 n,p-well 모두 1150 °C-60sec에서 170과 141로 급격한 감소를 보이고 있다. 표6의 결과로 볼 때 damage 정도를 나타내는 T.W값이 가장 낮고 면저항 값이 감소하는 경향을 보이는 1150 °C-60sec에서 열처리를 통해 누설전류를 줄일수 있음을 알수 있다.

표6 여러 RTA조건에 따른 T.W측정값

n-well	T.W	p-well	T.W
1000(15)	192	1000(15)	848
1000(60)	181	1000(60)	860
1050(15)	237	1050(15)	857
1050(60)	207	1050(60)	854
1100(15)	230	1100(15)	854
1100(60)	262	1100(60)	848
1150(15)	223	1150(15)	850
1150(60)	170	1150(60)	844

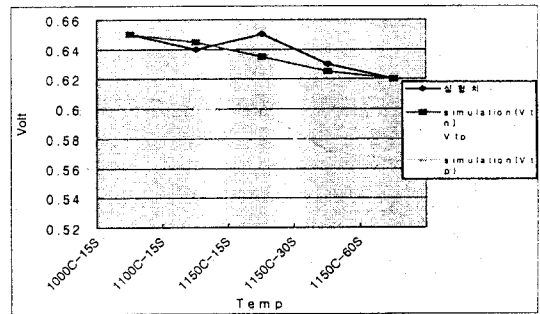


그림2 표2,3 실험값과 simulation값과의 비교 (RTA조건에 따른 문턱전압의 변화)

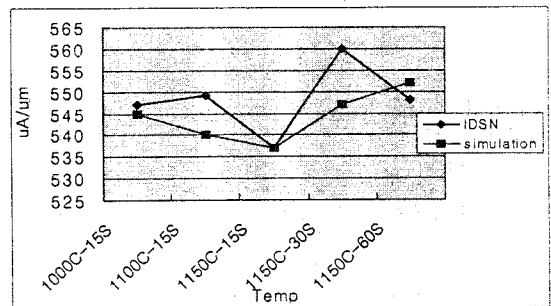


그림3 simulation값과의 비교 (드레인포화전류, n형)

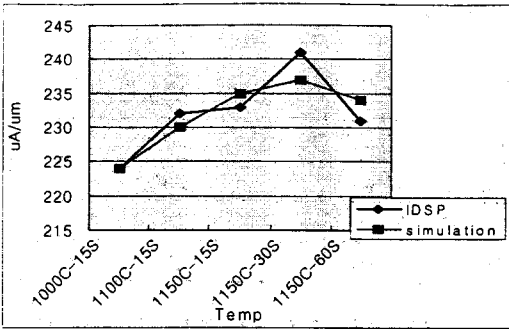


그림4 실험값과 simulation값과의 비교
(드레인 포화전류, p형)

표7 RTA조건에 따른 다이오드 누설전류의 변화

RTA조건	Diode leakage current(nMOS) (LgA/um)
1000 °C-15sec	7.11
1100 °C-15sec	7.08
1150 °C-15sec	7.07
1150 °C-30sec	7.08
1150 °C-60sec	7.04

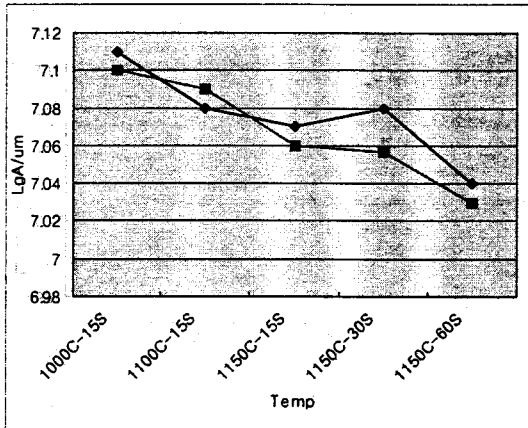


그림5 simulation값과의 비교
(다이오드 누설전류PMOS)

3. 결 론

n,p-well 이온주입후 Mev damage anneal은 T.W Rs결과를 보면 1150C-60sec에서 좋은 결과를 찾을수 있었다. Vt값은 열처리가 증가함에 따라 nMOS의 경우 0.77~0.73, pMOS의 경우 -0.67~-0.62V로 nMOS, pMOS 모두 낮은 값의 경향이 보인다. Idsat의 경우 열처리가 증가하면서 nMOS, pMOS 모두 높아지는 경향을 가진다. 이는 gate oxide 가 얇아지면서 channel doping농도가 낮아지므로 작은 Vt값을 갖고 S/D영역의 doping농도가 높아져서 외부 저항 성분이 작아지기 때문에 높아지는 안정된 값을 보인다.

Diode Leakage Current특성은 nMOS, pMOS모두

에 있어서 열처리 증가에 따라 off-state leakage current의 약간씩 증가하는 경향을 보이며 pMOS의 경우에는 1150C, 60s에서 -5.49(Lg A/um)로 단채널 효과를 보이고 있다.

[참 고 문 헌]

[1] K. Tsukamoto, S.Komori, T. Kuroi and Y.Akasaka, "High-energy ion implantation for ULSI," Nuclear Instrumenta and Methods in Physics Research, B59/60, 584, 1991

[2] T.E. Seidel et al, "Rapid Thermal Annealing(RTA) of Dopants Implanted into Pre-Amorphized Silicon," in VLSI Science and Technology, 1984, Electrochem.Soc, Pennington, N.J.

[3] "ATLAS user's manual" November 1998-silvaco internation