

질소 주입에 따른 게이트 산화막의 특성에 미치는 영향

정승주, 박계달
한양대학교 전자공학과

Effect of Nitrogen Implantation on characteristics of gate oxide

Seoung-ju Chung, Gae-dal Kwack
Dept. of Electronic Engineering, HanYang University, Seoul 133-791, Korea

Abstract - 게이트 산화막의 breakdown 전압을 나추기 위해 질소 주입을 하는 과정은 실리콘층에 패드 산화막을 성장시킨 후 실리콘과 패드 산화막 층사이에 질소 이온을 주입하였다. 이온 주입 후 패드 산화막 층을 제거하고 그 위에 게이트 산화막 층을 성장시키는 방법을 사용하였다. 이러한 방법을 질소 이온의 농도를 변화시키면서 여러번 반복하였다. 그래서 질소 이온 농도의 변화에 따른 게이트 산화막 두께의 변화를 측정하였다. 그 결과 질소 농도에 따른 게이트 산화막 성장비율을 알아 보았다. 그리고 질소 농도의 변화에 따른 Breakdown 전압과 누설 전류의 변화를 측정하였다. 또한 앞에서 말한 질소 주입 공정이 들어가면서 추가적으로 발생하는 과정에 대해 고찰하였다.

bare wafer(이온 주입이 되지 않은 상태의 wafer)에 질소를 이온주입한 후 활성화 어닐링을 하면 질소 이온이 실제로 활성화가 되지 않고 bare wafer의 Rs값과 거의 유사하다. 이는 분명 가장 일반적인 이온주입 이온들(B, P, As)과는 전혀 다른 성질을 가지고 있음을 알 수 있다.

1. 서 론

요즘 가장 많이 사용하는 디바이스 중의 하나가 MOS 디바이스이다. 최근에는 MOS의 크기가 점점 작아지고 있다. MOS의 크기가 작아짐에 따라 게이트 산화막의 두께도 줄어들고 있다. 하지만, 실질적으로 게이트 산화막의 두께가 50Å 이하로 줄어들게 되면 실질적으로 게이트 Breakdown 전압이 낮아지게 된다. [1] 그리고 누설 전류 또한 많이 흐르게 되어 실질적으로 게이트로 실리콘을 그냥 사용할 수 없게 되었다. 이러한 문제점을 해결하기 위해 NOX라는 질소 산화막이라는 것을 많이 재 사용하고 있다. [2][3] 이러한 NOX를 만드는 방법으로 크게 두가지 나눌 수 있는데, 첫 번째 방법으로 실리콘 기판층 위에 질소층을 생성하고 그 위에 산화막층을 생성시키는 방법과 실리콘 기판에 질소를 주입해서 질소층과 비슷한 층을 생성한 후 그 위에 산화막을 생성하는 방법이 있다. [4][5] 본 논문에서 두 번째 방법인 실리콘 기판에 질소를 주입하는 방법을 채택했다. 본 논문에서는 우선 질소의 농도에 따른 게이트 산화막의 두께 성장비율을 고찰하였다. 그리고 열처리 과정과 산화막 제거 과정의 관계를 고찰하였고 전체적인 질소 주입 공정을 질소 dose량에 따라 정리해 보았다.

2. 본 론

2.1 실험 방법

질소 이온 주입을 하기 전에 패드 산화막을 실리콘 기판 위에 성장시켰다. 이렇게 하는 이유는 질소 주입 때문에 발생하는 damage를 최소화하기 위해 성장시킨다. 이 때 패드 산화막의 두께에 따라 주입의 세기와 농도가 바뀔 것이다. 그리고 패드 산화막도 상황에 따라 두께를 조정하여 실험을 할 것이다. 이렇게 패드 산화막을 성장시킨후 질소 이온 주입을 한 후 패드 산화막을 제거하고 다시 게이트 산화막을 성장시켰다.

2.2 실험 결과

처음으로 우리가 실험한 것은 질소 이온 주입을 했을 때 Rs(sheet resistance; 면저항)를 살펴보았다. 우선

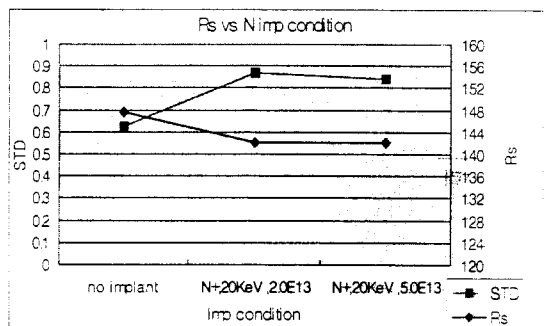


그림 1. Rs와 N implant condition의 관계.

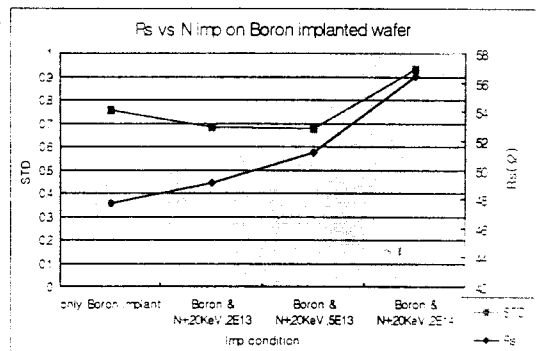


그림 2. Rs vs N imp on 붕소 implanted wafer.

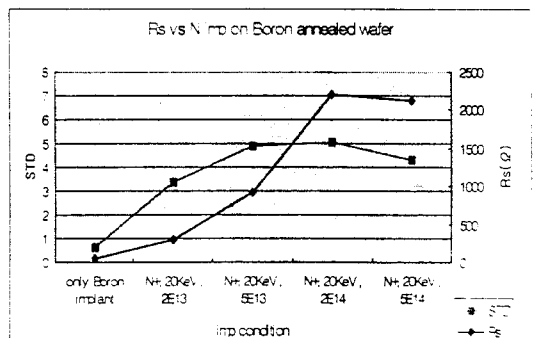


그림 3. Rs vs N imp on 붕소 annealed wafer.

그 다음에는 붕소를 이온 주입한 후 질소 이온 주입하는 실험을 하였는데 이 때 spike 어닐링 과정을 질소 이온 주입 과정 앞에 하느냐, 뒤에 하느냐에 따른 Rs값을 측정하였다. 그 결과 그림 3, 4에서 보는 것과 같아 나왔다. 먼저 spike 어닐링을 질소 이온 주입 전에 할 경우 질소 dose 량이 증가함에 따라 붕소의 Rs값이 증가하는 것을 볼 수 있다. 이것은 질소 이온 자체가 분명 붕소 확산의 장벽역할을 하기 때문이다. 그리고 두 번째 경우, 즉 spike 어닐링을 질소 이온 주입을 한 후 할 경우 활성화되어있던 붕소가 질소의 영향을 심하게 받아서 격자손상이 심하고 움직임에 크게 영향을 받아 Rs값의 차이가 커진 것으로 보인다.

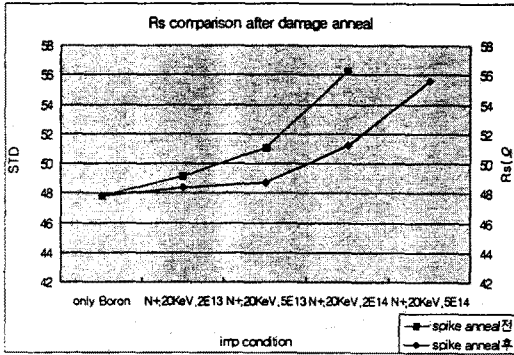
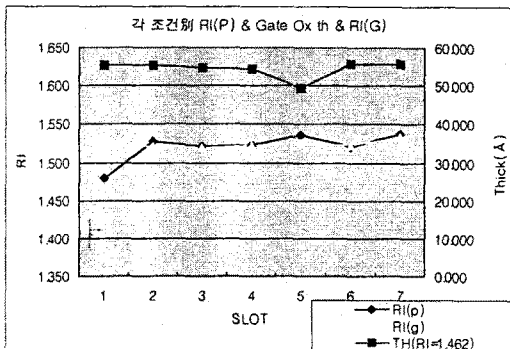


그림 4. damage 어닐링후 Rs의 비교.

다음 그림 4는 위의 실험의 결과를 비교한 것이다. 여기서 spike 어닐링전 (spike 어닐링전에 질소 이온 주입하는 경우)의 Rs값과 spike 어닐링후 (spike 어닐링후 질소 이온 주입하는 경우)의 Rs값이 이온주입조건별로 볼 때 거의 유사하다. 이는 spike 어닐링을 실제 공정상에서 damage 어닐링로 보고 여기서의 damage 어닐링을 실제 공정상에서 산화막 생성 과정과 비슷한 열공정으로 가정한다면 질소 이온 주입 단계가 spike 어닐링전에 이온주입하게 되면 (실제 공정상에서는 damage 어닐링전을 의미함) 또 하나의 열공정의 영향을 더 받게 되므로 질소 이온 주입 단계는 실제 공정상에서 damage 어닐링후가 바람직하다고 본다.

다음은 질소 이온 주입 조건을 여러 가지로 바꾸어 보면서 게이트 산화막의 두께와 RI(refractive Index)를 측정하여 비교하여 보았다. 이 실험에서는 패드 산화막의 두께를 90Å로 하였다. 이렇게 패드 산화막을 성장시키면 그림 3에서와 같이 질소를 이온주입을 하면 질소의 Rp의 peak치가 SiO₂와 Si-기판 근처에 머물게 되



1 slot : pade ox → Vt ~ pwell → RTA(1000/15) → reference
 2 slot : " → " → RTA(") → Nit I/I → RTA(1000/15)
 3 slot : " → " → RTA(") → Nit I/I → RTA(1100/15)

4 slot : " → " → RTA(") → Nit I/I → RTA(1150/15)
 5 slot : pade ox → Vt ~ pwell → Nit I/I → RTA(1000/15)
 6 slot : pade ox → Vt ~ pwell → Nit I/I → RTA(1100/15)
 7 slot : pade ox → Vt ~ pwell → Nit I/I → RTA(1150/15)

그림 5. 각 조건별 RI(P), Gate Ox 두께, RI(G)

고 RTA(Rapid Thermal Anneal)를 거치면서 N의 Rp peak치가 SiO₂ film이 제거되므로 게이트 산화막 두께가 일반적인 조건과 차이가 없어진다. 그리고 글질물에 있어서도 게이트 산화막 성장진행 후 질소가 없는 경우와 차이가 없는 것으로 보아 산화막 제거하기 전에 최소한 1000°C에서 15초 동안 RTA과정을 1회 이상 진행하면 질소 dose 량이 거의 남아있지 않게 되어 문제가 된다. 그래서 패드 산화막의 두께를 50Å로 줄여서 다시 실험하였다. 그 결과 아래와 같이 나왔다.

표 1. 여러 조건에서의 어닐링 하기전과 후의 게이트 산화막의 두께와 RI의 비교

	어닐링 전		어닐링 후	
	두께(Å)	RI	두께(Å)	RI
1slot	49.617	1.4719	57.461	1.5065
2slot	53.020	1.5516	59.425	1.5522
3slot	52.247	1.5338	58.735	1.5403
4slot	52.919	1.5507	85.396	1.5127

1 slot : pad ox 50Å → Vt ~ pwell → RTA(1000/15) → Nit I/I → RTA(1150/15)
 2 slot : pad ox 50Å → Vt ~ pwell → Nit I/I → RTA(1150/15)
 3 slot : pad ox 50Å → Vt ~ pwell → RTA(1000/15)
 4 slot : pad ox 50Å → Vt ~ pwell → Nit I/I → RTA(1000/15)

위 모두 N은 10KeV로 5E14cm⁻²로 주입

1, 2 slot만을 비교하면 질소를 한 후 동일조건인 RTA를 진행한다고 할 때 질소 이온 주입전의 RTA는 크게 의미가 없다. 그리고 2, 4 slot을 비교하면 공정 조건을 감안한다고 할 때 RTA(1000°C/15sec)과정을 선택해야한다. 그래서 공정의 방향을 { Pad oxidation → Vt ~ p-well과정 → 질소 이온 주입 → RTA(1000/15) }로 결정하였다. 그리고 질소 dose 량

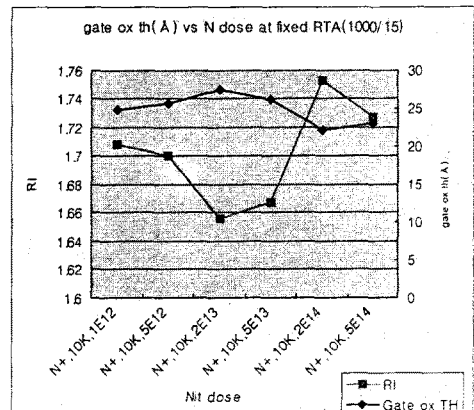


그림 5. N dose량과 RI, 게이트 산화막 두께의 관계.

을 변화시켰을 때 dose량이 $5 \times 10^{13} \text{cm}^{-2}$ 이상에서는 dose량이 증가함에 따라 게이트 산화막의 두께가 감소하고 RI가 증가하는 결과를 보인다. 질소 dose량이 10^{13}cm^{-2} 에서는 dose변화량에 대한 게이트 산화막 두께의 변화가 그리 민감하지 않다. 질소 이온이 10KeV로 $2 \times 10^{13} \text{cm}^{-2}$ 조건에서 게이트 산화막 두께가 27,545Å로서 최대치를 가진다. 이러한 최대치는 조건에 따라 달라질 것이다.

위와 같은 진행과정으로 RTA(1150°C/15sec)과정 전후의 게이트 산화막의 두께를 비교하였더니 아래의 그림6과 같이 나왔다.

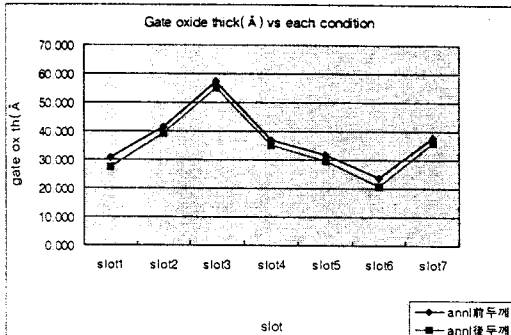


그림 6. 여러조건에서의 어닐링 하기전과 후의 게이트 산화막의 두께 비교.

3. 결 론

질소의 거동은 SIMS Profile등에서 정확히 확인할 수 있다고 판단되며 질소이온주입 후 게이트 산화막 두께와 RI값을 가지고 질소의 움직임을 100% 정확히 관찰하기는 어려우며 질소를 이온 주입하지 않은 참조 시료조차도 시점에 따라 RI값의 차이를 보여주어 RI값의 경향은 질소의 dose량이나 energy에 대해서는 볼 수 있지만 두께 자체가 변함에 따른 영향도 무시할 수 없다.

질소의 움직임은 Pad oxide내에 이온주입한 후 열처리를 하게 되면 질소가 기판쪽에서 산화막층으로 옮겨지지만 질소 주입후 산화막 제거후 열처리를 하게 되면 질소의 움직임이 상당히 더디게 되어 반드시 산화막 제거하기 전에 열처리가 추가되어야 한다.

N의 energy가 10KeV인 경우는 하기와 같이 단계가 요약될 수 있다.

① 패드 산화막(90Å) → $V_t \sim p_{well}$ → N(10KeV, $5E12$) → RTA(975/10) → 산화막 제거 → RTA(1000/15) → 게이트 산화막 생성

N의 energy가 7KeV인 경우는 하기와 같다.

② 패드 산화막(90Å) → $V_t \sim p_{well}$ → N(7KeV, $5E12$) → RTA(1000/5) → Oxide 제거 → RTA(1000/15) → 게이트 산화막 생성

①, ②의 경우 게이트 산화막 두께가 재현이 되지 않음으로 ①의 경우 1회:29 2회:56 & ②의 경우 1회:30 2회:49 질소의 거동이 열처리온도가 특정온도가 되면 갑작스럽게 질소가 산화막쪽으로 치밀어 올라오는 구역이 존재한다고 사료된다. 물론 재현성 확인을 한번 더 실시하여야 한다.

(참 고 문 헌)

- [1] S. Wolf, "Silicon Processing", p. 314, 1986
- [2] T. Ito, T. Nozaki, and H. Ishikawa, "Direct thermal nitridation of silicon oxide films in anhydrous ammonia gas", J. Electrochem. Soc. .

September, p. 2053, 1980

[3] M. L. Naiman et al., "Properties of their oxynitride gate dielectrics produced by thermal nitridation of silicon dioxide", Tech. Dig. IEDM, p. 562, 1980

[4] Chuan Lin, Anthony I. Chou, Prasenjit Choudhury, and Jack C. Lee, "Reliability of gate oxide grown on nitrogen-implanted Si substrates", American Institute of Physics, Letter 69, p. 3701, 1996

[5] J.O. Bark and S.W. Kim, "Formation of ultrathin gate oxides with low-dose Nitrogen Implantation into Si substrates", Electronics Letters, vol. 34, p. 1887, 1998