

Trench Gate 구조를 이용한 LDMOS의 항복전압 개선

김형우, 유승진, 정상구
아주대학교 전자공학부

Breakdown voltage improvement of LDMOS using Trench Gate structure

Hyoung-Woo Kim, Seung-Jin Yoo and Sang-Koo Chung
School of Electronics Engineering, Ajou University

Abstract - Trench-Gate structures are proposed to improve the breakdown voltage of LDMOS as well as the second breakdown under forward biased gate.

Two dimensional device simulator PISCES II has been used to explain the effects of the drift layer thickness on the breakdown voltage of the conventional LDMOS and Trench Gate LDMOS in terms of potential contour lines.

The Trench Gate structure has shown improvements in the breakdown voltage by about 44% and 84% for $V_G=0$ V and $V_G=15$ V respectively.

1. 서 론

LDMOS (Lateral Double diffused MOS) 는 다수 캐리어 소자로서 빠른 스위칭 응답, 높은 입력 임피던스를 갖는 대표적인 수평형 전력소자이다 [1]. 전력소자의 설계에 있어서 가장 중요한 요소가 항복전압과 on 저항이다 [2]. 드리프트 영역의 농도를 낮게 해주면 항복전압은 향상되지만 on 저항이 증가하고 반대로 드리프트 영역의 농도를 높이면 on 저항은 감소하지만 항복전압이 낮아지게 된다. 이와 같이 항복전압과 on 저항과는 trade-off 관계가 있으며 같은 항복전압에서 더 작은 on 저항을 갖도록 전력소자를 설계하는 것이 매우 중요하다.

본 논문에서는 LDMOS의 항복전압을 개선하기 위해 Trench Gate 구조를 사용하였으며, 드리프트 영역 층의 두께를 변화시켜가며 항복전압을 변화를 살펴보았다. 이차원 소자 시뮬레이터인 MEDICI[3] 를 사용하여 기존의 LDMOS와 Trench Gate LDMOS의 역방향 항복특성을 비교·검토하였으며, 순방향 항복특성에 대해서도 비교하였다.

2. 본 론

그림 1에 시뮬레이션에 사용된 소자의 단면도를 나타내었다. 그림 1.(a)는 일반적인 LDMOS이며 그림 1.(b)는 제안된 Trench Gate 구조이다. 표 1에 시뮬레이션을 통해 항복특성을 조사할 때, 시뮬레이션에 사용된 변수를 정리하였다.

항복전압을 알아보기 위해 source와 gate를 접지시키고, drain에 +전압을 증가시켰다. 드리프트 영역의 길이가 7 μ m이고 두께가 5 μ m일 때, 기존의 LDMOS의 항복전압은 58 V였다. Trench Gate LDMOS는 75 V로 대략 29 %정도 증가하였다. Trench Gate 구조의 경우 P-base/N-drift 접합에서의 공핍층과 N-drift/P-Sub 접합에서의 공핍층이 빨리 만나게 되어 P-base 곡률 접합 부분에서의 전계집중 현상을 완화시키고, Gate/Drain 간이 아닌 Source/Drain 사이에

표 1. 시뮬레이션에 사용된 변수

변수	값
드리프트 영역의 농도 (N_d)	1×10^{16} cm ⁻³
드리프트 영역의 두께 (t_d)	3~7 μ m
드리프트 영역의 길이 (L)	7 μ m
소오스, 드레인 접합 깊이 (X_j)	1 μ m
P-base 영역의 접합 깊이 (X_b)	3 μ m
P 기판의 농도 (N_A)	1×10^{15} cm ⁻³
Trench-Gate의 깊이 (X_G)	4 μ m

표면전계가 나타나게 되어 표면전계의 peak치가 Gate oxide가 아닌 field oxide부분에 나타나게 되므로 표면전계 성분중 y-field 성분을 완화시키게되어 항복전압이 높아지게 되는 것이다. 드리프트 영역의 두께가 5 μ m일 때 드레인에 동일한 전압을 가해준 경우 두 소자의 표면전계 및 등전위선 분포를 그림 2 와 그림 3에 나타내었다. 드레인에 30 V를 인가하였을 때 Trench Gate 구조의 경우 P-base/N-drift 접합에서의 공핍층이 N-drift/P-sub 접합에서의 공핍층과 닿아 있어서 표면전계의 y-field 성분을 줄여 주게되어 기존의 LDMOS에 비해 표면전계가 낮음을 알 수 있으며, 또한 Trench Gate LDMOS의 경우 등전위선이 P-기판 층까지 고르게 분포하고 있으나 기존의 LDMOS는 대부분의 등전위선이 드리프트 영역의 P-base주변에 분포하고 있음을 알 수 있다. 공핍층 또한 Trench Gate LDMOS가 기존의 LDMOS에 비해 P-기판 쪽으로 더 많이 들어가 있음을 볼 수 있다. 제안한 구조를 드리프트 영역의 두께를 3~7 μ m까지 변화시켜가며 시뮬레이션 했으며, 각 경우의 항복전압을 그림 4에 나타내었다. 그림 4에서 기존의 LDMOS 구조는 드리프트 영역의 두께에 관계 없이 항복전압이 일정한데, 기존의 LDMOS는 드리프트 영역의 두께가 변해도 전계의 peak치가 gate oxide 부분에 나타나기 때문이며, Trench Gate LDMOS의 경우 드리프트 영역의 두께가 5 μ m 이내에서는 표면전계의 peak 치가 source 부근의 field oxide 부분에 나타나기 때문에 기존의 LDMOS에 비해 높은 항복 전압을 나타냄을 알 수 있으나 $t_d > 5 \mu$ m 이상으로 증가할 경우에는 그림 5에 나타낸 것처럼 Trench Gate의 코너에 전계가 집중되기 때문에 항복 전압이 낮아지는 것을 볼 수 있다.

그림 6에 순방향시 Trench Gate LDMOS 및 기존 LDMOS의 전류-전압 특성을 나타내었다. 드리프트 영역의 농도를 1×10^{16} /cm³, 두께를 5 μ m, 길이를 7 μ m로

했을 때, Trench Gate LDMOS는 대략 94 V 정도에서 순방향 항복이 일어나지만 기존의 LDMOS에서는 51 V에서 일어남을 알 수 있다. 기존의 LDMOS의 경우 순방향 전압시 높은 전류로 인해 드리프트 영역에서 생긴 hole 전류성분의 대부분이 n+ source 하단을 지나게 되어 n+ source 하단의 높은 저항 성분으로 인해 순방향 항복이 일어나지만 Trench Gate LDMOS는 hole 전류성분중 일부가 source 전극으로 직접 들어감으로써 n+ source 하단의 저항 성분을 거처가는 hole 성분이 줄어들게 되어 순방향 항복 특성이 좋아지게 되는 이점이 있다.

따라서 Trench Gate 구조를 사용함으로써 역방향 항복전압 및 순방향 항복전압을 개선시킬 수 있음을 알 수 있다.

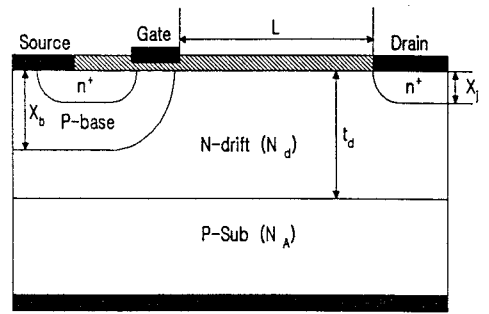
3. 결 론

본 논문에서는 Trench Gate 구조를 갖는 LDMOS를 제안하였고, 역방향 및 순방향 항복 전압을 기존의 LDMOS와 비교하였다. 제안된 구조는 드리프트 영역의 두께가 5 μm 일 때 기존의 LDMOS에 비해 역방향 항복 전압은 29 %, 순방향 항복전압은 84 % 정도 향상되었으며, 드리프트 영역의 길이가 3.4 μm 일 때에도 각각 44 % 및 40 %의 역방향 항복전압 증가를 나타내었다. 따라서 드리프트 영역의 두께가 5 μm 이내로 얇은 경우 Trench Gate LDMOS가 기존의 LDMOS에 비해 우수한 항복특성을 나타냄을 알 수 있다.

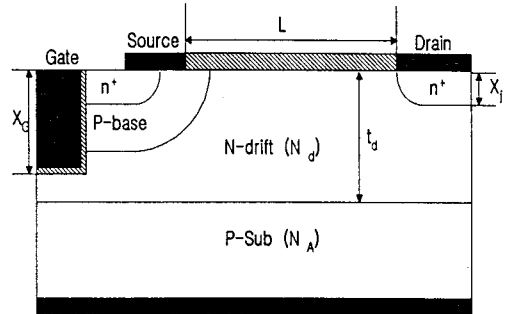
이 연구는 1998년도 정보통신 우수시범학교 지원사업에 의한 결과임

(참 고 문 헌)

- [1] B.Murari, F. Bertotti, and G. A. Vignola, *Smart Power IC's*, New York, springer, 1995.
- [2] M. Hoshi, et al., "Low on-resistance power LDMOSFET using double process technology," *IEDM Tech Dig.*, pp. 61-64, 1991.
- [3] MEDICI "Two-dimensional device simulation program," TMA User's Manual, 1996.

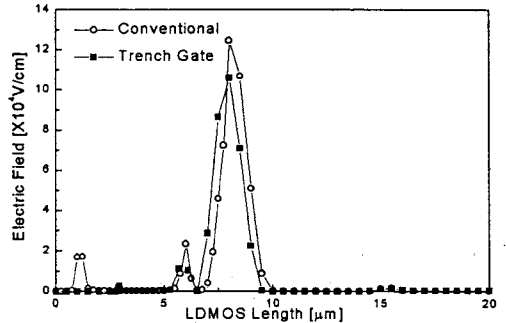


(a) Conventional LDMOS

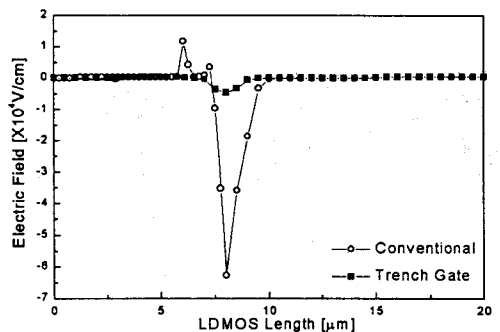


(b) Trench Gate LDMOS

그림 1. Device Structures

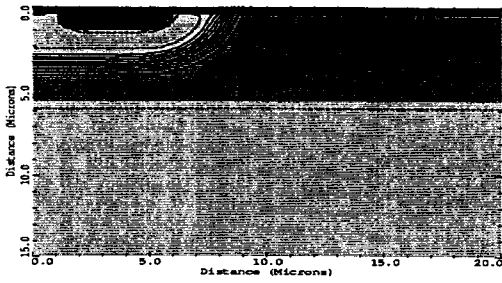


(a) Surface Electric Field - Total

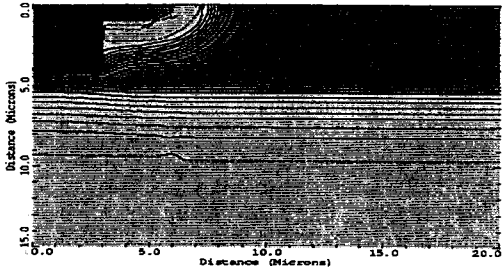


(b) Surface Electric Field - Y-comp

그림 2. Electric Field distribution at $V_D=30\text{ V}$



(a) Conventional LDMOS



(b) Trench Gate LDMOS

그림 3. Potential Contours at $V_D=30$ V

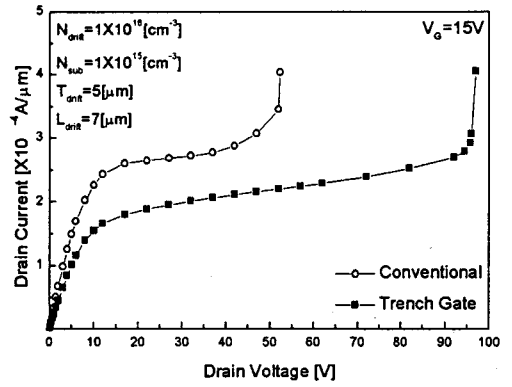


그림 6. 순방향 항복특성

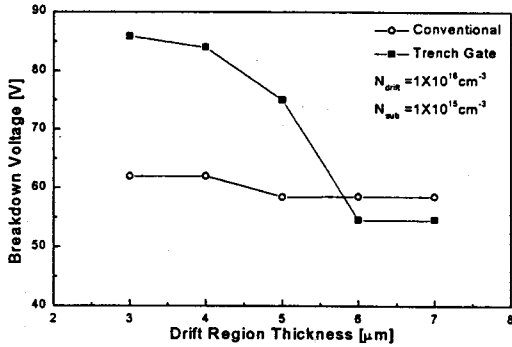
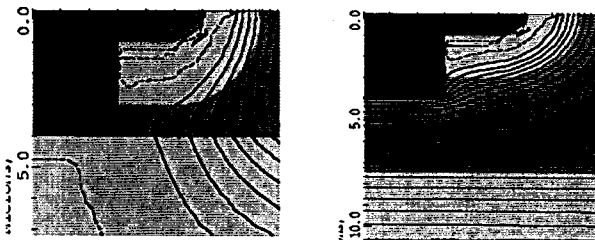


그림 4. 드리프트 영역 두께에 따른 항복전압 변화



(a)

(b)

그림 5. 항복시 드리프트 영역의 두께에 따른 Potential contour line
드리프트 영역 두께 (a) 4 μm (b) 7 μm