

[IV-32]

Side-Wall 공정을 이용한 WN_x Self-Align Gate MESFET의 제작 및 특성

문재경, 김해천, 꺾명현, 임종원, 이재진

한국전자통신연구원 회로소자기술연구소 화합물반도체연구부 무선통신회로팀

초고주파 집적회로의 핵심소자로 각광을 받고 있는 GaAs MESFET(Metal-Semiconductor Field-Effect Transistor)은 게이트 형성 공정이 가장 중요하며, WN_x 내화금속을 이용한 planar 게이트 구조의 경우 임계전압(V_{th}:threshold voltage)의 균일도가 우수할 뿐만 아니라 특히 Side-wall을 이용한 self-align 게이트는 소오스 저항을 줄일 수 있어 고성능의 소자 제작을 가능하게 한다.(1)

본 연구의 핵심이 되는 Side-wall을 형성하기 위하여 PECVD법에 의한 SiO_x 박막을 증착하고, 건식식각법을 이용하여 SiO_x side-wall을 형성하였다. 이 공정을 이용하여 소오스 저항이 낮고 임계전압의 균일도가 우수한 고성능의 self-aligned gate MESFET을 제작하였다.

3-inch GaAs 기판상에 이온주입법에 의한 채널 형성, d.c. 스퍼터링법에 의한 WN_x 증착, PECVD법에 의한 SiO_x 증착, MERIE(Magnetic Enhanced Reactive Ion Etching)에 의한 Side-wall 형성, LDD(Lightly Doped Drain)와 N⁺ 이온주입, 그리고 RTA(Rapid Thermal Annealing)를 사용하여 활성화 공정을 수행하였다. 채널은 40keV, 4e12/cm²로, LDD는 50keV, 8e12/cm²로 이온주입하였고, 4000A의 SiO_x를 증착한 후 2500A의 Side-wall을 형성하였다. 옴의 접촉은 AuGe/Ni/Au 합금을 이용하였고, 소자의 최종 Passivation은 SiN_x 박막을 이용하였다. 제작된 소자의 전기적 특성은 hp4145B parameter analyzer를 이용한 전압-전류 측정을 통하여 평가하였다.

Side-wall 형성은 0.3um 이상의 패턴 크기에서 수직으로 잘 형성되었고, 본 연구에서는 게이트 길이가 0.5um인 MESFET을 제작하였다. d.c. 특성 측정 결과 V_{ds}=2.0V에서 임계전압은 -0.78V, 트랜스컨덕턴스는 354mS/mm, 그리고 포화전류는 171mA/mm로 평가되었다. 특히 본 연구에서 개발된 트랜지스터의 게이트 전압 변화에 따른 균일한 트랜스 컨덕턴스의 특성은 RF 소자로 사용할 때 마이크로 웨이브의 왜곡특성을 없애주기 때문에 균일한 신호의 전달을 가능하게 한다. 0.5umx100um 게이트 MESFET을 이용한 S-parameter 측정과 Curve fitting으로부터 차단주파수 f_T는 40GHz 이상으로 평가되었고, 특히 균일한 트랜스컨덕턴스의 경향과 함께 차단주파수 역시 게이트 바이어스, 즉 소오스-드레인 전류의 변화에 따라 균일한 값을 보였다.

본 연구에서 개발된 Side-wall 공정은 게이트 길이가 0.3um까지 작은 경우에도 사용 가능하며, WN_x self-align gate MESFET은 낮은 소오스 저항, 균일한 임계전압 특성, 그리고 높고 균일한 트랜스 컨덕턴스 특성으로 HHP(Hend-Held Phone) 및 PCS(Personal Communication System)와 같은 이동 통신용 단말기의 MMICs(Monolithic Microwave Integrated Circuits)의 제작에 활용될 것으로 기대된다.

[참고문헌]

1. 오용기 외, "Ion-Implanted WN 0.25um Gate GaAs MESFET Fabricated Using I-Line Photolithography for Application to MMIC and Digital IC" GaAs IC Symp.,pp.93~96(1995)