

MOSFET에서 gate oxide의 직류 절연파괴 특성 The DC Breakdown Properties of Gate Oxide in MOSFET

박정구	광운대학교 전기공학과
이종필	광운대학교 전기공학과
이수원	철도대학 전기제어과
홍진웅	광운대학교 전기공학과

Jung-Goo Park	Dept. of Electrical Eng., Kwangwoon University.
Jong-Pil Lee	Dept. of Electrical Eng., Kwangwoon University.
Soo-Won Lee	Dept. of Electrical Control, Korea Nat'l Railroad College
Jin-Woong Hong	Dept. of Electrical Eng., Kwangwoon University

Abstract

In order to the investigate for the DC(forward-reverse) breakdown properties of gate oxide in MOSFET, we are manufactured the specimen as following. The resistivity is 1.2[$\Omega \cdot \text{cm}$], 1.5[$\Omega \cdot \text{cm}$] and 1.8[$\Omega \cdot \text{cm}$] when thickness is 600[\AA], and the diffusion time is both 110[min] and 150[min] when thickness is 600[\AA].

In DC dielectric strength due to the each resistivity, it is confirmed that almost of the leakage current and breakdown current is flowed through n+ source when positive bias is applied, but is flowed through p region when negative bias is applied. It is thought that the dielectric strength due to the diffusion time is the contribution as increasing of p region.

1. 서 론

오늘날 전자기기의 핵심소자라고 할 수 있는 반도체소자의 메모리 셀 크기와 절연막 두께는 집적도가 상승함에 따라 용량은 커지나 셀 크기는 작아지고 공정의 복잡화를 가져왔다.^[1-3] 그러므로 모든 공정의 효율과 신뢰성의 확보가 중요해지고 있다. 그 중 MOSFET은 소자구조의 3차원화로 인한 전계집중 현상과 게이트 산화막의 박막화로 인해 게이트 산화막에 인가되는 전계 강도가 높아지게 된다.^[4] 이로 인해 게이트 산화막의 절연파괴가 발생하면 효율과 신뢰성 수명이 저하되므로 신뢰성 확보가 중요한 과제가 되고 있다.^[5-6]

낮은 전계가 인가될 때는 문제가 되지 않던 산화막의 미소결함도 박막화됨에 따라 산화막에서는 절연내력을 저하시키는 중대한 결함이 된다. 따라서 미소결함이 없는 산화막을 얻는 것이 반도체 제조업에 있어서 가장 큰 과제이다. 최근 들어 전자기기의 고성능화와 더불어 내장 반도체 성능의 고집적, 고스피드화 추세에 따라 MOS 구조에서의 gate

oxide는 점차 얇아지고 이에 따른 문제점도 야기되고 있다. 또한 gate oxide 즉 (SiO_2)경계면에 트랩 charge나 여러 형태의 이온들은 반도체 제조 공정 시 어쩔 수 없이 생성되어 제품 특성에 큰 영향을 주고 있다.^[7, 8]

따라서, 본 연구에서는 메모리 소자가 아닌 전력용 소자의 하나인 단일 MOSFET 소자를 기본모델로 하여 gate oxide의 두께와 wafer 비저항(resistivity)에 따라 온도 25[$^{\circ}\text{C}$], 50[$^{\circ}\text{C}$], 80[$^{\circ}\text{C}$], 100[$^{\circ}\text{C}$]에서 DC(forward-reverse) 절연파괴 특성을 연구하였다.

2. 실험

2-1. 시료 제작

본 실험에 사용된 시료의 제작은 5인치 arsenic epi wafer를 사용하여 일반적인 MOS(Metal Oxide Semiconductor)구조의 power MOSFET을 제작하였다. wafer위에 field 산화막을 형성한 후 gate 절연막으로 산화막(SiO_2)을 형성하였다. 산화막은 N_2O_2

분위기에서 각각 600[Å], 800[Å]의 두께로 형성하고 gate 신호를 전달할 poly gate를 형성하였다. n-ch MOSFET을 기본모델로 하였으므로 p-type 불순물이 poly gate와 선택open된 실리콘 저농도 epi층에 이온주입 되었다. 이후의 공정은 일반적인 MOS반도체 공정에 따라 n+형성과 poly gate의 절연을 위한 PSG deposition, contact을 위한 공정 진행 후 Al을 4[μm]로 형성하고 원하는 형태로 Al을 선택 etching하여 전극을 구성하였다.

그리고 15[mil] Al wire를 이용하여 각각의 전극을 lead에 연결하고 epoxy molding compound를 이용하여 packing하였다. 시료의 단면구조를 그림 1에 나타내었다.

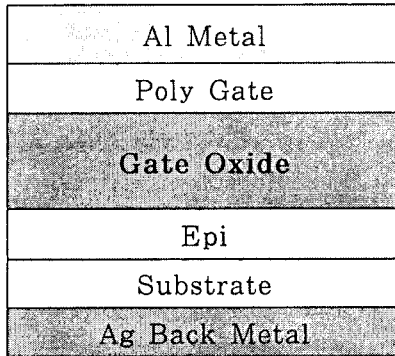


그림 1. 시료의 단면도
Fig. 1. Cross-section of sample

2-2. 절연파괴 특성 실험

DC(forward-reverse) 절연파괴 실험을 하기 위해서 DC Power Supply를 이용하여 실험실에서 자체 제작한 실험장치를 구동하고, 자동온도 조절기(HANYOUNG Co., ATC-V110)을 이용하여 온도를 제어하였으며, X-Y Recorder(YUKOGAWA, Type 3077)를 이용하여 측정값을 기록하였다.

시료에 대한 DC 절연파괴일 때는 gate에 순방향 전압을 인가하고 source-drain단을 short시켜서 역방향 전압을 인가하여 측정하였으며, DC 역방향 절연파괴 일 때는 실험장치에 내장되어있는 DC 입력 단자를 바꿔가면서 동일조건에서 실험하였다.

시료에 대한 인가전압의 전압 상승율은 1.67[V/sec]정도이며, 온도 25[°C], 50[°C], 80[°C], 100[°C]에서 DC(forward-reverse) 전압을 인가하여 실험을 하였으며, 절연파괴 실험장치를 그림 2에 나타내었다.

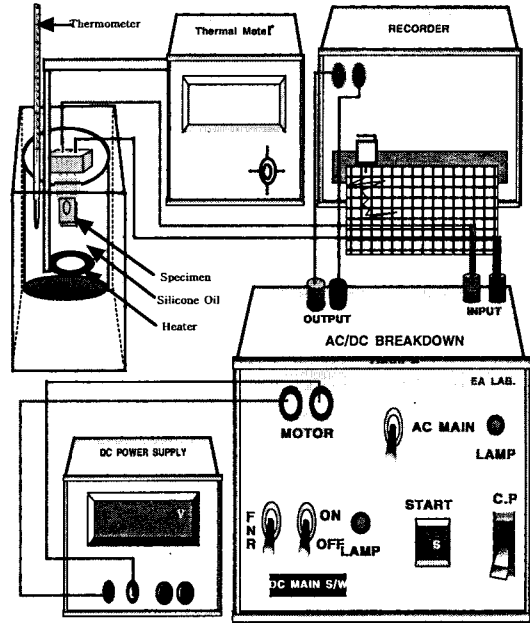


그림 2. 절연파괴 실험장치의 개략도
Fig. 2. Schematic diagram of breakdown experimental device

3. 실험결과 및 검토

3-1. DC 절연파괴 특성

그림 3은 gate oxide막의 두께가 600[Å]이고, 비저항이 각각 1.2[Ω·cm], 1.5[Ω·cm], 1.8[Ω·cm]일 때 순방향 전압을 인가할 때의 gate oxide에 대한 직류 절연파괴 강도의 온도 의존성을 나타낸 그림으로 절연파괴 강도는 비저항이 클수록 절연파괴 강도가 크게 나타나는 것을 확인하였다.

그림 4는 gate에 +bias 전압을 인가할 때의 전자의 이동을 나타낸 그림이다. 이때 gate oxide 하단부의 캐리어의 이동은 인가전계에 대해 n+영역에서는 다수캐리어인 전자가 Si/SiO₂계면으로 축적되며 드레인단의 N+/N-층 역시 Si/SiO₂계면으로 다수캐리어인 전자들의 축적이 발생한다. 이때 인가전압이 서서히 증가함에 따라 p영역에서는 약간의 공핍층이 발생하며 n-epi층에 비해 약 10³ [cm⁻³]정도 높은 농도의 n+영역의 전자들이 gate인가 전압에 의해 gate oxide내를 통하여 흐르는 전류는 적으나 일정 전압 이상이 되면 전자사태 발생으로 과도전류가 흘러 파괴에 이르는 것이다.

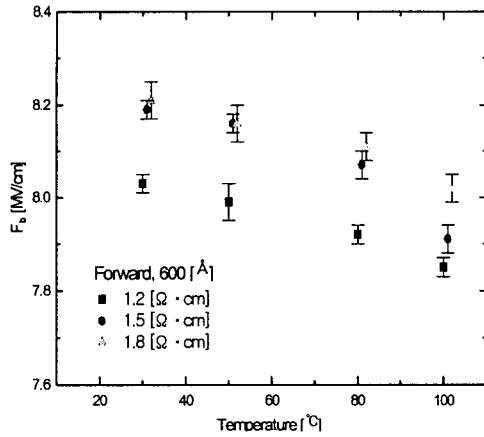


그림 3. 비저항에 따른 직류 절연파괴 강도의 온도의존성(600(Å), 순방향)
 Fig. 3. Temperature dependence of DC dielectric strength due to the resistivity(600(Å), forward)

저온일 때는 약 8[MV/cm]정도이며, 고온일 때는 약 7.83[MV/cm]정도임을 확인하였다.

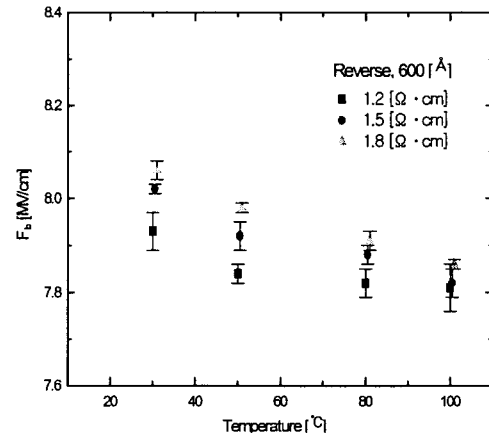


그림 5. 비저항에 따른 직류 절연파괴 강도의 온도의존성(600(Å), 역 방향)
 Fig. 5. Temperature dependence of DC dielectric strength due to the each resistivity(600(Å), reverse)

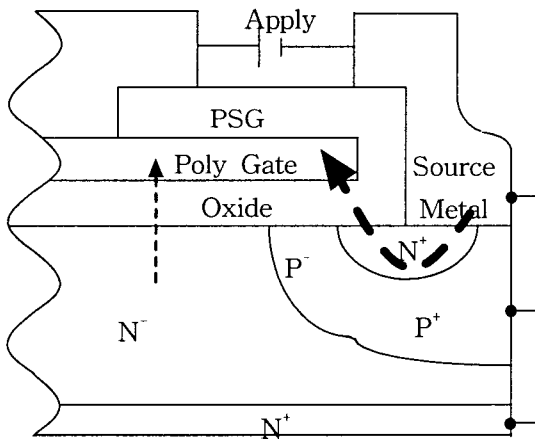


그림 4. 순방향 인가전압에 따른 전자의 이동도
 Fig. 4. Mobility of electron due to the applied voltage(forward)

그림 5는 gate oxide막의 두께가 600[Å]이고, 비저항이 1.2[Ω·cm], 1.5[Ω·cm], 1.8[Ω·cm]일 때 역방향 전압을 인가할 때의 gate oxide에 대한 직류 절연파괴 강도의 온도 의존성을 나타낸 그림으로 각각의 비저항에 따라 평균 절연파괴강도의 차이가

이때의 n+/n- drain단은 아래 전극방향으로 다수캐리어인 전자가 축적되며 이로 인해 Si/SiO₂ 계면아래 약간의 공핍층의 형성을 기대할 수 있으며 n+ source단 역시 전극쪽으로 다수캐리어인 전자가 축적된다. 이에 반해 p영역의 다수캐리어인 홀은 gate에 -bias전압인가에 의해 Si/SiO₂ 계면으로 축적되고 게이트단에서 gate oxide를 통한 전자가 p영역의 홀과 결합을 함으로서 누설전류는 p영역에서 게이트방향으로 전자는 게이트에서 p 영역으로 흘러 일정전압이상에서 전자사태로 인한 과전류가 흘러 비로써 절연파괴에 이르는 것이다.

gate에 +bias전압을 인가할 때와 -bias전압을 인가할 때의 절연파괴 실험에서는 -bias전압을 인가할 때의 절연파괴 강도가 다소 작은 값을 나타내고 있는데 이것은 +bias전압을 인가할 때 대부분의 누설전류 및 절연파괴전류가 n+ source단을 통해서 흐르지만 -bias전압을 인가할 때에는 p 영역을 통해 흐르지만 칩 내에서 n+ source가 차지하는 면적보다 p 영역이 차지하는 면적이 수천 배 이상 크기 때문에 그만큼 누설전류가 흐를 수 있는 영역이 커서 순방향에 비해 역 방향 전압을 인가할 때의 절연파괴강도가 낮게 나타나는 것으로 사료된다.

n- 에피층 비저항 값에 따른 절연파괴 강도는 epi 비저항이 커질수록 높은 절연파괴강도를 나타낸다. 이것은 n-영역의 비저항 값이 커지면 n-영역에서의 농도는 낮아진다는 것으로 이에 따라 gate 단에 +바이어스 인가할 때 Si/SiO₂계면으로 축적되는 캐리어의 수가 적게되어 캐리어수가 많은 시료에 비해 상대적으로 높은 절연파괴 강도를 나타남을 확인할 수 있다.

그림 6은 gate에 -bias 전압을 인가할 때와 n+ source와 n+/n- drain단에는 +bias 전압을 인가할 때 전자의 이동을 나타낸 그림이다.

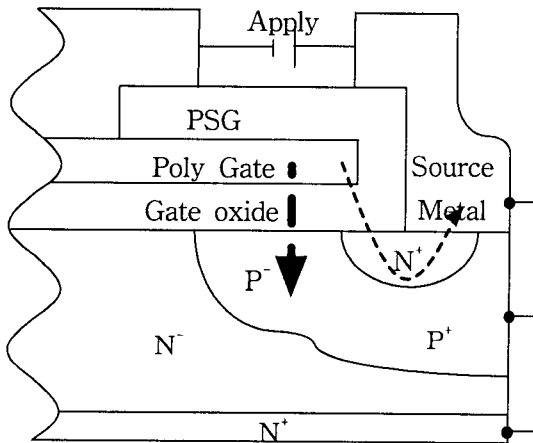


그림 6. 역 방향 인가전압에 따른 전자의 이동도
Fig. 6. Mobility of electron due to the applied voltage(reverse)

gate단에 -전압을 인가하여 절연파괴 될 때 흐르는 주 전류가 앞의 설명에서도 알 수 있듯이 p영역으로 흐르게 되며 이로 인해 gate 단에 순방향 전압을 인가할 때 보다 n-에피 비저항값에 의존하는 경향이 적음을 그림에서 각 시료간의 편차비교를 통해 확인할 수 있다.

그림 7은 gate oxide막 두께가 800[Å]일 때 ion 주입 후 diffusion time을 각각 110[min]과 150[min]으로 했을 경우 인가전압을 순방향(forward)으로 인가하였을 때 직류 절연파괴 강도의 온도의존성을 나타낸 그림이다.

또 동일한 두께의 gate oxide구조에서 p 영역 형성시 확산시간을 split해서 결과를 얻을 수 있는데 확산시간을 길게한 시료의 경우가 역바이어스 절연내력실험에서 p영역의 증가분때문에 기어로 확

산시간을 짧게한 시료에 비해 작은 절연파괴전압이 나타남을 확인할 수 있었다.

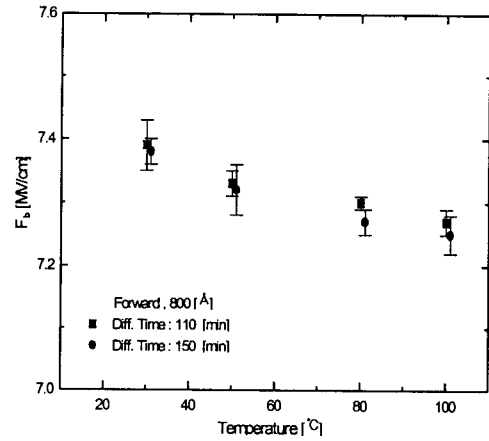


그림 7. 직류 절연파괴 강도의 온도의존성 (800(Å), 순방향)

Fig. 7. Temperature dependence of DC dielectric strength (800(Å), forward)

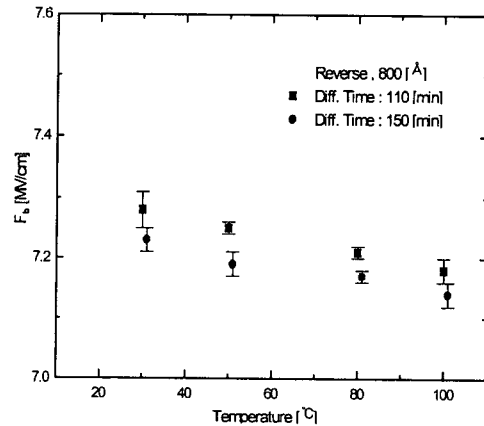


그림 8. 직류 절연파괴 강도의 온도의존성 (800(Å), 역 방향)

Fig. 8. Temperature dependence of DC dielectric strength (800(Å), reverse)

그림 8은 시료의 gate oxide막 두께가 800[Å]일

때 ion 주입 후 diffusion time을 각각 110[min]과 150[min]으로 했을 경우 인가전압을 역 방향(reverse)으로 인가하였을 때 직류 절연파괴 강도의 온도의존성을 나타낸 그림이다. 26, 1991

4. 결론

MOSFET에서 gate oxide의 전기적 특성을 조사하기 위해 두께 600[Å]일 때 비저항은 $1.2[\Omega \cdot \text{cm}]$, $1.5[\Omega \cdot \text{cm}]$, $1.8[\Omega \cdot \text{cm}]$ 이고, 800[Å]일 때 확산시간은 각각 110[min], 150[min]으로 제작했을 때 gate oxide의 DC(forward-reverse) 절연파괴 특성 연구결과는 다음과 같다.

비저항에 따른 직류 절연파괴 강도는 +bias전압을 인가할 때 대부분의 누설전류 및 절연파괴전류가 n+ source단을 통해서 흐르지만 -bias전압을 인가할 때에는 p 영역을 통해 흐르는 것으로 사료되며, 확산시간에 따른 절연파괴 강도는 p영역의 증가에 따른 기여로 사료된다.

참고문헌

- [1] King-Ning Tu, James W. Mayer, Leonard C. Feldman, "Electronic Thin Film Science" John Wiley & Sons, Inc., pp. 234~236, 1992.
- [2] Robert F. Pierret, Gerold W. Neudeck, "Semiconductor Fundamentals" Addison- Wesley Publishing co., pp. 41~42, 64~67, 1988.
- [3] Duncan A. Grant, John Gowar, "POWER MOSFETS" John Wiley & Sons, Inc., pp. 480~481, 1989.
- [4] 박정구, 홍능표, 이용우, 김왕곤, 홍진웅 "The Electrical Properties of Gate Oxide due to the Variation of Thickness" KIEE, pp. 1931~1933, 1999.
- [5] 성영권, 학술연구총서 49, "미세화소자 전자절연과 물성", 고려대학교 출판부, pp. 27~150 1997.
- [7] Andrew S. Grove, "Physics and Technology of Semiconductor Devices" John Wiley & Sons, Inc., pp.22~31, 1967.
- [8] 이우일, 김봉열, "반도체 디바이스" 喜重堂, pp. 363~367, 1985.
- [9] 原 留 美 吉, "半導體物性工學の基礎" 工業調査會, pp. 186~191, 1967.
- [10] 이종덕, "집적회로 공정기술" 大英社, pp. 3~