

## RTA를 이용한 후열처리가 PZT 박막의 강유전 특성에 미치는 영향

### The effect of rapid thermal annealing treatment for ferroelectric properties of PZT thin films

주필연\*, 박영\*, 정규원\*, 임동건\*, 송준태\*  
(Pil yeon Ju, Young Park, Kyu won Jeong, Dong gun Lim, Joon Tae Song)

#### Abstract

The post-annealing treatments on RF (Radio Frequency) magnetron sputtered PZT( $Pb_{1.05}(Zr_{0.52}, Ti_{0.48})O_3$ ) thin films(4000Å) have been investigated. for a structure of PZT/Pt/Ti/SiO<sub>2</sub>/Si Crystallization properties of PZT films were strongly dependent on RTA(Rapid Thermal Annealing) annealing temperature. We were able to obtain a perovskite structure of PZT at a low temperature of 600°C. P-E curves of Pd/PZT/Pt capacitor annealed at 700°C demonstrate typical hysteresis loops. The measured values of  $P_r$ ,  $E_c$  by post annealed at 700°C were  $12.1 \mu C/cm^2$ , 120KV/cm respectively.

**Key Words(중요용어):** post-annealing, RTA, PZT thin films, hysteresis loop,

#### 1. 서론

Si-based memory 소자의 고용량, 고집적화에 따라 Perovskite 구조의 강유전체 박막에 대한 연구가 활발히 진행되고 있다. 이러한 Perovskite 구조의 강유전체 박막 중  $Pb(Zr,Ti)O_3$  (PZT)와 같은 Pb계 강유전체 물질은 수천에 이르는 매우 높은 유전율을 갖고있을 뿐 아니라 인가된 전계에 따라 안정된 두 개의 분극 반전 특성을 가지고 있어 high-density DRAM( $\geq 1$  Gbite) 및 Non-Volatile Ferroelectric Random Access memory Memory (NV-FRAM's)와 같은 메모리 소자에 응용에 적합하다 할 수 있겠다.<sup>(1,2)</sup>

이러한 PZT 박막을 성장하기 위한 방법 중, 단일 타겟을 이용한 sputtering 법은 강유전체 박막을 집적화 하기 위한 가장 유망한 방법으로 알려져 있다. 이러한 방법으로 성장된 PZT 박막은 비정질 상태이며, 안정상인 perovskite 상을 형성시키기 위하여 후열처리 공정이 연구되어지고 있다. 이러한 후열처리 공정 중 furnace를 이용 할 경우 amorphous

상태인 PZT막이 pyrochlore상을 거쳐 perovskite 상으로 상전이 된다고 알려져 있으며, 이러한 특성은 PZT 박막의 전기적 성질 및 특성을 저하시킨다고 보고되고 있다. 이러한 문제를 해결하기 위하여 급속 열처리 방법인 Rapid Thermal Annealing (RTA)법을 이용 PZT 박막의 후열처리 공정이 연구되어 지고 있다. 따라서 본 연구에서는 300°C 이하의 낮은 온도에서 rf-magnetron sputtering 법을 이용 PZT 박막을 성장하여 급속 열처리 방법인 RTA 법을 이용 다양한 온도와 시간에 따라 후열처리 하여 이에 따른 PZT 박막의 상형성 과정과 강유전 특성에 관하여 연구하였다.

#### 2. 실험방법

PZT 박막 성장에 사용된 Target은 morphotropic phase 부근의 Zr/Ti mole 비가 52/48인 single ceramic target(순도 99.9%, Superconductive사)을 rf-magnetron sputtering 법으로 Pt/Ti/SiO<sub>2</sub>/Si 기판 위에 성장하였다. 기판은 thermal oxide가 400nm 성장된 P-type silicon wafer를 아세톤, 메탄올, 증류수 속에서 각각 10분간 초음파 세척한 후, Pt/Ti 하부전극을 각각 RF-magnetron sputtering 방법으로 150nm, 50nm 성장하여 Pt/Ti/SiO<sub>2</sub>/Si 기판을 제조하였다. Pt와 Ti 성장 시 기판온도는 각각 400°C, 20

\* : 성균관대학교 전기전자 및 컴퓨터공학부  
(경기도 수원시 장안구 천천동 300, Fax : 0331-290-7159, e-mail : change61@hanmail.net)

표 1. PZT 박막의 sputtering 조건.

Table 1. Optimized sputtering conditions for PZT thin films

Sputtering method	reactive RF magnetron sputtering
Target	sintered PZT ceramic target
Substrate	Pt(150nm)/Ti(50nm)/SiO <sub>2</sub> /Si
Target-substrate distance	65(mm)
Base pressure of system	2.0×10 <sup>-6</sup> (Torr)
(Ar:O <sub>2</sub> ) flow rate	9 : 1 (sccm)
RF power	150 (W)
Substrate temperature	300(℃)
Film thickness	400nm

표 2. PZT 박막의 후열처리 조건

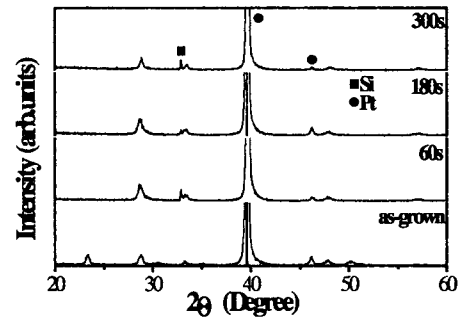
Table 2. Post-annealing parameters for PZT thin films.

Annealing method	RTA(rapid thermal anneal)
Temperature	as-grown, 500, 600, 700(℃)
Time	10, 30, 60, 180, 300 (sec)
Flow gas (O <sub>2</sub> )	20(sccm)
Base pressure of system	2.0×10 <sup>-6</sup> (Torr)
Rising Time	40(℃/sec)
Cooling	nature

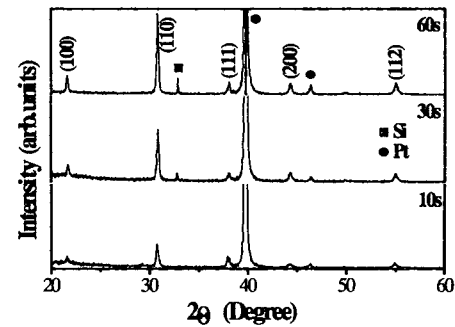
0℃ RF power는 120W, 성장압력은 5 mtorr 였다. 제작된 Pt/Ti/SiO<sub>2</sub>/Si 기판 위에 기판온도 300℃에서 약 400nm 두께의 PZT 박막을 성장하였으며, 표 1에 PZT박막의 sputtering 조건을 요약하였다.

후열처리 온도와 시간에 따른 PZT박막의 특성 평가를 위하여 할로젠 램프가 열원인 RTA 장비를 이용 O<sub>2</sub> 분위기에서 10-300 s 에 걸쳐 500℃-700℃까지 후열처리 하였다. 표 2에 PZT박막의 RTA 후속 열처리 조건을 나타내었다. 후열처리에 따른 PZT 박막의 상형성 과정을 규명하기 위하여 X-ray diffractometer (XRD)이용 분석하였다. PZT박막의 전기적 특성 측정을 위하여 Dot mask를 이용 PZT 박막의 상부에 Pd 상부전극을 증착하여 MFM (Metal-Ferroelectric-Metal) 구조의 캐패시터를 형성하였다. Pd/PZT/Pt 캐패시터의 누설전류 밀도는 Keithley 617 programmable electro-meter를 사용하였으며, PZT 박막의 Hysteresis loop 특성은 Radiant 사의 RT-66A를 이용 virtual ground mode 에서 측정하였다.

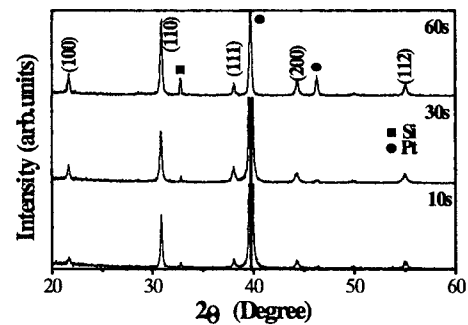
### 3. 결과 및 고찰



(a)



(b)

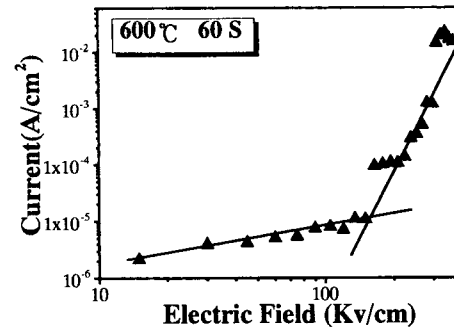


(c)

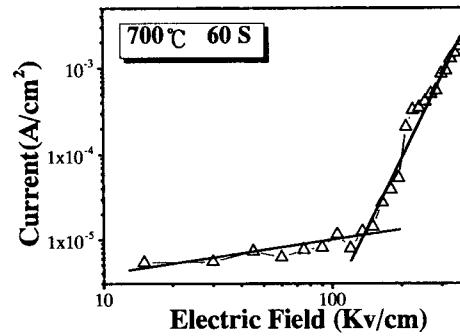
그림 1. 후열처리 온도에 따른 PZT 박막의 XRD 패턴(a)as-grown 500℃,(b) 600℃,(c) 700℃  
Fig. 1. XRD patterns of PZT thin films as a function post-annealing temperature of (a)as-grown 500℃, (b)600℃, (c)700℃.

후열처리 온도와 시간에 따른 PZT 박막의 결정상의 변화를 규명하기 위하여, 최적화된 Pt/Ti/SiO<sub>2</sub> 기판위에 rf-magnetron sputtering 법으로 성장된 400 nm의 PZT 박막을 후열처리 온도와 시간에 따라 XRD 분석을 실시 하였다. 그림 1은 500℃, 600℃, 700℃에서 후열처리한 PZT 박막의 RTA 시간에 따른 XRD 분석 결과이다. 500℃에서 후 열처리한 PZT 박막의 경우 30초 이상의 후 열처리 시간에도 불구하고 어떠한 Perovskite 결정상 없이 준안정상인 pyrochlore 상이 지배적으로 나타남을 볼 수 있다. 후열처리 온도가 600℃에서 10초간 열처리한 PZT 박막의 경우 Pyrochlore (222) 면(A<sub>2</sub>B<sub>2</sub>O<sub>6</sub> type)이 perovskite (110) 면으로 상전이 미약한 pyrochlore (222) 면과 perovskite 결정상인 PZT (110), PZT (100), PZT (200), PZT (112) 면으로 성장됨을 볼 수 있다. 또한 후열처리 시간이 30초 이상인 경우에는 어떠한 pyrochlore 상이 나타나지 않았으며, 시간이 60초로 증가할수록 PZT 박막의 X선 회절강도는 더욱 증가하였다. 700℃에서 후열처리한 PZT 박막의 경우 열처리 시간에 관계없이 순수한 perovskite 상만이 나타나고 있으며, 열처리 시간이 증가할수록 PZT 박막의 결정성은 더욱 향상되어 PZT (110) 면으로 우선 배향된 PZT박막이 성장되었음을 보이고 있다. 이러한 결과는 700℃ 이상의 후열처리 온도에서는 RTA를 이용한 후 열처리 공정이 빠른 승온 속도로 인하여 중간상인 pyrochlore 상없이 직접 perovskite 상으로 상전이 하였음을 나타내고 있다. 또한 PZT 박막 결정화시 높은 열처리 온도가 PZT 박막의 성장 방향과 결정성을 좌우함을 나타내며, Ichung et al. (3) 이 주장한 sol-gel 법으로 성장한 PZT 박막의 결정학적 방향의 관계는 결정화 과정과 성장 과정 중 서로 다른 에너지 경로가 pyrochlore (222) 면과 perovskite (110) 면으로 나타난다는 것과 일치한다.

Pt/Ti/SiO<sub>2</sub>/Si 기판 위에 성장된 PZT 박막의 후 열처리 조건에 따른 강유전 특성을 알아보기 위하여 I-V, P-E 등의 전기적 특성을 조사하였다. 600℃에서 60초가 후 열처리한 PZT 박막의 경우 인가된 전압을 0 KV/cm에서 100KV/cm까지 변할 때 누설전류 밀도가 2×10<sup>-6</sup> A/cm<sup>2</sup>에서 9×10<sup>-6</sup> A/cm<sup>2</sup>까지 변화됨을 보였다. 또한 열처리 온도가 700℃로 증가됨에 따라 약 10 배 정도의 누설전류가 증가됨을 보였다. 이는 열처리 온도 상승에 따른 PZT 박막의 다결정화로 인한 결정립계로의 누설전류 상승에 기인하는 것으로 사료된다(4). 그림 3에 나타난 log (J-E) 곡선에서 120kV의 낮은 전계에서는 J ∝ E



(a)



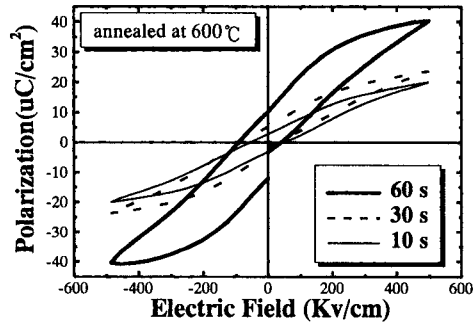
(b)

그림 2. 열처리 온도에 따른 PZT 박막의 누설전류 특성. (a) 600℃, (b) 700℃

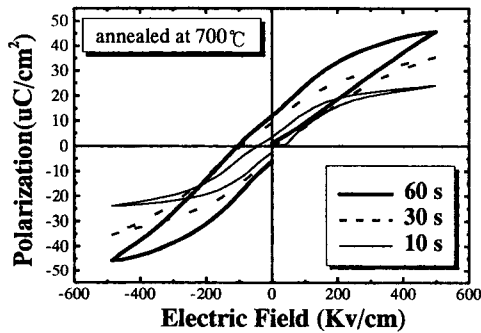
Fig. 2. Leakage current of Pt/PZT/Pt capacitors annealed at various temperature (a) 600℃ (b) 700℃.

에 비례하는 ohmic 특성을 나타내고 있으며, 120kV 이상의 고전계 영역에서는 Frenkel-Pool emission 혹은 space charge limited process 와 같은 Pd/PZT/Pt 캐패시터 구조의 누설전류 메카니즘을 나타내고 있는 것으로 보인다.(5)

PZT박막의 강유전 특성으로 그림 3에 600℃, 700℃에서 후열처리한 Pd/PZT/Pt 캐패시터구조의 시간에 따른 이력곡선 특성을 나타내었다. 600℃, 700℃에서 후열처리한 PZT 박막 모두 시간에 관계없이 전형적인 이력곡선 특성을 나타내고 있으며, 이는 600℃이상에서 후열처리한 PZT 박막의 경우 시간에



(a)



(b)

그림 3. 열처리 온도에 따른 PZT 박막의 이력곡선 특성. (a) 600°C, (b) 700°C

Fig. 3. P-E hysteresis loop of Pt/PZT/Pt capacitors annealed at various temperature (a) 600°C (b) 700°C.

관계없이 perovskite 상이 나타나는 XRD 결과와 일치한다. 600°C에서 후열처리한 Pd/PZT/Pt 캐패시터의 경우 열처리 시간이 증가할수록 항전계와 잔류분극 값이 증가하여, 60초간 후열처리한 Pd/PZT/Pt 캐패시터의 경우 항전계 ( $E_c$ )와 잔류분극 ( $P_r$ )은 각각 90 kV/cm,  $10.3 \mu\text{C}/\text{cm}^2$ 을 나타내었다. 또한 700°C에서 60초간 후 열처리한 PZT 박막의  $P_r$  값은  $12.1 \mu\text{C}/\text{cm}^2$ 을 나타내었다. PZT 박막의 이력곡선 모두 전계의 방향으로 다소 shift 되어 비대칭 모양 보이고 있다. 이와 같은 특성은 PZT 박막과 전극 사이에 공간 전하가 축적되어 그만큼의 전계가 유도된 것으로 사료된다. 이력 특성이 인가전압에 따라 비대칭 현상을 나타내는 것은, PZT

박막 내에 내부 전계가 유도 되어 그만큼의 전계가 유도 된 것으로 사료된다.<sup>(6)</sup>

#### 4. 결론

본 연구에서는 Pt/Ti/SiO<sub>2</sub>/Si 기판위에 RF-magnetron 스퍼터링법으로 저온에서 성장한 PZT 박막을 RTA를 이용 후열처리 한 후 PZT 박막의 강유전 특성에 대하여 고찰하였다. 600°C와 700°C에서 각각 10초, 30초, 60초 동안 열처리한 결과 순수한 perovskite상만이 나타났다. PZT 박막의 열처리 시간과 온도를 증가시킬 경우 PZT 박막의 결정은 더욱더 강하게 나타났다. 또한 잔류분극값은 60초동안 열처리한 경우  $10.3 \mu\text{C}/\text{cm}^2$ 에서  $12.1 \mu\text{C}/\text{cm}^2$ 로 증가하였으며, 항전계값은 90kV/cm 에서 120kV/cm로 증가하였다. 인가 전계에 따른 누설전류값은 600°C에서 열처리한 경우 100KV/cm이하에서  $9 \times 10^{-6} \text{ A}/\text{cm}^2$ 정도의 값을 가졌다.

#### 참고 문헌

1. Q. X. Jia, Z. Q. Shi, J. Yi, and W. A. Anderson, J. of Elect. Mat., Vol. 23, No. 1, pp. 53-56, 1994.
2. G Velu, D. Remiens, and B. thierry, Journal of the European Ceramic Society, Vol. 17, pp. 1749-1754, 1997.
3. Isub Chung, June Key Lee, Changjung Kim, and Chee Won Chung, Integrated Ferroelectric, Vol. 16, pp. 705, 1997.
4. Q. X. Jia, J. Yi, Z. Q. Shi, K. K. Ho, L. H. Chang, and W. A. Anderson, "Electrical Properties of Ferroelectric Thin Film Capacitors with Different Structures" Mat. Res. Soc. Proc., Vol. 284, pp. 523-527, 1993.
5. Min-Seok Jeon, Jae-Bok Lee and Duck-Kyun Choi, "Electrical Characterization of Ferroelectric Pb(Zr,Ti)O<sub>3</sub> Thin Films Deposited on Pt-Coated RuO<sub>2</sub> Electrode", Jpn. J. Appl. Phys., Vol. 37, pp. 3991-3995, 1998.
6. R. Ramesh, Thin film ferroelectric materials and devices, pp. 221(1997).