

## 니켈 폴리사이드 게이트의 전기적 특성

### Electrical Properties of Nickel Polycide Gate

정연실, 김시중, 김주연, 배규식  
Y.S.Jung, S.J.Kim, J.Y.Kim, K.S.Bae

수원대학교 전자재료공학과  
Dept. of Electronic Materials Engineering, The University of Suwon

#### Abstract

NiSi were formed from either Ni monolayer or Ni/Ti bilayer and the SADS method was applied to fabricated PMOSFET with Ni-polycide gate electrodes. PMOSFET made from Ni monolayer showed thermal stability upto 300~400°C for 600sec., and excellent C-V characteristics for long time of drive-in anneal than PMOSFET made from Ni/Ti bilayer. This was attributed to easier decomposition and subsequent Ni diffusion to SiO<sub>2</sub> layer, probably due to the presence of Ti unreducing process

#### 1. 서 론

최근 정보 통신기술의 발달과 전자제품의 소형화의 추세에 따라 저전력, 경량, 박형의 장점을 고루 갖춘 액정 표시소자 (liquid crystal display, LCD)가 CRT를 대체하며 급격히 응용분야를 확대해 나가고 있으며, 특히 1985년 이후 제 3세대인 액티브 매트릭스(active matrix)/TFT(thin film transistor)-LCD가 꾸준히 개발, 연구되어 왔다.

지금까지 저온 공정 다결정 실리콘 TFT의 성능 향상을 위하여 기판 다결정 실리콘의 입계(grain boundary)나 트랩 상태(trap state)의 조절에 관심이 집중되어 왔다. 그러나 TFT의 성능 향상을 위하여는 다른 인자들, 특히 게이트 전극의 비저항을 낮추는 것 또한 중요하다.

저온 제작 다결정 실리콘 TFT는 단결정 실리콘 MOSFET에 비해서 이동도가 낮고, 누설전류가 비정질 실리콘 TFT에 비해 높으며, off-current가 크기 때문에 고속동작이 요구되는 AMLCD의 화소 스위칭 소자로 사용되기에는 한계가 있다. 이를 개선하기 위해 활성층과 절연막의 특성 향상과 더불어 게이트와 게이트 전극을 통한 RC 지연 시간(delay time)을 감소시켜야만 한다. 이에 따라 실리사이드를 TFT의 전극으로 적용하려는 노력이 시도되고

있다.

전극으로 적용하려는 실리사이드로 WSi<sub>2</sub>, TiSi<sub>2</sub>, CoSi<sub>2</sub> 등 여러 실리사이드가 적용되어왔다. 이 중 CoSi<sub>2</sub>는 낮은 비저항을 갖고, 면저항의 선폭 의존성이 없으며, 산화물 스페이서와 반응하여 bridging 현상을 일으키지 않는다. 또한 우수한 열적 안정성을 갖는 장점을 가지고 있어 게이트 전극의 사용에 있어 많은 관심을 받고있다.<sup>[1,2]</sup>

하지만 CoSi<sub>2</sub>는 실리콘 소모가 증착한 Co의 약 3.61( $t_{\text{CoSi}_2}/t_{\text{Co}}$ )배<sup>[3]</sup>로 실리콘 층 소비가 많아 얇은 접합 형성 어려워 여러 가지 다른 공정 방법이 도입되고 있는 실정이다. 이러한 단점을 보완하기 위해 Ni를 적용하여 NiSi를 형성하였다. NiSi는 실리사이드 형성 온도가 최저 350°C까지 가능하여 저온 공정 다결정 TFT 제작에 가장 적합한 실리사이드이다. 또한 NiSi의 형성이 750°C까지 가능하여 열공정의 온도 선폭이 넓다.<sup>[4]</sup> 이로인해 열적 안정성을 유지할 수 있고, 면저항의 선폭 의존성이 없다. 이외에 Ni이 moving species이기 때문에 bridging 현상이 나타나지 않고, 실리사이드 형성시 실리콘 층 소비가 1.83( $t_{\text{NiSi}}/t_{\text{Ni}}$ )배<sup>[3]</sup>로 작아 매우 얇은 접합 형성에도 용이하다.

본 연구에서는 다결정 실리콘 TFT의 NiSi 전극으로 실리사이드 형성 시 Ni 단일막과 Ni/Ti 이중

막을 사용하였을 때의 전기적 특성(C-V)을 비교하였다.

## 2. 실험 방법

본 연구에서 이용된 시편은 비저항이 1~20 $\Omega$ cm 인 n-type 웨이퍼 위에 건식 열산화막 방법으로 10nm의 SiO<sub>2</sub>를 성장시킨 후 저압화학증착(LPCVD) 방법으로 다결정 실리콘을 160nm 성장시켰다. 이후 사진 식각 공정과 이온주입공정을 거쳐 PMOSFET을 제작하였다. V<sub>Th</sub> adjust 도핑 이온은 B으로 1.5 $\times 10^{12}$ /cm<sup>2</sup>의 도오즈와 40keV의 에너지로 주입하였고, Ni과 Ti을 각각 증착 시켜 실리사이드를 형성하였다. SADS법을 적용하기 위해 실리사이드 형성 후 BF<sub>2</sub> 이온으로 5 $\times 10^{15}$ /cm<sup>2</sup>의 도오즈와 35keV의 에너지로 이온 주입하였다. 이렇게 준비된 시편의 후속 열처리 시간과 온도에 따른 전기적 특성을 알아보았다. 그림 1은 이에 따른 실험 방법을 보여준다.

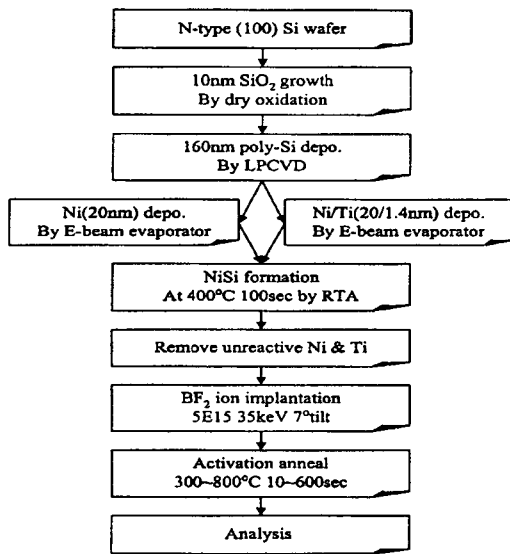


그림 1. 실험 방법 순서도

Fig. 1. Flow chart of experimental

## 3. 결과 및 고찰

그림 2는 Ni 단일막과 Ni/Ti 이중막을 이용하여 실리사이드를 형성시킬 경우의 적절한 형성 온도를 알아보기 위해 RTA(rapid thermal anneal)로 각각의 온도에서 열처리 한 시간에 따른 면저항의 변화이다. 그림 2(a)는 깨끗한 계면과 자연 산화막의 제

거 및 얇은 접합을 형성하기 위해 적용된 증착층으로서의 Ti의 두께 변화에 따른 값이다. Ti의 두께를 5nm와 1.4nm의 두 가지를 비교해본 결과 5nm는 약 7 $\Omega$ /sq., 1.4nm는 약 3 $\Omega$ /sq.의 면저항 감소로 1.4nm의 Ti을 증착 시켰을 경우가 5nm 보다 상대적으로 면저항의 값이 많이 줄어들었음을 볼 수 있다. 이는 5nm의 Ti를 증착 시켰을 경우 Ti이 환원이 되지 못해 Ni이 실리콘 층과 만나 실리사이드를 형성하지 못했을 것으로 생각된다. 그림 2(b)는 (a)에서 보여

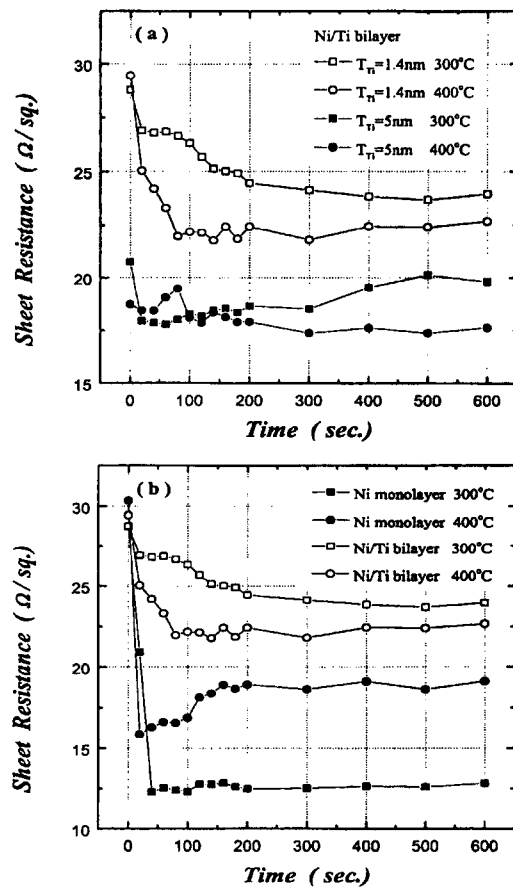


그림 2. 실리사이드 형성 열처리 시간과 온도에 따른 면저항의 변화 : (a) 이중막의 경우 Ti 두께에 따른 변화 (b) 단일막과 이중막( $T_{Ti}=1.4nm$ )의 변화

Fig. 2. The change of the sheet resistance as a function of silicide formation time and temperature : (a) variation of the titanium thickness (b) variation of the monolayer and bilayer( $T_{Ti}=1.4nm$ )

진 Ti의 두께를 1.4nm로 적용한 Ni/Ti 이중막과 Ni 단일막만을 적용시킨 시편의 면저항 비교 값이다. 그림에서 확연히 볼 수 있듯이 이중막을 적용시킨 경우보다 단일막의 경우 더욱더 낮은 면저항의 감소를 나타내었다. 이 또한 역시 중간층으로 사용된 Ti이 제대로 환원되지 못하여 Ni이 실리콘과 만나 실리사이드를 형성하는데 있어 방해물로 작용되는 것으로 본다.

그림 3은 400°C 100sec의 실리사이드 형성 열처리를 거친 후 500°C의 후속 열처리를 한 시편의 Ni 단일막(그림 3(a))과 Ni/Ti 이중막(그림 3(b))의 C-V 특성이다. 이중막의 경우 Ti의 두께는 1.4nm이다. 그림 3(a) 단일막은 후속 열처리 시간이 지나갈수록  $C_0$ (정전용량) 값이 줄어드는 반면 그림 3(b)의 이중막의 경우는  $C_0$  값이 증가하다 40초의 후속 열처리를 거친 후 무한히 증가하는 즉 MOSFET 소자가 손상되는 결과를 초래하게 된다. 단일막은 초기 평탄한 계면을 갖는 NiSi층으로 인한 적절한  $BF_2$  이온의 확산으로 비교적 높고 안정적인  $C_0$  값을 보이다가 후속 열처리 시간이 증가(80초 이상의 시간)할수록 Ni이 산화막 내로 침투하여 산화막의 질을 손상시켜  $C_0$  값이 감소하였다. 하지만 이중막에서는 40초 이상의 후속 열처리를 할 경우 소자의 손상이 먼저 보였다. 이는 초기 짧은 후속 열처리 시간에서는 매우 얇게 형성된 실리사이드 층을 지나  $BF_2$  이온이 다결정 실리콘 내로 확산해  $C_0$  값의 증가를 보이나 40초 이상의 후속 열처리를 거치면 Ni과  $BF_2$  이온이 다결정 실리콘의 큰 입계를 따라 쉽게 확산해 산화막의 손상을 빨리 일으키게 되기 때문이라 생각된다.

그림 4는 Ni 단일막의 후속 열처리 온도에 따른 C-V 변화이다. 후속 열처리 시간은 40초로 하였다. 결과에서 볼 수 있듯이 온도가 증가할수록  $C_0$  값이 감소함을 볼 수 있다.

#### 4. 결 론

다결정 실리콘 위에 Ni 단일막과 Ni/Ti 이중막을 이용하여 NiSi를 형성하여 PMOSFET을 제작하였다. Ti을 적용시킨 이중막의 경우 Ti이 제대로 환원의 역할을 하지 못하여 매우 얇은 NiSi 층을 형성하였다. NiSi 층이 너무 얇아 전체적으로 이루어지지 못하고 국부적으로 형성되어 이것이 후에 짧은 후속 열처리를 거친 후에도 NiSi의 degradation이 일어나 Ni과 불순물 이온이 산화막 내로 침투하여 전기적 특성을 저하시킨다. 반면 Ni 단일막으로 형성된 NiSi의 경우에는 얇은 실리사이드 층(약 36.6nm)

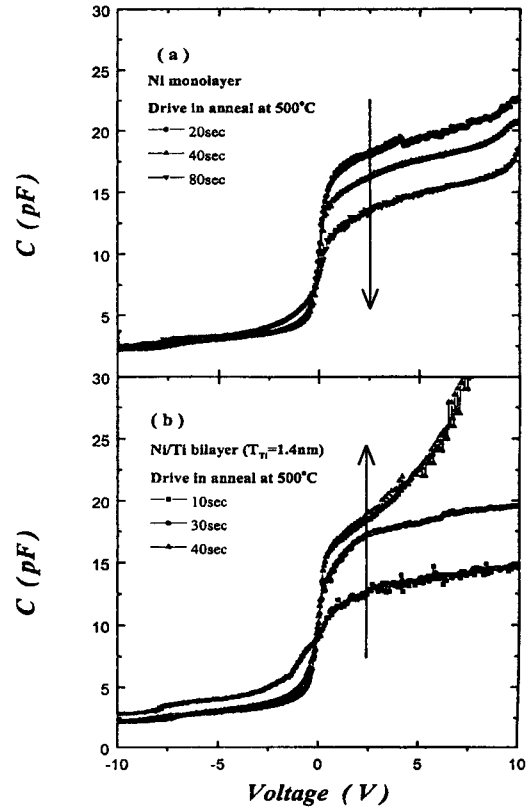


그림 3. 다결정 실리콘 위에 NiSi를 적용시킨 소자의 고주파수 C-V 특성 : (a) Ni 단일막 (b) Ni/Ti 이중막( $T_{Ti}=1.4nm$ )

Fig. 3. High-frequency C-V characteristics of PMOSFET used by NiSi on poly-Si : (a) Ni monolayer (b) Ni/Ti bilayer ( $T_{Ti}=1.4nm$ )

이 형성되지만 Ti의 방해물 층이 없어 비교적 균일하게 형성될 수 있어 이중막의 경우에 비해 오랜 시간의 후속 열처리 과정을 거친 후에도 소자의 손상이 일어나지 않았다. 다만 장시간이 지난 후에는 불순물이 산화막 내로 까지 확산해 산화막의 질을 저하 시켰다. 이상의 결과로 보아 Ni을 이용하여 실리사이드(NiSi)를 형성하고 이를 게이트 전극에 적용시키고자 할 경우에는, Ni/Ti 이중막 보다는 Ni 단일막을 이용하여 우선 300~400°C의 저온에서 100초 이상(100~200초)의 시간에서 실리사이드를 형성하고, 500~600°C 20~40초의 온도와 시간에서 후속 열처리 과정을 거치는 것이 바람직하다고 생각된다.

### 참 고 문 헌

- [1] C-S, Wei, G. Raghavan, M. Laurence, A. Dass, M. Frost, T. Brat, and D. B. Fraser, VLSI Metallization and Interconnect Conf. Proc. VI, 240 (1989)
- [2] C. Y. Ting, F. M. d'Heurle, S. S. Iyer, and P. M. Fryer, Journal of Electrochem. Soc. 133, 2621 (1986)
- [3] KAREN MAEX and MARC VAN ROSSUM, PROPERTIES OF Metal Silicides, INSPEC, 1 8~20 (1995)
- [4] F. Deng, R. A. Johnson, P. M. Asbeck, S. S. Lau, W. B. Dobbelday, T. Hsiao and J. Woo, Journal of Applied physics, 81 (12), 8047 (1997)

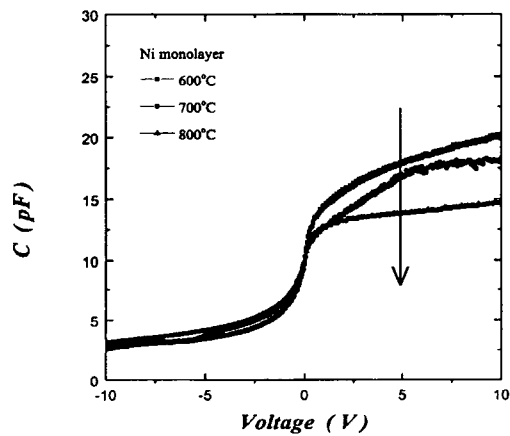


그림 4. 다결정 실리콘 위에 Ni 단일막을 적용시킨 소자의 온도에 따른 고주파수 C-V 특성

Fig. 4. High-frequency C-V characteristics of PMOSFET used by Ni monolayer on poly-Si