

Single Junction Charge Pumping 방법을 이용한 전하 트랩 형 SONOSFET NVSM 셀의 기억 트랩 분포 결정.

Determination of Memory Trap Distribution in Charge Trap Type SONOSFET NVSM Cells Using Single Junction Charge Pumping Method

양전우, 홍순혁, 박희정, 김선주, 서광열
(Jeon-Woo Yang, Soon-Hyuk Hong, Hee-Jong Park, Seon-Ju Kim, Kwang-Yell Seo)

광운대학교 전자재료공학과
Department of Electronic Materials Engineering, Kwangwoon University

Abstract

The Si-SiO₂ interface trap and nitride bulk trap distribution of SONOSFET(polysilicon-oxide-nitride-oxide-semiconductor) NVSM(nonvolatile semiconductor memory) cell were investigated by single charge pumping method. The used device was fabricated by 0.35 μm standard logic fabrication including the ONO cell process. This ONO dielectric thickness is tunnel oxide 24 \AA , nitride 74 \AA , blocking oxide 25 \AA , respectively. Keeping the pulse base level in accumulation and pulsing the surface into inversion with increasing amplitudes, the charge pumping current flow from the single junction. Using the obtained $I_{cp}-V_h$ curve, the local V_t distribution, doping concentration, lateral interface trap distribution and lateral memory trap distribution were extracted. The maximum $N_{it}(x)$ of $7.97 \times 10^{10} / \text{cm}^2$ and $N_T(x)$ of $1.62 \times 10^{19} / \text{cm}^3$ were determined.

1. 서론

Si-SiO₂의 계면과 기억트랩의 특성 조사 방법 중 Brugler 와 Jaspers가^[1] 발표한 전하펌핑(charge pumping) 방법은 측정방식이 간단할 뿐 만 아니라 분석이 쉽고, 자동화가 가능하며, 짧은 채널 소자에 직접 적용이 가능하다는 장점이 있다. 하지만 계면트랩 및 기억트랩의 평균 트랩 밀도만을 구할 수 있었고 복잡한 수치해석 과정이 필요하다는 단점을 가지고 있다.

이를 개선한 단일접합 전하펌핑(single junction charge pumping) 방법은^[2] 복잡한 시뮬레이션이나 수치해석이 없이 직접 측정된 실험 결과로부터 계면트랩 및 기억트랩의 채널 길이에 따른 공간적인 분포를 구할 수 있다. 본 연구에서는 0.35 μm 제작공정으로 제작된 전하 트랩 형 비휘발성 반도체 기억소자인 짧은 채널 SONOSFET를 제작하고 단일접합 전하펌핑 방법을 적용하여 채널 길이에 따른 Si-SiO₂ 계면특성과 기억트랩의 공간적인 분포를 조사하였다. 또한, 기록/소거 반복에 따른 소자의 열화 특성도 조사하였다.

2. 이론

단일접합 전하펌핑 방법의 실험 장치 및 측정 원리는 그림 1과 같다. V_b 는 평탄밴드 전압이고, V_t 는 채널 길이의 함수로 표시되는 문턱전압 (local

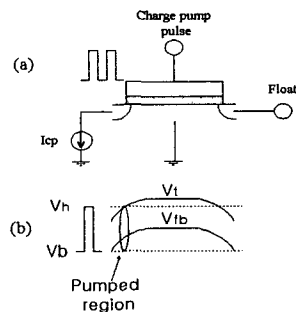


그림 1. (a) 단일접합 전하펌핑 측정장치와 (b) 문턱 전압의 공간적 분포와 인가되는 펄스와의 관계.

Fig. 1. (a) Experimental setup for the single junction charge pumping measurement and (b) illustration of lateral distributions of local V_t across the device and applied gate pulse.

threshold voltage)이다. 그림 1에 나타난 바와 같이 기준전위(V_b)를 일정하게 고정시키고 최고전위(V_h)를 변화시키는 사각 펄스를 N-채널 SONOSFET 게이트에 인가하고 기판은 접지시킨다. 한 쪽 접합은 플로팅하고 다른 쪽 접합에서 전하펌핑 전류를

측정하여 $I_{cp}-V_h$ 특성곡선을 구한다. 계면트랩이 I_{cp} 에 기여하기 위해서는 실리콘 표면이 축적과 반전을 반복하여야 한다. 따라서 문턱전압 V_t 보다 작은 V_h 에서는 전류가 흐르지 않고 V_h 가 증가하여 local V_t 보다 커지면 계면트랩이 I_{cp} 에 기여하여 외부 회로에 전류가 흐르게 된다.

계면트랩 밀도 N_{it} 가 채널을 따라 공간적으로 균일하다고 하면 I_{cp} 는 다음과 같이 주어진다. [3][4]

$$I_{cp, \max} = qfN_{it}WL \quad (1)$$

여기서 q 는 전하량, f 는 인가 펄스 주파수, W 는 유효 채널 폭, L 은 채널 길이이다. 이때 채널 길이 L 은 실제로 $V_{fb}=V_b$ 인 게이트 양끝 사이의 거리이다. V_b 가 충분히 작으면 L 은 물리적인 채널 길이가 된다. 그림 1 (b)에서 임의의 V_h 에 해당하는 $I_{cp}(V_h)$ 는 게이트 끝(실제 $V_{fb}=V_b$ 에서의 점)에서 local V_t 가 V_h 와 같아지는 점 사이의 계면트랩에 의한 전류이다. 즉,

$$I_{cp}(V_h) = qfN_{it}Wx \quad (2)$$

여기서 x 는 게이트 끝에서 $V_t(x)=V_h$ 인 점까지의 거리로 식(1)과 (2)로부터 다음과 같이 주어진다.

$$x = \frac{LI_{cp}(V_h)}{I_{cp, \max}} \quad (3)$$

이것으로 SONOSFET의 소스와 드레인의 문턱전압의 분포, $V_t(x)$ 를 얻을 수 있고 이를 이용하여 유효 채널 도핑 농도, $N(x)$,를 계산할 수 있다.

임의의 V_h 에서 전하펌핑 전류는 게이트 끝에서 $V_t(x)=V_h$ 인 점 x 까지의 계면트랩의 수에 비례한다. 따라서 I_{cp} 는 다음과 같이 주어진다.

$$I_{cp} = qfW \int_0^x N_{it} dx \quad (4)$$

식 (4)로부터 계면트랩 밀도의 공간적인 분포를 구하면 다음과 같이 표현된다.

$$\begin{aligned} N_{it}(x) &= \frac{dI_{cp}}{dx} \cdot \frac{1}{qfw} = \frac{dI_{cp}}{dV_h} \cdot \frac{dV_h}{dx} \cdot \frac{1}{qfw} \\ &= \frac{dI_{cp}}{dV_h} \cdot \frac{dV_t(x)}{dx} \cdot \frac{1}{qfw} \end{aligned} \quad (5)$$

측정한 $I_{cp}-V_h$ 곡선의 기울기와 $V_t(x)$ 곡선의 기울기로 계면트랩 밀도의 공간적 분포를 구할 수 있다. 프로그램에 의해 기억트랩에 전하가 채워지면 $I_{cp}-V_h$ 곡선이 수평 이동하게 된다. 각 위치 x 에 상응하는 $I_{cp}(x)$ 를 찾고 동일한 $I_{cp}(x)$ 에 대한 V_h 의 변화량 ΔV_h 로부터 거리 x 에 따른 주입된 기억전하의 밀도 $Q_{ot}(x)$ 는 다음과 같이 주어진다.

$$Q_{ot}(x) = \Delta V_h C_{ox} \quad (6)$$

기억트랩을 완전히 채웠을 경우 기억트랩 밀도 $N_T(x)$ 는 다음 식으로 구할 수 있다.

$$N_T(x) = \frac{Q_{ot}(x)}{q} = \frac{\Delta V_h C_{ox}}{q} \quad (7)$$

3. 실험

SONOSFET NVSM 셀은 0.35 μm 표준공정을 기본으로 ONO 게이트 유전막 형성 공정을 추가시킨 기억 셀 임베디드 로직 공정(embedded logic process)으로서 리트로그레이드 트윈 웰(retrograde twin well), 이중 폴리(double poly)의 CMOS공정을 사용하였다.

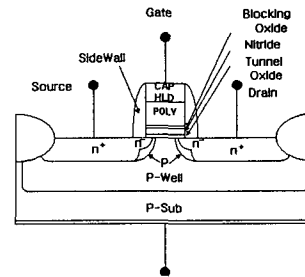


그림 2. n-채널 SONOSFET의 단면도.

Fig. 2. n-channel SONOSFET cross section.

게이트 유전막의 제작은 다음과 같다. 터널 산화막은 950 $^{\circ}\text{C}$ 상압에서 질소로 희석시킨 산소($\text{O}_2:\text{N}_2 = 0.15 \text{ l/min}:15.0 \text{ l/min}$)를 사용해서 열산화 하여 성장시켰으며, 질화막은 750 $^{\circ}\text{C}$ 에서 SiH_2Cl_2 와 NH_3 의 혼합가스($\text{SiH}_2\text{Cl}_2:\text{NH}_3 = 30 \text{ sccm}:450 \text{ sccm}$)를 반응시켜 LPCVD 방법으로 터널 산화막 위에 증착 하였다. 블로킹 산화막은 950 $^{\circ}\text{C}$ 에서 $\text{H}_2:\text{O}_2 = 8.0 \text{ l/min}:5.0 \text{ l/min}$ 인 혼합가스를 사용해서 습식산화 방법으로 질화막 위에 성장시켰다. ONO 유전막의 최종 두께는 각각 24 \AA , 74 \AA , 25 \AA 이었다. 이렇게 제작된 소자의 단면 구조는 그림 2와 같다. 제작된 SONOSFET 기억소자의 스위칭, 내구성 및 기억유지 등의 기억특성을 반도체 파라미터 분석기(HP4155B)를 사용하여 측정하였다. 전하펌핑 측정을 위해 펄스 발생기(HP81101A)로부터 100 kHz의 펄스를 게이트에 인가한다. 인가된 펄스의 기준준위를 -2 V로 고정하고 최고준위 V_h 는 -2 V에서 0.05 V 간격으로 증가시키면서 각각의 V_h 에 대해 I_{cp} 값을 한 쪽 접합에서 측정하였다. 이 때 다른 쪽은 플로팅 하였다. 내구성 및 열화 특성을 조사하기 위해 스위칭 특성으로부터 결정한 프로그램 조건으로 기록/소거를 반복하여 $I_{cp}-V_h$ 곡선을 구하였다.

4. 결과 및 고찰

기록/소거를 수행하지 않은 초기상태의 SONOSFET의 $I_{cp}-V_h$ 측정 결과는 그림 3과 같다. 그림 3에서

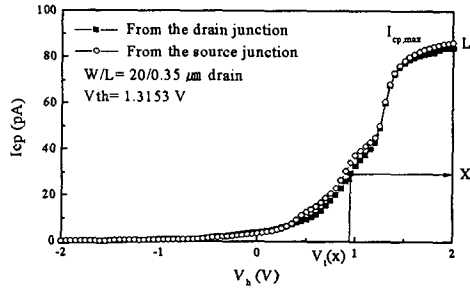


그림 3. SONOSFET의 드레인과 소스에서 각각 구한 Single junction charge pumping 곡선.

Fig. 3. Single junction charge pumping curves measured from source and drain junction of SONOSFET.

○는 소스 접합에서 측정한 것이고 ■는 드레인 접합에서 측정한 $I_{cp}-V_h$ 곡선이다. 두 곡선은 거의 일치된 모양을 보인다. 이는 두 접합이 같은 공정으로 형성된 대칭 형태의 LDD구조를 가지고 있기 때문이다. local V_t 보다 더 작은 V_h 에서는 I_{cp} 는 흐르지 않다가 V_h 가 증가하여 local V_t 보다 커지면 그 영역에 포함된 계면트랩이 I_{cp} 에 기여하여 전류가 흐르게 되고 V_h 가 채널 내의 가장 큰 local V_t 에 도달하면 전 영역의 계면트랩이 I_{cp} 에 기여하므로 최대값에 도달하게 되어 포화된다.

그림 3의 $I_{cp}-V_h$ 곡선과 식 (3)을 이용하여 문턱전압 분포 $V_t(x)$ 를 구하였으며 그 결과는 그림 4의 분포 (a)와 같다. 이론적으로 계산한 도핑 농도에 따른 문턱전압의 관계를 이용하여 문턱전압으로부터 유효 도핑 농도 분포 $N(x)$ 를 구하였으며 결과는 그림 4의 분포 (b)와 같다. 거리에 따른 유효 도핑 농도로부터 소스/드레인 영역과 채널 영역을 정확히 구분할 수 있었다. 소스/드레인 접합은 측면 확산 하여 n-type과 p-type도핑이 균형을 이루는 지점까지 존재한다. 측정으로부터 구한 측면 확산 깊이는 게이트 가장자리로부터 $0.02 \mu\text{m}$ 이었으며 유효 채널 길이 L_{eff} 는 $0.31 \mu\text{m}$ 이었다. 질화막 내의 트랩 분포를 조사하기 위하여 게이트에 음의 스트레스 전압 (-8V , 1sec)을 인가하여 기억트랩을 완전히 비운 후 드레인과 소스에서 I_{cp} 전류를 측정하고 다시 양의 스트레스 전압(9V , 1sec)을 인가하여 기억트랩을 완전히 채운 다음 동일한 조건으로 I_{cp} 전류를 측정하였으며 그 결과는 그림 5와 같

다. ■ 은 트랩을 완전히 비운 상태에서 측정한 $I_{cp}-V_h$ 곡선이고 □은 트랩을 완전히 채운 다음 측정한 곡선이다. 측정된 전하펌핑 전류의 최대 값은 변하지 않았다. 이는 계면트랩의 변화 없이 질화막 내의 기억트랩에 트랩된 전하에 의해 $I_{cp}-V_h$ 곡선이 수평 이동하였음을 의미한다.

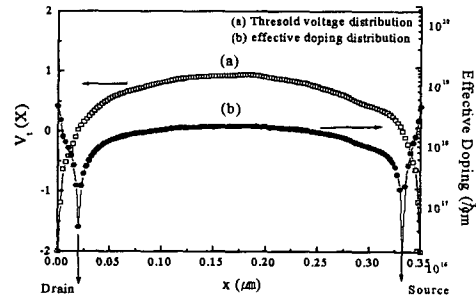


그림 4. 문턱전압 분포 및 유효 도핑 농도.

Fig. 4. Local threshold voltage distribution and effective doping concentration.

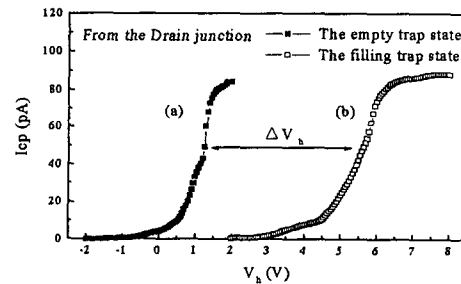


그림 5. 프로그램과 소거 후의 $I_{cp}-V_h$ 곡선.

Fig. 5. $I_{cp}-V_h$ curves after Program and Erase.

$I_{cp}-V_h$ 곡선의 기울기와 문턱전압 분포 $V_t(x)$ 의 기울기로부터 계면트랩 밀도의 공간적인 분포 $N_{it}(x)$ 를 구하였으며 그 결과는 그림 6의 곡선 (a)와 같다. 계면트랩은 채널 전체에 걸쳐 균일하게 분포하였으며 최대 값은 $7.97 \times 10^{10} / \text{cm}^2$ 이었다. 소자의 스케일 다운에도 불구하고 계면상태가 우수함을 의미한다.

그림 5의 곡선 (a)와 (b)에서 동일한 I_{cp} 값에 대한 V_h 의 이동량, ΔV_h 와 식 (7)을 이용하여 기억트랩의 공간적 분포 $N_T(x)$ 를 나타내면 그림 6의 곡선 (b)와 같다. 기억트랩 밀도의 최대 값은 $1.62 \times 10^{19} / \text{cm}^3$ 이었다. 채널 증앙을 중심으로 고른 분포를 가지는 것을 볼 수 있어 채널 전면을 통한 프로그램 및 소거가 용이함을 볼 수 있다.

SONOSFET 기억소자의 열화 특성을 조사하기 위해 소자의 스위칭 특성으로부터 결정한 $9\text{V}/50 \text{ msec}$,

-8 V/100 msec의 프로그램 조건으로 기록/소거하면서 구한 기억창의 변화는 그림 7과 같다. 10^6 회 이상의 기록/소거 반복에도 불구하고 1 V 이상의 기억창을 얻을 수 있어 내구성이 우수함을 알 수 있었다.

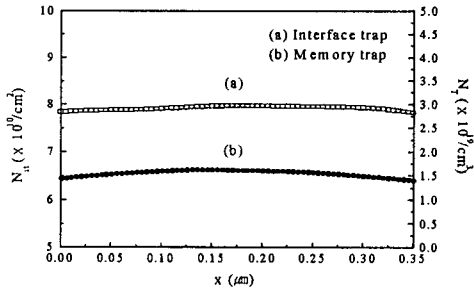


그림 6. 계면트랩 및 기억트랩의 공간 분포.
Fig. 6. Lateral distribution of interface traps and memory traps in the SONOSFET NVSM.

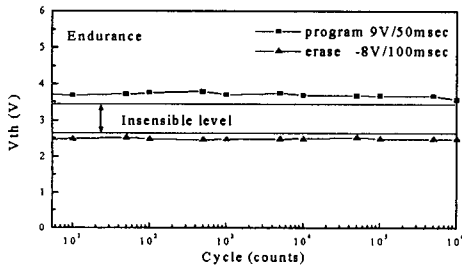


그림 7. SONOSFET소자의 내구성 특성.
Fig. 7. Endurance characteristics of SONOSFET.

기록/소거 반복에 따른 계면트랩 및 기억트랩의 변화를 조사하기 위하여 5×10^4 , 10^5 , 5×10^5 회 기록/소거 반복 후 그림 5에서와 동일한 방법으로 I_{op} - V_{th} 특성곡선을 측정하고 N_{it} 의 분포 및 N_T 의 분포를 구한 결과는 각각 그림 8 및 9와 같다. 그림 8에서 알 수 있는 바와 같이 기록/소거 반복에 따라 계면트랩의 밀도가 채널 전면에서 고른 증가를 보였으며 5×10^5 회 이상에서는 포화되었다. 반면 기억트랩은 10^5 회 이후 급격한 증가를 보이다 포화되는 경향을 보인다.

5. 결론

$0.35 \mu m$ 임베디드 로직 공정으로 짧은 채널 SONOSFET NVSM을 제작하고 그 기억특성을 조사하였다. 단일접합 전하펌핑 방법을 이용하여 SONOSFET의 Si-SiO₂의 계면트랩과 기억트랩의 채널 길이에 따른 공간 분포를 조사하여 다음과 같은 결론을 얻었다. 초기상태의 SONOSFET의 계면트랩

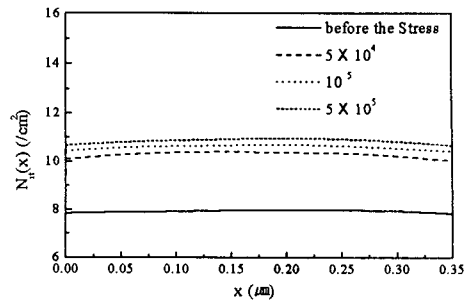


그림 8. 기록/소거 반복에 따른 계면트랩 공간 분포.
Fig. 8. Interface trap distribution during program/erase cycles.

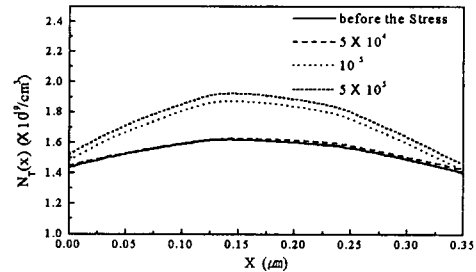


그림 9. 기록/소거 반복에 따른 기억트랩 공간 분포.
Fig. 9. Memory trap distribution during program/erase cycles.

은 채널 전체에 걸쳐 균일하게 분포하였으며 소자의 스케일 다운에도 불구하고 계면상태가 우수하였다. 기억트랩 밀도 분포는 채널 중앙을 중심으로 고른 분포를 가지는 것을 볼 수 있어 채널 전면을 통한 프로그램 및 소거가 용이함을 알 수 있었으며 내구성 실험에서 10^6 회 이상의 기록/소거 반복에도 불구하고 1 V 이상의 기억창을 얻을 수 있었다. 기록/소거가 반복됨에 따라 계면트랩 및 기억트랩의 고른 증가를 보였다. 단일접합 전하펌핑 방법을 사용하여 복잡한 시뮬레이션이나 수치해석이 없이 SONOSFET 기억 소자의 기억트랩 분포를 정확히 구할 수 있었다.

참고문헌

- [1] J. S. Brugler et al., IEEE Trans. Electron Devices. Vol. ED-16, No 3, p 297, 1969.
- [2] Tso-Ping Ma, et al., IEEE Trans. on Electron Devices. Vol 45, No 2. p 512 1998.
- [3] G. Groeseneken, et al., IEEE Trans. on Electron Device. vol. 36 p 1318 1989.
- [4] N. S. Saks, et., IEEE Trans. on Electron Device. vol. 35. p 2221 1988.