

## TFT-LCD 특성에 미치는 Capacitive Cross-talk의 영향에 대한 시뮬레이션

### Simulations of Capacitive Cross-talk Effects on TFT-LCD Operational Characteristics

윤영준, 정순신, 김태형, 최종선  
홍익대학교 전자전기공학부

Young Jun Yun, Soon Shin Jung, Tae Hyung Kim, Jong Sun Choi  
School of Electronics and Electrical Eng., Hong-Ik Univ.

#### Abstract

The design of large area thin film transistor liquid crystal displays (TFT-LCDs) requires consideration of cross-talks between the data lines and pixel electrodes. These limits are imposed by the parasitic capacitive elements present in a pixel. The capacitive coupling of the data line signal onto the pixel causes a pixel voltage error. In this study, semi-empirical capacitance model which is adopted from VLSI interconnection capacitance calculations was used to calculate mutual coupling capacitances. With calculated mutual coupling capacitances and given image pattern, the root mean square (RMS) voltage of pixel is calculated to see vertical cross-talk from the first to the last column. The information obtained from this study could be utilized to design the larger area and finer image quality panel.

#### 1. 서론

최근 들어 멀티미디어에 대한 관심이 집중되고 있고, 이에 따라 평판 디스플레이에 대한 요구도 점점 증가하고 있다. 여러 가지 평판 디스플레이 장치 중에서 가장 우수하고 널리 사용되고 있는 것은 비정질 실리콘 박막 트랜지스터(TFT)를 스위칭 소자로 사용하는 액정 표시 장치(TFT-LCD)이다. 이 TFT-LCD가 대화면적·고해상도로 더욱 더 발전하기 위해서는 TFT-LCD를 설계할 때 반드시 크로스토크를 고려해야만 한다. 크로스토크는 데이터 전극과 화소 전극 사이에 발생한 mutual coupling 정전용량에 의해 실제 화소의 전압에 에러가 발생하는 현상을 말한다. 본 연구에서는 우선 mutual coupling 정전용량을 VLSI에서 쓰이는 semi-empirical model을 적용해서 계산했다. Semi-empirical model은 매우 정확하지만 복잡하고 시간이 많이 걸리는

numerical model과 거의 동일한 결과를 보여주기 때문에 이미 VLSI분야에서는 널리 사용되고 있다.<sup>1</sup> 그 다음으로 일정한 이미지 패턴을 갖는 화면을 가지고 화소의 실효 전압 값을 첫 번째 column부터 마지막 column까지 계산했다. 마지막으로 이렇게 구해진 mutual coupling 정전용량 값과 화소의 실효 전압 값을 가지고 수직 크로스토크를 시뮬레이션 할 수 있었다. 이번 시뮬레이션으로 나온 결과는 대화면적 고화질 TFT-LCD의 설계와 제작에 일반적인 방향을 제시해 줄 수 있을 것이다.

#### 2. Simulation 방법

##### 2.1. Semi-empirical model

본 연구에서는 크로스토크를 시뮬레이션하기 위해서 우선 mutual coupling 정전용량 값을 계산했다.

지금까지 구해 오던 정전용량은 다음과 같이 간단한 식을 이용해서 계산했다.<sup>2</sup>

$$C = \epsilon \frac{S}{d}$$

위 식에서  $\epsilon$ 은 두 평행도체판 사이의 유전율,  $S$ 는 도체판의 면적,  $d$ 는 두 도체판 사이의 거리를 나타낸다. 이렇게 구한 정전용량은 끝 부분의 불균일한 전하분포에 의한 영향을 취급하지는 않기 때문에 정확한 정전용량을 구하는 데는 부족한 면이 있을 뿐만 아니라 정확한 크로스토크를 구하기 위해 필요한 mutual coupling 정전용량을 구하는 데는 너무 큰 오차를 가지고 있었다. 그래서 본 연구에서는 VLSI에서 사용되어지는 semi-empirical model(그림 1)을 사용하였다. 본 연구에서 새롭게 구한 정전용량은 그림 2에 나타난 데이터 배선과 게이트 배선 교차부의 용량, 액정 용량, 게이트 전극과 소오스/드레인 전극간의 중첩에 의한 기생 용량, 공통 전극과 드레인/게이트 전극의 교차부에서 생기는 정전용량, 화소 전극과 드레인/게이트 전극의 coupling에 의해 생기는 정전용량이다.

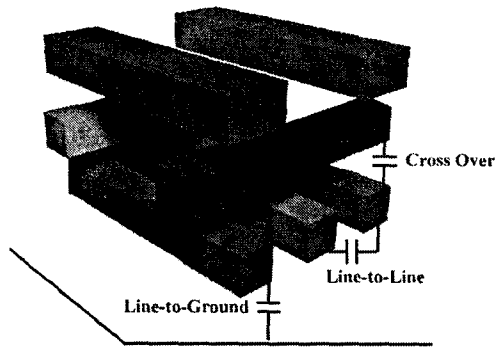


그림 1. 각 금속 배선에서 발생하는 정전용량

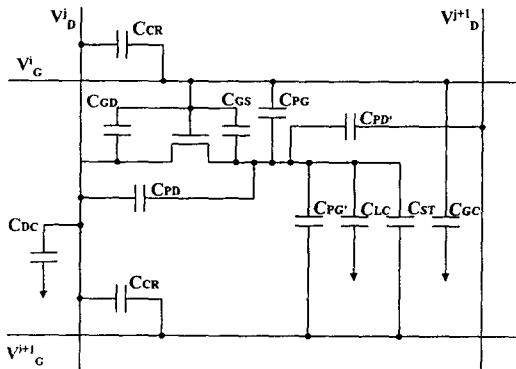


그림 2. 한 화소의 정전용량 등가회로(on-gate 구조)

첫 번째로 데이터 배선과 게이트 배선 교차부의 정전용량( $C_{CR}$ )은 crossover 구조의 정전용량 계산식<sup>3</sup>을 사용하였고, 그 다음으로 액정의 정전용량( $C_{LC}$ )을 finite line-to-ground 구조의 정전용량 계산식<sup>4</sup>으로 계산하였다. 세 번째로 게이트 전극과 소오스/드레인 전극간의 중첩에 의해 생기는 기생용량( $C_{GS}$ )은 overlapping 구조의 정전용량 계산식<sup>3</sup>을 사용했고, 게이트/데이터 전극과 공통전극 사이의 정전용량( $C_{GC}$ ,  $C_{DC}$ )은 infinite line-to-ground 구조의 정전용량 계산식<sup>4</sup>을 사용하였다. 마지막으로 crosstalk에 직접적인 영향을 끼치는 화소전극과 데이터/게이트 전극간의 coupling 정전용량( $C_{PD}$ ,  $C_{PG}$ ,  $C_{PD'}$ ,  $C_{PG'}$ )을 line-to-line 구조의 정전용량 계산식<sup>5</sup>을 사용해서 계산하였다. 각 수식에 사용되어진 파라메타의 물리적인 의미는 표 1에 나타내었다.

①  $C_{CR}$  (Crossover Capacitance)

$$\begin{aligned} \frac{C}{\epsilon_{ox}} &= 3.285 \times \left( \frac{W_1 \times W_2}{H_2} \right) \\ &+ W_1 \times \left( 4.505 \times \frac{T_2}{T_2 + 0.2 \times H_2} - 0.438 \times \left( \frac{T_2}{T_2 + 0.2 \times H_2} \right)^2 \right) \\ &+ W_2 \times \left( 4.505 \times \frac{T_1}{T_1 + 0.2 \times H_2} - 0.438 \times \left( \frac{T_1}{T_1 + 0.2 \times H_2} \right)^2 \right) \\ &+ 1.532 \times \left( T_2 \times \left( \frac{W_1}{W_1 + 0.5 \times H_2} \right)^{2.56} - T_1 \times \left( \frac{W_2}{W_2 + 0.5 \times H_2} \right)^{2.54} \right) \end{aligned}$$

②  $C_{LC}$  (Finite Line-to-Ground Capacitance)

$$\frac{C_b}{\epsilon_{ox}} = 1.15 \times \frac{S}{H} + 1.40 \times \left( \frac{T}{H} \right)^{0.222} \times D + 4.12 \left( \frac{T}{H} \right)^{0.728} \times H$$

③  $C_{GS}$  (Overlapping Capacitance)

$$\begin{aligned} \frac{C}{\epsilon_{ox}} &= 1.25 \times \left( \frac{W_1 - S_{ov}}{H_1 + H_2 + T_2} \right) \\ &+ 2.919 \times \left( \frac{T_1}{H_1 + H_2 + T_2} \right)^{0.25} + 0.906 \times \left( \frac{S_{ov}}{H_2} \right) \\ &+ \left[ 0.198 \times \left( \frac{T_1}{W_2 - S_{ov} + 1} \right) - 0.447 \times \left( \frac{T_1}{W_2 - S_{ov} + 1} \right)^2 + 2.514 \right. \\ &\left. \times \left( \frac{T_2}{W_1 - S_{ov} + 1} \right) - 2.883 \times \left( \frac{T_2}{W_1 - S_{ov} + 1} \right)^2 \right] \times \left( \frac{H_1}{H_2} \right)^{0.649} \end{aligned}$$

④  $C_{GC}$ ,  $C_{DC}$  (Infinite Line-to-ground Capacitance)

$$\frac{C}{\epsilon_{ox}} = 1.15 \times \left( \frac{W}{H} \right) + 2.80 \times \left( \frac{T}{H} \right)^{0.222}$$

⑤  $C_{PD}$ ,  $C_{PG}$ ,  $C_{PD'}$ ,  $C_{PG'}$  (Line-to-Line Capacitance)

$$\begin{aligned} \frac{C}{\epsilon} &= 1.064 \left( \frac{T}{S} \right) \left( \frac{T+2H}{T+2H+0.5S} \right)^{0.695} + \left( \frac{W}{W+0.8S} \right)^{1.418} \\ &\left( \frac{T+2H}{T+2H+0.5S} \right)^{0.804} + 0.831 \left( \frac{W}{W+0.8S} \right)^{0.055} \left( \frac{2H}{2H+0.5S} \right)^{3.54} \end{aligned}$$

표 1. 수식에 사용되었던 파라메타의 물리적 의미

파라메타	물리적 의미
$\epsilon$	유전율
W	금속 배선의 폭
T	금속 배선의 두께
H	유전체의 두께
S	두 평행 금속 배선 사이의 간격
$S_{ov}$	두 금속의 overlapping되는 길이
1.2	각각의 금속 배선

## 2.2. 화소의 실효전압

계조 표시특성을 저해시키는 인가 전압 오차의 원인들 중의 하나가 상호혼신(cross-talk)이다. 상호혼신은 다른 표시 셀들의 상태에 따른 특정 셀의 특성 변화를 의미한다. 간단히 static한 관점에서 보면 TFT가 게이트 전압에 의해 켜졌을 때만 데이터 배선에 인가된 전압에 의해 영향을 받지만 실제로는 TFT가 off상태라도 적은  $I_{OFF}$ 도 소자에 연결된 stray 용량에 의해 우회(bypass)되어 인가전압에 오차가 생기게 한다. Coupling 파라메터를 정의하고 열(column) 상의 한 셀에 인가되는 실효전압은 frame inversion의 경우 아래와 같이 표시될 수 있다.<sup>8</sup> 그리고 화소의 실효전압을 구할 때 2차항( $\alpha^2$ ,  $\beta^2$ ,  $\alpha\beta$ )을 생략함으로써 수식을 간략화 했다.

$$\begin{aligned}
 [V_{\mu}(RMS)]^2 &= \frac{1}{N} \left\{ V_i^2 + \sum_{j=1}^N [V_i - \alpha(V_i - V_j) - \beta(V_i - V_j)]^2 \right. \\
 &\quad \left. + \sum_{j=1}^N [V_i - \alpha(V_i + V_j) - \beta(V_i + V_j)]^2 \right\} \\
 &\cong (V_i - \alpha V_i + \beta V_i)^2 + \frac{2}{N} \alpha V_i \left[ \sum_{j=1}^N V_j - \sum_{j=1}^N V_j \right] \\
 &\quad + \frac{2}{N} \beta V_i \left[ \sum_{j=1}^N V_j - \sum_{j=1}^N V_j \right]
 \end{aligned}$$

$$\alpha = \frac{C_{PD}}{C_{LC} + C_S + C_{PG} + C_{PG} + C_{GS} + C_{PD} + C_{PD}}$$

$$\beta = \frac{C_{PD}}{C_{LC} + C_S + C_{PG} + C_{PG} + C_{GS} + C_{PD} + C_{PD}}$$

## 3. Simulation 결과

우선 coupling 정전용량을 두 전극사이의 거리에 따라 전극의 폭의 함수로 시뮬레이션 해보았다. 그 결과를 그림 3과 그림 4에 나타내고 있는데, 결과 값이 문헌상의 결과와 거의 일치했다.<sup>6, 7, 8</sup> 여기서 두 전극 사이의 간격이 감소할수록 정전용량은 증가함을

알 수 있었고, 또 전극의 폭이 증가할수록 정전용량도 따라서 증가함을 알 수 있었다. 이 사실은 TFT-LCD가 고해상도 대화면적으로 갈수록 coupling 정전용량이 증가되고, 그 결과 크로스토크 현상이 더 크게 일어날 것임을 알 수 있다.<sup>8</sup>

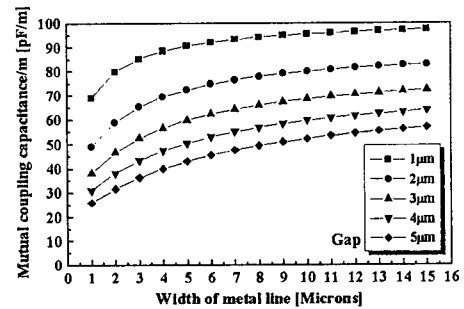


그림 3. 전극의 폭에 따른 정전용량

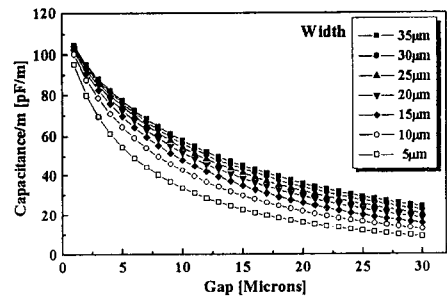


그림 4. 두 전극사이의 거리에 따른 정전용량

그 다음으로 그림 5에서 나타낸 바와 같이 임의의 이미지 패턴을 설정하고 표2에 나타낸 시뮬레이션 조건에 따라 얼마나 심한 크로스토크 현상이 일어나는지를 column을 변화시켜가면서 시뮬레이션 한 결과를 그림 6에 나타내었다.

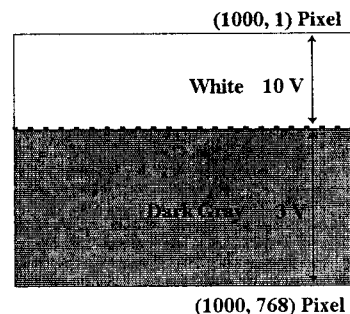


그림 5. 크로스토크 계산을 위해 사용한 임의의 이미지 패턴

표 2. 시뮬레이션에 사용된 파라메타의 종류와 값

항목	값	항목	값
대각크기	15"	게이트 전압	0~10 V
해상도	1024×768	Inversion 방식	Frame
외관비	4 : 3	문턱전압	3 V
프레임 시간	16.667	전계효과파이동도	0.5 cm/Vs
제조수	64	절연체 유전율	6.5
실리콘 두께	3000 Å	액정 유전율	9.8, 3.2
채널 폭	25 μm	채널 길이	5 μm
중첩 폭	25 μm	중첩 길이	3 μm

#### 4. 결론

본 연구에서는 VLSI에서 사용되고 있는 semi-empirical model을 사용해서 mutual coupling 정전용량 값을 구하고, 이렇게 구해진 정전용량 값을 가지고 화소의 실효전압 값을 구함으로써 크로스토크 현상을 시뮬레이션 할 수 있었다. 시뮬레이션으로 얻어진 결과는 대화면적·고해상도의 TFT-LCD를 설계할 때 일반적인 방향을 제시할 수 있을 것이다. 앞으로는 실제의 측정 데이터와 시뮬레이션 된 데이터를 비교·분석할 필요가 있다.

본 논문은 통상산업부와 과학기술처에서 시행한 선도기술개발(G-7)사업의 지원으로 수행되었음

#### 참고 문헌

[1] Albert E. Ruehli, Capacitance Models for Integrated Circuit Metallization Wires, IEEE Journal of Solid-State Circuits, Vol. SC-10, No. 6, pp.530-536, 1975.12.

[2] William H. Hayt, Jr., Engineering Electromagnetics, McGraw-Hill, pp.144-150, 1989.

[3] S.-C. Wong, Interconnection Capacitance Models for VLSI Circuits, Solid-State Electronics, Vol. 42, No. 6, pp.969-977, 1998.

[4] T. Sakurai, Formulas for Two- and Three-Dimensional Capacitance, IEEE Trans. Electron Devices, Vol. ED-30, No. 2, pp.183-185, 1983.

[5] J.-H. Chern, Multilevel Metal Capacitance Models for CAD Design Synthesis Systems, IEEE Electron Device Lett., Vol.13, No.1, pp.32-34, 1992.

[6] Robert L. Wisnieff, Line Delay Capacitive Crosstalk Effects in TFT/LCDs, 1988 SID, pp.173-178, 1988.

[7] R. L. Wisnieff, Gray Scale Fidelity of Thin Film Transistor Addressed Liquid Crystal Displays, Proceedings of the Conference Eurodisplay 1987 London, pp.59-62, 1987

[8] F. R. Libsch, Understanding Crosstalk in High-Resolution Color Thin-Film-Transistor Liquid Crystal Displays, IBM Journal of Research and Development, Vol. 42, No. 3/4, pp.467-479, 1998.

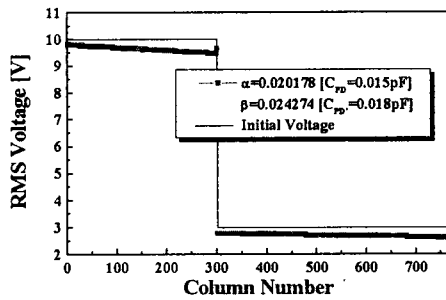


그림 6. Column의 위치에 따른 화소의 실효전압

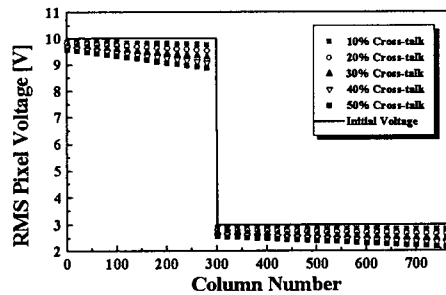


그림 7.  $\alpha$ ,  $\beta$ 의 변화율에 따른 화소의 실효전압

그리고 마지막으로 크로스토크가  $\alpha$ ,  $\beta$ 의 값에 얼마나 큰 영향을 받는지 알기 위해 임의로  $\alpha$ ,  $\beta$ 를 변화시켜가면서 동일한  $\alpha$ ,  $\beta$ 를 갖는다고 가정하고 화소의 실효전압을 시뮬레이션 해 보았다. 그림 7에 나타난 것처럼  $\alpha$ ,  $\beta$ 가 증가할수록 더욱 더 큰 크로스토크 현상이 일어남을 알 수 있었다.