

열화가 억제된 다결정 실리콘 박막 트랜지스터의 전기적 특성

Electrical Characteristics of Poly-Si TFT's with Improved Degradation

변문기, 이재혁, 백희원, 김동진*, 김영호
수원대학교 전자재료공학과, 유한대학교 전자공학과*

M. G. Byun, J. H. Lee, H. W. Back, D. J. Kim*, Y. H. Kim
Dept. of Electronic Materials Eng., The university of Suwon
Dept. of Electric Eng., The College of Uuhan*

Abstract

The effects of electrical positive stress on n-channel LDD and offset structured poly-Si TFT's have been systematically investigated in order to analyze the transfer curve's shift mechanism. It has been found that the LDD and offset regions behave as a series resistance that reduce the electric field near drain. Hot carrier effects are reduced because of these results. After electrical stress transfer curve's shift and variation of the off-current are dependent upon the offset length rather than offset region's doping concentration. Variation of the subthreshold slope is dependent upon offset region's doping concentration as well as offset length.

Key Words(중요용어) : LDD/Offset structured poly-Si TFT's, Electric field, interface states injected carriers

1. 서론

AMLCDs(active matrix liquid crystal displays)의 핵심소자인 다결정 실리콘 박막 트랜지스터(polysilicon thin film transistors, poly-Si TFT's)^{1~2)}는 비정질 실리콘 박막 트랜지스터와는 달리 50 cm²/V·sec 이상의 이동도, 낮은 문턱전압, 높은 ON/OFF 전류비 등의 우수한 전기적 성능을 갖고 있음에도 불구하고 활성층으로 사용되는 다결정 실리콘 박막 내의 비교적 높은 트랩밀도로 인하여 발생하는 높은 off-전류가 pixel용 TFT's로 사용하는 데 있어서의 제한 요소로 작용하고 있다. 또한 10 V~30 V의 비교적 높은 구동전압으로 인한 전기적 특성 열화 현상이 심각한 문제점으로 대두되고 있다.^{3~5)} 이러한 열화 현상⁶⁾을 감소시키기 위해서 offset 구조를 갖는 poly-Si TFT's와 LDD 구조를 갖는 poly-Si TFT's 등이 제시되었으나 이들의 전

기적 stress 인가에 따른 소자 특성 변화 메커니즘 규명은 아직 미흡한 것으로 알려져 있다.

따라서, 본 연구에서는 n-채널 offset-gated TFT's와 LDD(lightly doped drain) TFT's를 quartz 기판 상에 W/L = 50 μm/ 10μm으로 LDD 및 offset 길이에 변화를 주면서 제조한 후 전기적 stress에 의한 소자 특성 변화 메커니즘을 규명하기 위하여 positive bias stress(V_{GS} = V_{DS} = +20 V)를 인가하여 전기적 stress에 따른 특성 변화를 체계적으로 분석하여 LDD 및 offset 구조를 갖는 n-채널 poly-Si TFT's의 소자 특성 변화 메커니즘을 비교, 규명하고자 한다.

2. 실험 방법

LPCVD(low-pressure chemical vapor deposition) 방법으로 550 °C에서 500 Å 두께의 실리콘 박막을

증착하여 활성층으로 사용하였다. 이 때 반응 가스로는 가장 많이 쓰이는 SiN_4 를 사용하였으며, 증착시 진공도는 0.3 Torr, SiN_4 유입량은 60 sccm (standard cubic centimeter), 증착률은 34 Å/min로 유지하였다. Si 이온을 35 KeV, $1.1 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 실리콘 박막에 이온 주입시켰으며 증착된 비정질 실리콘을 고상결정화(SPC) 방법으로 열처리 (580 °C, 48 hrs)하여 다결정 실리콘으로 고정화시킨 후 active mask를 이용하여 활성영역 층을 정의하고 건식 식각 방법으로 다결정 실리콘 박막을 식각 하였다. 게이트 산화막은 열산화 방법으로 950 °C에서 1000 Å 성장시키고 Poly-Si 게이트 전극을 LPCVD 방법을 사용하여 560 °C에서 1500 Å 두께로 증착한 후 게이트 mask를 사용하여 게이트 영역층을 정의한다. n^+ 의 소스/드레인 형성을 위해 $3 \times 10^{15} / \text{cm}^2$, 95 KeV의 조건으로 n^+ 이온을 소스, 드레인, 게이트 영역에 이온 주입하였으며 이때 offset 소자의 경우는 masking 작업을 이용하여 offset 영역을 정의하고 LDD 소자의 경우는 소스/드레인 형성을 하기 전에 먼저 $2 \times 10^{12} / \text{cm}^2$ 의 n^- 이온을 주입하고 photoresist로 LDD 영역을 덮어주고 소스/드레인 형성에 들어간다. 열산화 방법으로 순수 SiO_2 막을 950 °C에서 3500 Å 두께로 증착시켰다. Contact mask를 이용하여 소스, 드레인, 게이트 접촉점을 정의한 후 실리콘이 1 % 함유된 알루미늄을 DC magnetron sputtering 방법으로 전극을 증착하였다. Metal mask를 사용하여 전극을 형성하고 450 °C에서 1시간 동안 alloying하여 W/L = 50 $\mu\text{m}/10 \mu\text{m}$ 이고 다양한 offset과 LDD를 갖는 n-channel 다결정 실리콘 박막 트랜지스터를 제작하였다.

3. 결과 및 고찰

그림 1은 stress를 가하기 전의 LDD와 offset 길이에 따른 전형적인 $I_{DS}-V_{GS}$ 특성 곡선이다.

LDD 및 offset 구조를 갖는 poly-Si TFT's는 LDD 와 offset 영역의 직렬저항 효과로 인하여 드레인 부근의 수평방향 전계를 감소시키기 때문에 수평방향 전계의 의존도가 높은 off-전류가 크게 감소하여 게이트 전압에 관계없이 일정한 값을 가지게 되며 offset 소자의 저항값이 더 크기 때문에 더 작은 전류값을 갖게 된다. On 전류 역시 LDD 및 offset 영역의 직렬저항 효과 때문에 LDD와 offset의 길이에 따라 다소 감소하게 되는데 LDD 영역의 저항이 offset 영역보다 작기 때문에 offset 소자쪽의 전류값이 같은 길이의 LDD 소자보다 적어지게

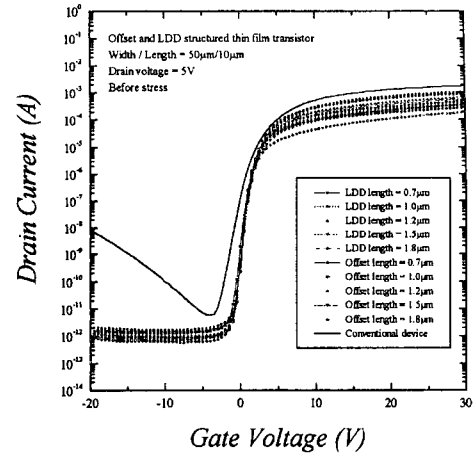


그림. 1 LDD 및 offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 전기적 stress 인가전의 transfer 곡선 ($V_{DS} = 5 \text{ V}$).

Fig. 1. The transfer characteristics of n-channel LDD and offset structured poly-Si TFT's with before stress at drain voltage $V_{DS} = 5 \text{ V}$.

되며 이는 그 길이가 늘어남에 따라 더 큰 차이를 나타내게 된다.

그림 2는 LDD 및 offset 구조를 가지는 n-채널 poly-Si TFT's 소자에 positive bias stress($V_{GS} = V_{DS} = +20 \text{ V}$)를 3600 sec 동안 인가한 후 측정된 LDD 및 offset 길이에 따른 전형적인 $I_{DS}-V_{GS}$ 특성 곡선이다.

LDD 및 offset 영역으로 인하여 드레인 부근의 전계값이 감소되기 때문에 carrier에 인가되는 에너지 값 역시 줄어들게 되며 전자는 Si/SiO₂ 계면의 에너지 장벽을 넘을 만큼의 충분한 에너지를 공급받기 힘들어지고 계면준위 역시 형성되기 힘들어진다. 따라서 LDD 소자나 offset 소자는 positive stress를 준 후에도 graph의 negative shift 현상이 일어나게 되며 그 변화 폭은 두 경우 모두 비슷한 것을 알 수 있었다. 또한 offset이나 LDD 길이가 1.5 μm 이상이 되면 graph의 shift 현상은 거의 일어나지 않게 된다.

이로부터 stress에 의한 graph shift 현상은 offset 영역의 doping 농도보다는 offset 길이에 지배적인 영향을 받는다는 것을 알 수 있었다.

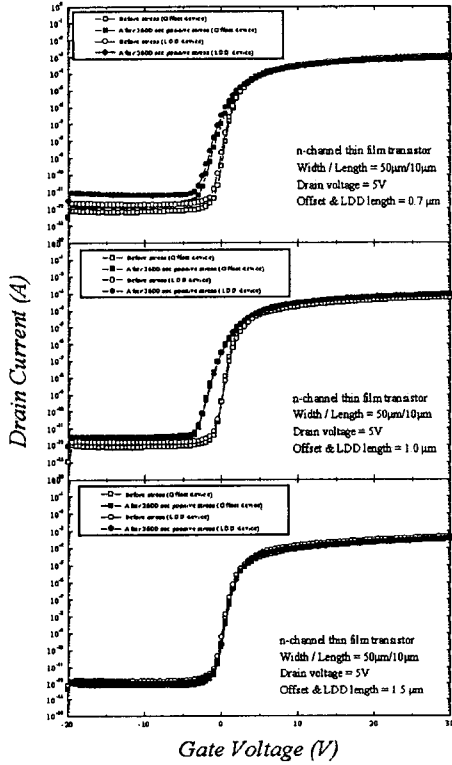


그림. 2 LDD 및 offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 전기적 stress 인가후의 transfer 곡선 ($V_{DS} = 5\text{ V}$).

Fig. 2. The transfer characteristics of n-channel LDD and offset structured poly-Si TFT's after 3600 sec positive ($V_{GS} = V_{DS} = +20\text{ V}$) bias stress at drain voltage $V_{DS} = 5\text{ V}$.

Si/SiO₂ 계면에 생성된 계면준위는 게이트 전압이 양의 값일 때는 donor형 계면 준위를 띄게 되어 +를, 음의 값일 때는 acceptor형 계면준위가 되어 -를 띄게된다. 따라서 전기적 stress에 의해 계면준위가 생성될수록 off-전류의 값은 증가하는 모습을 가지게 된다.

그림 3은 positive bias stress($V_{GS} = V_{DS} = +20\text{ V}$)를 3600 sec 동안 인가한 후의 LDD 및 offset 길이에 따른 off-전류의 변화량 곡선으로 transfer 곡선의 경우와 마찬가지로 offset 영역의 길이에 따라서 doping 농도에 관계없이 비슷한 값을 갖는 것을

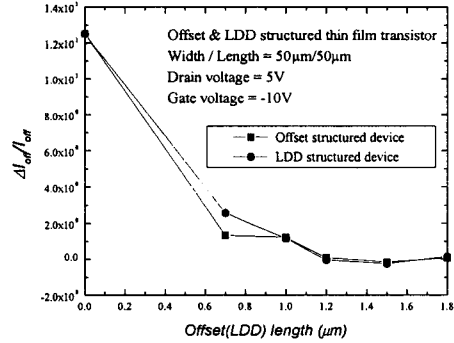


그림. 3 전기적 stress 인가후의 offset(LDD) 길이에 따른 off-전류의 변화($V_{DS} = 5\text{ V}$)
Fig. 3. Variation of off-currents after 3600 sec positive ($V_{GS} = V_{DS} = +20\text{ V}$) bias stress at drain voltage $V_{DS} = 5\text{ V}$.

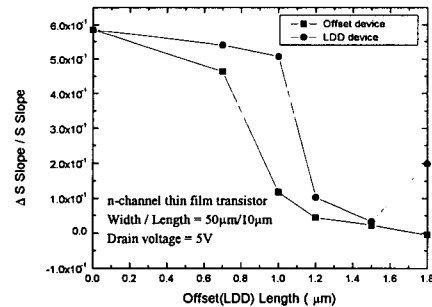


그림. 4 전기적 stress 인가후의 offset(LDD) 길이에 따른 substrate slope의 변화 ($V_{DS} = 5\text{ V}$).

Fig. 4. Variation of substrate slope after 3600 sec positive ($V_{GS} = V_{DS} = +20\text{ V}$) bias stress at drain voltage $V_{DS} = 5\text{ V}$.

볼 수 있다.

그림 4는 positive bias stress($V_{GS} = V_{DS} = +20\text{ V}$)를 3600 sec 동안 인가한 후의 LDD 및 offset 길이에 따른 substrate slope의 변화량 변화 곡선이다.

LDD나 offset의 길이가 길어짐에 따라서 전계감소 효과가 일어나서 stress에 따른 channel 내에 계면준위 형성이 감소되므로 때문에 식 (1)에서 C_{it}

의 변화가 적어져서 substrate slope의 변화는 적어지게 되며 전계 감소효과가 더 큰 offset 소자의 substrate slope 변화량이 LDD 소자의 변화량보다 적어지게 된다.

$$S = \frac{d V_{GS}}{d \log I_D} \approx \ln 10 \frac{kT}{q} \left[1 + \frac{C_D + C_{it}}{C_{ox}} \right] \quad (1)$$

4. 결 론

N-채널 LDD 및 offset 구조를 갖는 poly-Si TFT's 소자에 positive bias stress ($V_{GS} = +20$ V, $V_{DS} = -20$ V)를 인가하여 소자의 특성 변화를 연구하였다. LDD 및 offset 영역에 의한 직렬저항 효과와 이로 인한 전계감소 효과 때문에 전기적 stress에 의한 소자 특성 열화는 두드러지게 감소하게 된다.

전기적 stress에 따른 transfer 곡선의 shift 현상과 off-전류의 변화는 offset 영역의 doping 농도 보다는 offset 영역의 길이에 더 지배적으로 영향을 받으며 subthreshold slope 값의 변화는 offset 영역의 길이는 물론이며 doping 농도에도 영향을 받게 된다.

참 고 문 헌

1. T. Serikawa, et al., IEEE Trans. Electron Devices., Vol. 36, pp. 1929, 1989.
2. A. G. Lewis et al., "Polycrystalline silicon thin film transistors for analogue circuit applications," in IEDM Tech. Dig., pp. 264-267, 1988.
3. C. N. Berglund, R. J. Powell, J. Appl. Phys., 42, 573, 1973.
4. E. Takeda, Y. Nakagome, H. Kume, S. Asai, IEE Proc., 130, 144, 1983.
5. E. Takeda, N. Suzuki, IEEE Electron Device Lett., EDL-4, 111, 1983.
6. L. Mariucci, A. Pecra, G. Fortunato, C. Rieta and P. Migliorato, "Hot-carriers effects in polycrystalline silicon thin-film transistors," Microelectronic Eng., vol. 19, pp. 109-114, 1992.