

# DS-CDMA을 이용한 개선된 동기 획득 시스템의 FPGA 설계

박종우\*, 조병록\*, 송재철\*\*

\*순천대학교 전자공학과, 인덕대학 정보통신학과

Tel. +82-0661-750-3573 Fax. +82-0661-750-3570

## A FPGA Design of Improved Acquisition System for DS-CDMA

Park Jong Woo\*, Byung Lok Cho\*, Jai Chul Song\*\*

\*Dept, of Electronics Engineering, Sunchon National University

\*\*Dept, of Information & Communication, Induk Institute of Technology

pj@comsys.sunchon.ac.kr, blcho@sunchon.sunchon.ac.kr, jcsong@mail.induk.ac.kr

### Abstract

DS-CDMA is used to widely spread spectrum for a cellular mobile digital communication that maximizing users- capacity at the limited frequency bandwidth, solving technical matters with the channel. Especially, the capability of a spread spectrum receiver relied on fast code acquisition time at the demodulation. In this paper, we considered that fast code acquisition time when a spread spectrum system is designed, and existed code acquisition system set up one code epoch on a position at initial processing, but the proposed code acquisition system improved that two code epoch are set up at the same time, therefore code acquisition time is diminished in effect. The structure modeling to VHDL language. Its synthesized the Synopsys and, is implemented FPGA chip

### 1. 서론

현재 이동 통신 시스템의 다중 접속방식으로 제안되고 있는 CDMA(Code Division Multiple Access)기술은 한정된 주파수 대역 내에서 가입자의 수용 용량을 높이고 채널에서 발생하는 기술적 문제(다중경로, 간섭, 정보보호 등)를 해결하는데 있어 우수한 장점을 지닌 확산 대역 통신 방식을 사용하고 있다. 특히 확산 대역 신호를 위한 동기(복조)방식 및 구조에는 여러 가지 종류가 있고, 그 대표적인 분야로는 부호 포착에 있어서의 직렬 방식과 병렬 방식, 부호 추적에 있어서의 비동기 방식과 동기 방식, 그리고 구현 H/W를 중심으로 전통적인 아날로그 회

로 방식과 비교적 새로운 디지털 회로 방식으로 나누어 볼 수 있다[1][2]. 더욱이 최근의 H/W의 발달로 인해 동기 획득 및 추적에 대한 디지털 회로 구현에 관해서는 많은 연구가 진행 중에 있다[1][2]. 이러한 관점에서 좀더 빠른 동기 포착을 위해서 본 논문에서는 기존에 하나의 부호 epoch를 설정해서 조사하는 구조를 개선시켜, 두개의 서로 다른 위치에 부호 epoch를 설정함으로써 동기 획득에 필요한 조사시간을 줄이고자 한다[1][2]. 그리고, 그 구조를 칩으로 구현 검증하기 위해 VHDL언어로 모델링하고, Synopsys로 논리 합성한 후 FPGA칩으로 설계하여 그 시스템을 비교 분석하고자 한다.

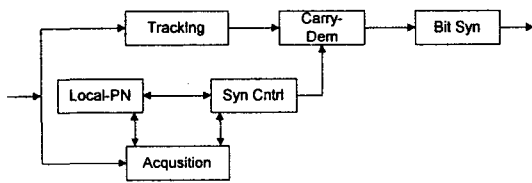
2장에서는 확산 대역 수신기의 구조에서 세분화된 포착 방식에 대하여 살펴보고, 3장에서는 살펴본 몇가지 구조 중에 Double dwell time 시스템을 좀더 개선시킨 후에 그 각각의 블록을 VHDL 언어로 모델링 하는 방법과 모델링 된 블록도를 살펴 본다. 4장에서는 3장에서 구현한 블록을 연결하여 칩으로 구현하기 위해 ALTERA사의 FLEX10K100의 라이브러리를 사용해 전체 블록을 논리 합성 시킨 결과 및 시뮬레이션에 대해 살펴보고, 5장에서는 구현한 시스템을 분석하고, 향후 개선 방향 및 적용 가능한 분야 대하여 언급하였다.

### 2. 확산 대역 수신기의 구조

#### 2.1 포착

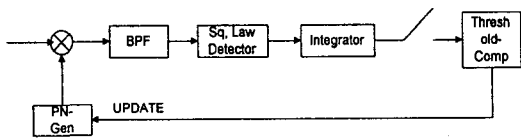
대역 확산된 신호로부터 원래의 데이터 신호를 찾아내는 과정에 있어서 정확한 동기는 매우 중요하다. 수신기는 송신기에서 사용한 확산 부호(PN 시퀀스 또는 주파수 도약 패턴)와 똑같은 부호를 발생시킨다. 이 국부 발생

확산 부호와 수신된 신호속의 부호와의 타이밍을 일치시키는 것이 동기이다. 동기는 크게 포착과 추적으로 나눌 수 있는데, 포착은 수신 신호 속의 부호와 국부 발생 확산 부호를 반 칩 이내의 차이로 접근시키는 것이고, 추적은 포착된 신호의 동기가 벗어나지 않게 하고 수신된 신호의 부호와 국부 발생 확산 부호와의 타이밍 차이를 줄이는 것이다[1][2]. 확산 대역 수신기의 동기 시스템의 전체 블록도를 [그림 2.1]에 나타내었다. 일반적으로 포착이 추적에 선행되어야 하며, 추적 도중에 동기를 잃게 되면 다시 포착으로 돌아가야 한다[1][2].



[그림 2.1] 확산 대역 수신 신호를 위한 동기 시스템

다수의 상관기를 사용하는 방법은 포착 속도가 빠르지만, 비현실적이기 때문에 일반적으로 하나 또는 소수의 상관기를 사용하고, 각각의 가능한 시퀀스에 대하여 검출 과정을 반복함으로써 포착기의 복잡성, 크기, 가격을 줄일 수 있다[1][2]. 하나의 상관기를 사용한 적률 포착 시스템의 대표적인 것이 [그림 2.2]의 Single dwell time 수신기이다.



[그림 2.2] Single dwell time PN acquisition system

이 수신기에서 적분기의 적분 시간을  $T_D$ , 또는 dwell time이라 부르며 이 경우에는  $T_D = \lambda T_c$ 이다. 또, Hit가 결정되면 루프는 검출 모드나 추적 모드로 넘어가는데, 만일 이것이 false alarm이면 새로 포착이 시작되어야 하므로  $KT_D$ 의 시간을 손해본다[1][2].

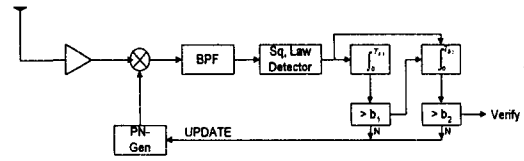
$$\bar{T} = \frac{(2 - P_a)(1 + kP_{fa})(qT_d)}{2P_{fa}} = \frac{qT_d}{2} \quad (2.1)$$

( $P_{fa} = 0, P_d = 1$  의 경우)

$$\sigma^2 = T_d^2(1 + kP_{fa})^2 q^2 \left( \frac{1}{12} - \frac{1}{P_d} + \frac{1}{P_d^2} \right) \quad (2.2)$$

$$= q^2 \frac{T_d^2}{12} \quad (P_{fa} = 0, P_d = 1 \text{ 의 경우})$$

single dwell time의 문제점으로는  $\lambda$ 값의 선택에 있으며, 실제로  $\lambda$ 값이 PN 주기의 일부만 포함함으로써 나쁜 부분 자기 상관 특성에 의한 false lock의 가능성이 매우 높다[1][2].



[그림 2.3] Double dwell time 수신기의 구조

이 보다 진보한 것이 [그림 2.3]의 Double dwell time 시스템이며, 여기서는 다른 dwell time을 가진 적분기를 사용하는데 첫 번째 적분기는 신속하지만 불안정한 결정에 사용하고, 두 번째 적분기는 느리지만 신뢰성 있는 최종 결정에 사용하여, 전체적으로 포착 시간을 줄이는 데 그 목표를 두고 있는 구조이다[1][2][4][5]. 이 시스템의 포착 시간에 대한 통계의 결과가 식(2.3), (2.4)이다[1][2].

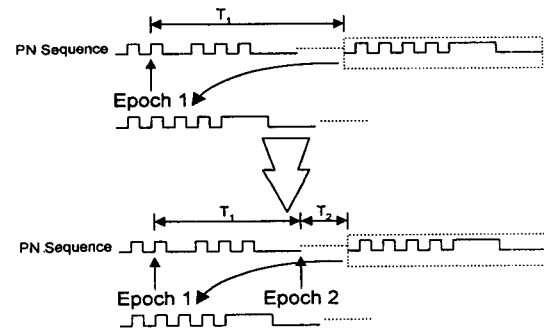
$$\bar{T} = \left[ \frac{(2 - P_a)}{2P_d} \right] [T_{d1} + T_{d2}P_{fa1}(1 + kP_{fa2})] q \quad (2.3)$$

$$\sigma^2 = T_{d1}^2 + T_{d2}^2 P_{fa1}^2 (1 + kP_{fa2})^2 q^2 \left( \frac{1}{12} - \frac{1}{P_d} + \frac{1}{P_d^2} \right) \quad (2.4)$$

이 외에도 Multiple dwell time, Variable dwell time 시스템 등 많은 구조가 있다[1][2][4][5].

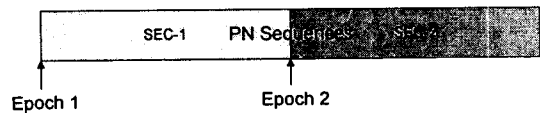
### 3. 개선된 동기 포착 시스템의 모델링

#### 3.1 개선된 동기 포착 시스템의 구조



[그림 3.1] 개선된 동기 포착 알고리즘

기존의 Double dwell time 시스템의 구조에서 볼 수 있듯이 초기 동기 수행 시에는 부호 epoch가 임의의 위치로 고정되어 그 지점에서부터 적분이 됨으로써 최악의 경우인 부호 epoch와 수신 신호 사이의 거리차가 클 경우에는 긴 동기 포착 시간이 요구된다.



[그림 3.2] 시스템에 적용되는 epoch

그렇기 때문에 이런 단점을 보완하기 위해서 두 개의 부호 epoch를 일정 간격을 두고 설정해 줌으로써 보다

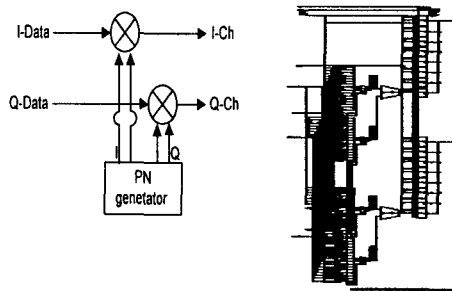
빠른 동기 포착을 이룰 수 있다. 그리고, 이런 구조를 모델링 하고자 할 경우에는 [그림 3.2]의 algorithm를 적용하여 구현하면 된다.

- (1)  $SEC-1 \leq V_{T1}$  and  $SEC-2 \leq V_{T2}$  : 둘다  $\frac{T_c}{2}$  씩 shift
- (2)  $SEC-1 \geq V_{T1}$  이면 SEC-1에서 검증
- (3)  $SEC-2 \geq V_{T2}$  이면 SEC-2에서 검증
- (4)  $SEC-1 \geq V_{T1}$  and  $SEC-2 \geq V_{T2}$  : Not

이런 알고리즘을 이용하여 각각의 섹터에서 적분구간동안 적분한 값과 미리 설정된 임계값을 비교해서 포착 여부를 판단하게 된다. PN시퀀스의 부호 epoch 설정 지점의 수를 증가시킴으로써 보다 빠른 동기 포착 시간을 얻을 수 있다.

### 3.2 상관기(Correlator)

각각의 I채널, Q채널의 신호와 국부 PN발생기에서 나온 I, Q포트의 신호와 곱해진다.

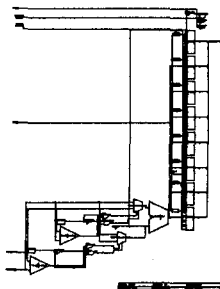


[그림 3.3] 상관기의 블록도 및 Schematic Diagram

### 3.3 제곱기(Square Law Detector)

제곱기는 하드웨어로 구현하는데 있어 문제가 있으므로 아래의 근사식(3.1)을 이용하여 구현하였다[9].

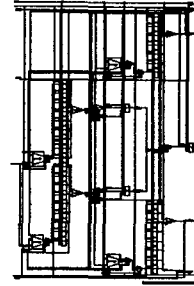
$$\sqrt{I^2 + Q^2} = \text{MAX}(abs(I), abs(Q)) + 1/2\text{MIN}(abs(I), abs(Q)) \quad (3.1)$$



[그림 3.4] 제곱기의 Schematic Diagram

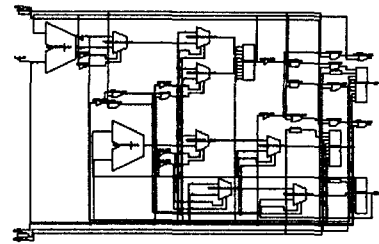
### 3.4 적분기 및 비교기

두 개의 다른 부호 epoch 설정 지점에서 시작하여 첫 번째 적분기는 64 칩 간격으로 하고, 두 번째 적분기는 128 칩 간격으로 각각 적분하여 그 적분값과 미리 설정되어 있는 임계값을 비교한다. 즉, 두 적분기가 epoch-1, epoch-2 구간에서 동시에 적분해 간다.



[그림 3.5] 적분기 및 비교기의 Schematic Diagram

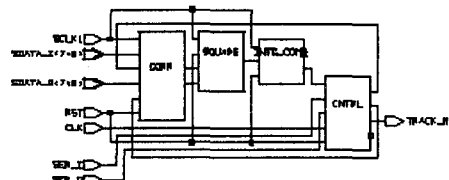
### 3.5 제어기(Control Part)



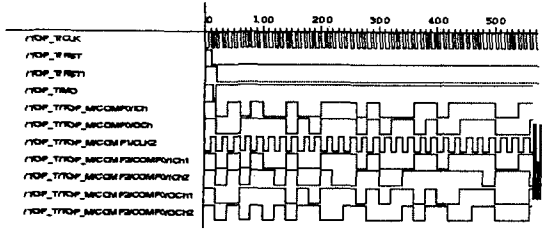
[그림 3.6] 제어기의 Schematic Diagram

제어기는 비교기에서 보낸 동기 포착 여부의 신호에 따라서 다음 동작을 지시한다. 처음 동기 포착 신호가 수신되면 바로 검증 모드로 넘어가서 다시 이전 과정을 반복 수행하여 다시금 동기 포착 신호를 보내오면 바로 추적 루프로 제어권을 넘겨준다. 만일 동기 포착이 되지 않으면 국부 PN 발생기의 신호를  $T_c/2$  칩 지연시킨 후에 신호를 출력하게끔 조정해 준다.

## 4. 전체 시스템 구성



[그림 4.1] 합성된 동기 획득 시스템의 블록도



[그림 4.2] 동기 획득 시스템의 출력 파형

위 [그림 4.1], [그림 4.2]은 최종적인 DS-CDMA용 동기 획득 시스템의 블록도와 출력 파형을 나타낸 것으로 그 구성은 살펴보면 에너지 검출기인 상관기와 제곱기, 적분기 및 비교기, 그리고 제어기로 되어 있다. 이렇게 완성된 블록을 ALTERA사의 FLEX10K100 라이브러리로 합성하였다.

### 5. 결론

현재 가장 많이 사용되고 있는 다중 접속방식의 하나인 CDMA(Code Division Multiple Access)을 IS-95 표준안에 근거해서 송신기 및 수신기의 동기 포착 시스템을 모델링하여 칩으로 설계하였다. 특히 수신기의 설계 시 성능을 좌우하는 요소인 동기 포착 시간의 향상을 위하여 개선된 구조의 Double dwell time 수신기의 구조를 제안하고 직접 칩으로 설계하여 성능을 검증하였다. 기술된 코드의 총 길이는 약 700 인 정도이고, 합성된 총 게이트 수는 약 25,000 게이트 정도가 된다. 그리고 이 구조는 동기 포착의 다음 단계인 추적 모드에서도 적용이 될 수 있을 것으로 본다. 그렇기 때문에 포착과 추적 모드를 모두 갖춘 시스템을 구현 할 경우에 아주 우수한 특성을 발휘 할 수 있을 것으로 본다. 향후 멀티미디어 서비스를 위한 IMT-2000 표준안으로 제안되고 있는 WCDMA의 동기 과정에서도 적용이 될 수 있을 것으로 본다.

### 6. 참고 문헌

- [1] 최형진, "확산 대역 통신 방식", 성균관 대학교, March. 1995.
- [2] 최형진, "동기 방식 디지털 통신", 교학사, July. 1995
- [3] R. De Gaudenzi, and M. Luise, "Decision-directed Coherent Delay-lock Tracking Loop for DS Spread-spectrum Signals", IEEE Trans. on Comm., May. 1991.
- [4] W.R. Braun, "Comparison Between Variable and Fixed Dwell Time PN Acquisition Algorithms", Proceeding of ICC, 1981.
- [5] W.R. Braun, "Performance Analysis for the Expanding Search PN Acquisition Algorithm", IEEE Trans. on Comm., March. 1982.
- [6] M.K. Simon, "Noncoherent Pseudonoise code Tracking Performance of Spread Spectrum Receivers", IEEE Trans. on Comm., March. 1992.
- [7] J.K Hinderling, et.al., "CDMA Mobile Station Modem ASIC", IEEE Journal on Solid-State

- Circuits, March. 1993
- [8] A.J Viterbi, "CDMA Principles", Qualcomm, Jan. 16, 1992.
- [9] 박형숙, 문재경, 김대호, 임명섭, "FPGA를 이용한 CDMA 기저국 복조기의 핵심회로 설계 및 구현", March. 1993