

# MOSFET 기생성분 모델링

최용해, 김기철\*, 김병성  
성균관대학교 전기전자 및 컴퓨터 공학부, \*LG종합기술원  
0331-290-7143

## Pad and Parasitic Modeling for MOSFET Devices

Y.H.Choi, K.C.Kim \*, B.S.Kim  
Sung Kyun Kwan University EEC Dept, \* LGCIT  
delirium@mwlabs.skku.ac.kr

성을 검증하였다.

### Abstract

This paper presents the accurate deembedding method for pad and parasitics of MOSFET device. Pad effects are deembedded using THRU LINE, which is much simpler method without laborious fitting procedure compared with conventional OPEN and SHORT pad modeling. Parasitic resistance extraction uses the algebraic relation between increments of inversion layer charge and oxide capacitance. It is especially adequate for insulating gate junction device. Extracted parasitics are verified through comparing modeled and measured S parameters.

### 서 론

실리콘 소자의 경우 probing pad의 영향은 실제 소자 특성을 압도하며 특히 게이트 폭이 작은 소자의 경우 패드의 영향을 정확히 제거할 필요성이 있다. 기존의 open-short 패드에 의한 방법은 두 개의 별도 패턴을 필요로 하고 기생 캐패시턴스가 과도하게 산정되는 문제점이 있다. 본 논문에서는 thru pad를 이용하여 패드효과를 추출하고 기존의 방법과 비교하였다. 또한 소자의 정확한 게이트 캐패시턴스 값을 추출함으로써 게이트 바이어스 변화에 따른 inversion layer의 전하 밀도 증가와 채널저항 감소간에 성립하는 선형적인 대수관계식을 유도하였고 이를 이용하여  $R_d+R_s$ 를 구한 후 기생저항 값을 결정하는 방법을 고안하였다. 제안된 알고리즘을 0.35um NMOS에 대해 적용하여 소자의 모든 소신호 파라미터를 추출하고 모델링의 정확

### 본 론

#### 프로빙 패드 모델링

일반적으로 실리콘 기판에서는 프로빙 패드의 캐패시턴스가 실제 소자의 캐패시턴스보다 크고 기판의 누설 특성이 측정 결과에 반영되기 때문에 별도의 테스트 패턴을 사용하여 프로빙 패드의 영향을 제거해야 실제 DUT의 특성을 알 수 있다. 일반적으로 패드 모델링을 통해 구하고자 하는 것은 패드의 병렬 어드미턴스와 직렬 임피던스 성분이다. 패드의 종단을 개방하면 직렬 임피던스 효과가 거의 나타나지 않기 때문에 병렬 어드미턴스를 구할 수 있고, 이와 반대로 단락 시키면 직렬 임피던스의 효과가 주로 나타나기 때문에 패드의 직렬 임피던스를 구할 수 있다. 따라서, open pad와 short pad를 이용하면 이론적으로는 패드 모델링을 수행할 수 있다. 하지만 이 방법은 open 패드의 end fringing 효과 때문에 패드 캐패시턴스가 과도하게 예측되고, open 패드와 short 패드 사이의 대칭 기준면의 불일치가 나타나게 되어 단순히 측정 데이터를 실측 데이터에서 빼주는 방법으로는 오차를 수반하게 된다. 따라서 open-short 패드를 이용하여 패드의 직,병렬 임피던스 성분을 알기 위해서는 각 성분의 기여도를 파악할 수 있는 등가회로 모델링이 필요한데 이 방법은 등가회로가 복잡할 경우 대수적 계산은 어렵고 최적화 방법을 사용해야 한다. 그러나, 최적화 방법을 이용하면 초기값이나 오차척도에 따라 결과 값이 달라지게 되는 문제점을 갖게 된다. 반면에 THRU LINE을 사용한 패드 모델링 방법

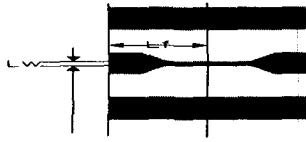


그림 1. Probing Pad 모델링을 위한 THRU LINE

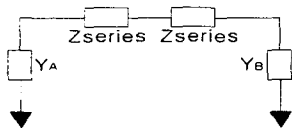


그림 2. THRU LINE의 lumped equivalent circuit

은 end fringing 효과와 종단 기준면의 문제가 없고 최적화 방법을 사용하지 않아도 된다. 그림 1은 포트 1, 2의 프로빙 패드를 직렬 연결한 구조로 THRU LINE으로 볼 수 있다 그림 2는 그림 1의 등가회로이다. 이 모델은 병렬 어드미턴스와 직렬 임피던스의 구체적인 등가회로를 필요로 하지 않는다. 단, 선로길이가 작아 전송선 효과(transmission effect)가 나타나지 않는 경우에만 모델이 유효하다. 이 조건에서 각 패드의 직렬 임피던스는 총 직렬 임피던스의 절반이라는 가정이 성립하면(이 가정은 각 패드를 완전히 대칭적으로 설계하면 성립한다). 각 패드의 직렬 임피던스는 총 직렬 임피던스의 절반이 된다. 여기서 각 패드의 병렬 어드미턴스는 일반적으로 동일한 값을 갖지 않아도 된다. 그림 2의 관계와 thru 패드의 S 파라미터 측정 결과를 Y 파라미터로 변환시켜 비교하면 패드의 직렬 임피던스와 병렬 어드미턴스는 다음 식으로 주어진다.

$$Y_A = Y_{11} + Y_{12} \quad (1)$$

$$Y_B = Y_{22} + Y_{21} \quad (2)$$

$$Z_{series} = -1/(Y_{12} + Y_{21}) \quad (3)$$

### 수동소자 영역에서 기생 성분 값의 결정

GaAs MESFET에서 가장 널리 알려진 Dambrine의 직접 추출법[1]은 순방향 수동소자

영역에서 MESFET의 기생성분을 추출하였는데, 이 방법은 게이트 채널간이 절연막으로 구성된 MOSFET에 대해서는 적용이 불가능하다. 수동 MOSFET의 소신호 모델은 균일한 RC (Uniform Resistance-Capacitance) 전송선으로 볼 수 있으며, 이 모델의 공통 소스 2단자 임피던스 식은 다음과 같다[2].

$$\begin{aligned} z_{11} &= \zeta \cdot \coth(\gamma l_g) \\ &\approx \frac{R_c}{3} - \frac{1}{45} R_c^2(j\omega C_g) + \frac{1}{j\omega C_g} \quad (4) \\ &\approx \frac{R_c}{3} + \frac{1}{j\omega C_g} \end{aligned}$$

$$\begin{aligned} z_{21} &= \zeta \cdot \tanh(\gamma l_g/2) \\ &\approx \frac{R_c}{2} - \frac{1}{24} R_c^2(j\omega C_g) \quad (5) \\ &\approx \frac{R_c}{2} \end{aligned}$$

$$\begin{aligned} z_{22} &= 2\zeta \cdot \tanh(\gamma l_g/2) \\ &\approx R_c - \frac{1}{12} R_c^2(j\omega C_g) \quad (6) \\ &\approx R_c \end{aligned}$$

위 식에서  $C_g (= c_g l_g)$ 는 총 게이트 캐패시턴스,  $R_c (= r_c l_g)$ 는 총 채널저항,  $G_c (= 1/R_c)$ 는 총 채널 컨덕턴스이다.  $\gamma l_g$ 와  $\zeta$ 를  $R_c, C_g$ 의 함수로 표현하면  $\gamma l_g = \sqrt{(j\omega C_g)R_c}$ ,  $\zeta = \sqrt{R_c/(j\omega C_g)}$ 가 된다. 위 식에서 두번째 근사식은  $R_c$ 가 충분히 작은 경우 성립하는 식이다.

채널저항  $R_c$ 가 충분히 작아져 (4)-(6)의 두 번째 근사식을 이용하면 다음과 같이 기생 인덕턴스와 게이트 캐패시턴스를 구할 수 있다.

$Im(Z_{11})$ 의 양변에  $\omega$ 를 곱하여

$$\omega \cdot Im(Z_{11}) = -1/C_g + \omega^2(L_g + L_c) \quad (7)$$

$\omega^2$ 에 대한 일차식으로 변환하면, 기울기와 절편으로부터  $L_g + L_c$ 와  $C_g$ 를 구할 수 있고,  $L_c, L_d + L_s$ 는  $Im(Z_{21})$ 과  $Im(Z_{22})$ 의 기울기로부터 구할 수 있다.

정상 수동소자 영역에서 채널저항이 작아지면  $Z_{21}, Z_{22}$ 의 실수부는 분산특성이 거의 사라진다.  $Z_{21}, Z_{22}$ 의 실수부가 평탄한 경우에도  $Im(Z_{11})$ 의 분산특성이 나타나는 경우가 있는데 이는 저주파에서 게이트 접합의 임피던스가 너무 높아 oxide층의 누설 컨덕턴스를 무시할 수 없어 나

타나는 현상으로 이해된다. 그러나 이 경우에도  $C_g(\text{Cox})$ 는 (7)을 이용하여 기생저항값을 몰라도 추정할 수 있으므로 게이트 컨덕턴스의 영향을 고려하여

$$Re(Z_{11}) = R_c/3 + R_g + R_s + g_d/(g_d^2 + (wC_g)^2) \quad (8)$$

으로 놓고 이 식을  $p+q/w^2$  근사하면 아래 (9) 조건을 구할 수 있다. 따라서, 채널저항이 작은 영역에서 얻을 수 있는 독립조건은 다음 식과 같다.

$$Re(Z_{11}) = R_c/3 + R_g + R_s \quad (9)$$

$$Re(Z_{21}) = R_c/2 + R_s \quad (10)$$

$$Re(Z_{22}) = R_c + R_d + R_s \quad (11)$$

위식을 풀기 위해서는 추가 조건이 필요한데 본 논문에서는 채널 캐리어의 게이트 바이어스에 따른 증분과 이에 반비례하는 채널저항의 감소관계를 이용하여  $R_d+R_s$ 를 구해 기생저항값을 결정한다.  $R_d+R_s$ 를 구하기 위한 방법은 다음과 같다. 낮은 게이트 전압에서 높은 게이트 전압으로 3개의 게이트 바이어스 점  $V_{GS0}$ ,  $V_{GS1}$ ,  $V_{GS2}$ 을 선택하고, 이 때 대응하는 채널 저항을  $R_{c0}$ ,  $R_{c1}$ ,  $R_{c2}$ 라 하면

$$R_{c0} = \alpha \frac{1}{n_0} \quad (12)$$

$$R_{c1} = \alpha \frac{1}{n_0 + \Delta n_1} \quad (13)$$

$$R_{c2} = \alpha \frac{1}{n_0 + \Delta n_2} \quad (14)$$

로 표현할 수 있다. 위 식에서  $\Delta n_1, \Delta n_2$ 는  $V_{GS0}$ 에서  $V_{GS1}$ ,  $V_{GS2}$ 로 바이어스가 바뀔 때 전하밀도(number density)의 증분량이다. 이 때 기생저항을 포함하는 소스에서 드레인까지 총 저항값  $R_{d0}$ ,  $R_{d1}$ ,  $R_{d2}$ 은 다음과 같이 두 개의 선형 독립관계식으로 표현할 수 있다.

$$R_{d1} = R_{c1} + R_d + R_s = R_{c0} \frac{n_0}{n_0 + \Delta n_1} + R_d + R_s \quad (15)$$

$$R_{d2} = R_{c2} + R_d + R_s = R_{c0} \frac{n_0}{n_0 + \Delta n_2} + R_d + R_s \quad (16)$$

위 식에서  $X = R_d + R_s$ 로 놓으면  $R_{c0} = R_{d0} - X$ 가

되고 (15)-(16)는 다음식으로 표현된다.

$$R_{d1} = (R_{d0} - X) \frac{n_0}{n_0 + \Delta n_1} + X \quad (17)$$

$$R_{d2} = (R_{d0} - X) \frac{n_0}{n_0 + \Delta n_2} + X \quad (18)$$

(17), (18)에서  $R_{d0}$ ,  $R_{d1}$ ,  $R_{d2}$ 는 S 파라미터 측정으로부터 구할 수 있고, 면전하밀도의 증분량은 게이트 캐패시턴스를 적분하여 구할 수 있다. 게이트 캐패시턴스값은 기생저항값을 몰라도 측정 S 파라미터로부터 수동 FET의 모델식 (7)을 이용하여 구할 수 있다.

$$\Delta n_1 = \frac{1}{qWL_g} \int_{V_{GS1}}^{V_{GS0}} C_g dV_g \quad (19)$$

(19)는  $WL_g$ 라는 소자의 실제 크기를 필요로 하나 (17), (18)에서  $WL_g$ 는 공통인자이기 때문에  $\frac{n_0}{n_0 + \Delta n_1} = \frac{Q_{g0}}{Q_{g0} + \Delta Q_{g1}}$ 가 성립하므로 소자의 실제 크기를 알 필요는 없다. 이상의 관계를 이용하여 (17), (18)을 정리하면 아래와 같이 두 개의 선형 관계식으로 표현되고

$$(R_{d1} - R_{d0})Q_{g0} - \Delta Q_{g1}X = -\Delta Q_{g1}R_{d0} \quad (20)$$

$$(R_{d2} - R_{d0})Q_{g0} - \Delta Q_{g2}X = -\Delta Q_{g2}R_{d0} \quad (21)$$

이 식을  $R_d+R_s$ 와  $Q_{g0}$ 에 대해 풀면 아래 식이 된다.

$$R_d + R_s = \frac{R_{d0}(\Delta Q_{g2}R_{d0} - \Delta Q_{g1}R_{d1}) + R_{d1}R_{d0}(\Delta Q_{g1} - \Delta Q_{g2})}{R_{d0}(\Delta Q_{g2} - \Delta Q_{g1}) + \Delta Q_{g1}R_{d2} - \Delta Q_{g2}R_{d1}} \quad (22)$$

$$Q_{g0} = \frac{\Delta Q_{g1}\Delta Q_{g2}(R_{d1} - R_{d2})}{R_{d0}(\Delta Q_{g2} - \Delta Q_{g1}) + \Delta Q_{g1}R_{d2} - \Delta Q_{g2}R_{d1}} \quad (23)$$

(22)의 추가 조건과 (8)-(11)을 이용하면 채널저항  $R_c$ 와  $R_d$ ,  $R_s$ ,  $R_g$ 를 구할 수 있다.

### 실험 결과

제안된 방법을 통하여 구한 결과를 표1, 표2에 나타내었다. 표의 결과는 패드와 소자의 직렬임피던스를 합한 값이다. 이는 THRU LINE의 길이가 실제 소자의 feeding 길이보다 길게 제작되어 패드 직렬저항과 소자의 기생저항을 분리

소자	Lg[pH]	Ls[pH]	Ld[pH]
0.35umx50um	70.9	15	78
0.35umx30um	50	17	51

표 1. 기생 인덕턴스 추출 결과

저항값[Ω]	0.35umx50um	0.35umx30um
Re[Z11]	57.9	45
Re[Z21]	13.3	21.8
Re[Z22]	31.7	53
Rc	4.1	8
Rg	45.3	25
Rs	11.2	17
Rd	16.4	28

표 2. 기생저항값 추출 결과(Vg=4V)  
 Rd-Rs 추출에 사용된 바이어스 Vg=2.34V  
 Cox = 130fF(0.35x50um<sup>2</sup>)  
 Cox = 83fF(0.35x30um<sup>2</sup>)

할 수 없게 되었기 때문이다. 따라서, 표의 결과는 패드의 병렬 임피던스를 제거한 후 소자의 기생성분을 추출하는 방법으로 얻어진 결과이다. 0.35umx50um 소자와 0.35umx30um 소자의 결과값을 비교해보면 Lg와 Ld는 게이트 전극의 폭에 따라 많이 변함을 알 수 있다. 따라서 게이트, 드레인 인덕턴스에는 전극의 인덕턴스가 상당한 값을 차지함을 알 수 있고 소스 인덕턴스의 대부분은 소스 전극에서 Ground까지 이어지는 공통접지 선의 인덕턴스임을 알 수 있다.

표 2에서는 Rg는 게이트 전극에서 횡방향으로 신호가 전달되며 느끼는 저항이므로 게이트 폭에 비례하고, 이와 반대로 Rd, Rs는 게이트 폭에 반비례하게 된다. 표2의 결과는 pad의 직렬 저항 값을 포함하고 있기 때문에 게이트 폭에

따른 3:5 비례 규칙을 바로 따르지는 않는다. 채널 저항 Rc는 전체 저항 값의 크기에 비해 채널저항 값이 매우 작기 때문에 상대 비율이 많이 벗어난 것으로 판단된다. 그림 3은 최종적인 NMOS 소신호 modeling의 결과이다.

### 결론

본 논문에서는 MOSFET 소신호 모델링을 위해 패드 효과를 제거하는 간단하고 새로운 방법을 제안하였고, 기생성분을 효과적으로 추출하는 방법을 제시하였다. 소신호 모델링 결과에 따르면 저주파 모델의 가장 큰 오차 요인은 Pad와 기생저항 때문인 것으로 추정된다. 소자의 크기가 작은 경우는 RF 프로브 종단에서 측정된 결과는 거의 Pad의 영향으로 볼 수 있음을 확인하였다.

### 참고 문헌

- [1] G. Dambrine, A. Cappy, F.Heliodore, and E. Playez, "A new method for determining the FET small-signal equivalent circuit", IEEE Trans. Microwave Theory Tech., vol 36, pp. 1151-1159, July 1988
- [2] 김병성, "수동 FET 모델링과 기생저항값의 유효성 검증", 전자공학회논문지, 제 36권, D 편 제 2호, pp. 107-116. 1999년 2월

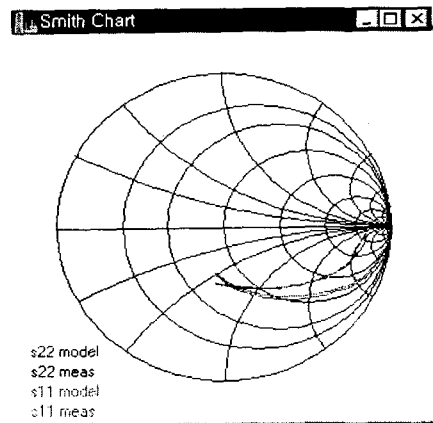
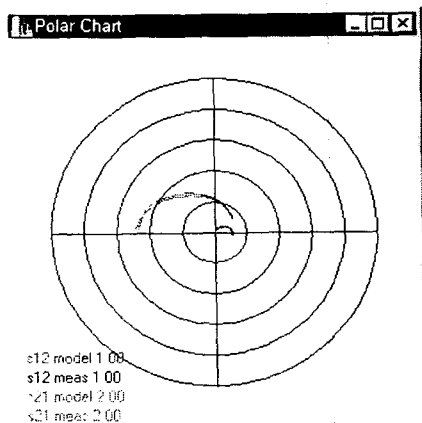


그림 3. 0.35x50um<sup>2</sup> NMOS 소신호 모델링 결과. 모든 기생성분과 Pad 효과가 고려되었음. S11,S22,S12 과 S21