

High-frequency SAVEN 소자 설계 및 이를 이용한 500MHz Latched Comparator 설계

조정호, 구용서*, 임신일*, 안철

서강대학교 전자공학과, *서경대학교 전자공학과

Tel : 02-706-3401 / E-mail : s197211@ccs.sogang.ac.kr

The Design of the High-frequency SAVEN Device and the 500MHz Latched Comparator using this device

Jung-Ho Cho, Yong-Seo Koo*, Sin-Il Lim*, Chul An

Dept of Electronic Eng. Sogang Univ, *Dept. of Electronic Eng. Seokyeong Univ

Tel : 02-940-7163 / E-mail : s197211@ccs.sogang.ac.kr

Abstract

High-speed device is essential to optoelectric IC for optical storage system such as CD-ROM, DVD, and to ADC for high-speed communication system. This paper represents the BiCMOS process which contains high-speed SAVEN bipolar transistor and analyzes the frequency and switching characteristics of it briefly. Finally, to prove that the SAVEN device is adequate for high-speed system, latched comparator operating at 500MHz is designed with the SPICE parameter extracted from BiCMOS device simulation.

1. 서론

CD-ROM, digital versatile disk(DVD) 같은 consumer application의 다양화에 따른 optical storage system에 대한 요구의 증가, 그리고 mobile communication system에 대한 시장이 커짐에 따른 고속의 circuit에 대한 수요는 또한 고속의 소자에 대한 필요성을 더욱 증가시키게 되었다.

따라서 본 연구에서는 새로운 구조인 SAVEN(Self-Aligned VERTICAL Nitride) 바이폴라 소자를 창안하여 고성능 BiCMOS 구조를 설계한 후 공정(ATHENA 이용) 및 소자 simulation(ATLAS 이용)을 수행하여, LDD nMOS, LDD pMOS, 그리고 SAVEN

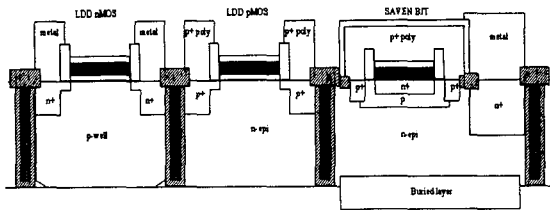
Bipolar transistor 각각의 SPICE parameter를 추출하고 Bipolar 소자의 주파수 특성을 분석하였다. 그리고 추출된 SPICE parameter를 사용하여 이 소자들의 간단한 응용예로, 500MHz에서 동작하는 Comparator를 simulation을 통해 설계, 분석하였다.

2. 고안된 소자구조 및 공정

여기서 제안하고자 하는 SAVEN Bipolar transistor의 최대 차단주파수는 약 20GHz 이상, 그리고 전류이득은 약 100정도의 소자 spec.을 갖도록 설계하였다.

Bipolar 트랜지스터가 고속의 주파수 특성을 갖기 위해서는, 활성 영역에서의 각종 소자 변수의 최적화와 함께 비활성 영역에서의 각종 기생저항과 접합용량의 최소화가 필수적으로 수반되어야 한다. 활성 영역에서의 소자 변수 최적화는 얇은 에미터 및 베이스 접합 형성 공정에 의해 베이스 내에 축적되는 소수 반송자의 양을 줄임으로써 실현된다[1]. 그리고 여기서 제안된 측면 질화막 두께로 베이스폭을 정의하는 Self-Aligned VERTICAL Nitride 구조를 이용하여 비활성 영역에서의 기생 저항과 기생 접합용량을 최소화할 수 있다. Trench 공정을 사용하여 콜렉터-기판 사이의 접합 용량을 줄이고자 하였으며, 측면 산화막을 사용하여 에미터 영역과 비활성 베이스 영역 사이에 n+p 접합이 형성되는 것을 막아 tunneling 현상으로 인한 베이스 전류 증가를 방지하였다[4].

High-frequency SAVEN 소자 설계 및 이를 이용한 500MHz Latched Comparator 설계



[그림 1 .BiCMOS 단면도]

비저항 20Ω-cm (100)인 기판 형성
Buried 층 형성
n-epi 형성(1μm)
p-well 형성
trench 격리 공정
field oxide 형성
collector 형성
V _T control implantation 및 gate oxidation
base implantation
n+ poly/LPCVD oxide/1st 질화막 형성
LDD implantation
측면 산화막 형성
2nd 질화막 형성/선택적 R.I.E
thermal oxidation/질화막 strip
nMOS S/D implantation
p+ poly deposit/R.I.E
920°C에서 annealing
contact 형성

[표 1 . 공정 설계 흐름도]

3. 공정 sim. 및 SPICE para. 추출

가. LDD nMOS 트랜지스터

n-epi 내에 p-well을 형성시킨 후, 0.8μm의 nMOS를 short-channel effect를 줄이기 위해 LDD 형태로 공정하였다.

VTO=0.7926V TOX=346.7e-8cm XJ=0.28e-4cm

LD=4e-8cm LAMBDA=5.8616E-2V⁻¹ THETA=0.094V⁻¹
 GAMMA=0.55V^{1/2} RSH=15.4Ω/square UO=641.6cm²/V · s
 CJ=3.23e-8 F/cm² CGSO=1.625e-10 F/cm² NSUB=2e15cm⁻³
 CGDO=1.625e-10 F/cm² CGBO=3.059e-10 F/cm²
 IS=1.44E-6 A/cm²

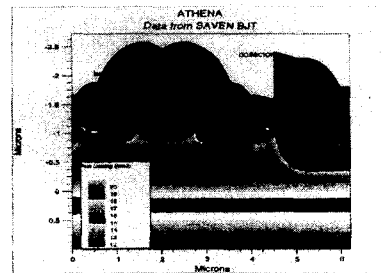
나. LDD pMOS 트랜지스터

n-epi내에 LDD 형태로 0.8μm channel 길이를 갖는 pMOS를 공정하였다.

VTO=-0.8017V TOX=341.9e-8cm XJ=0.27e-4cm
 LD=5e-8cm LAMBDA=8.2e-2V⁻¹ THETA=0.082V⁻¹
 GAMMA=0.71V^{1/2} RSH=21.8Ω/square UO=155.6cm²/V · s
 CJ=3.31e-8 F/cm² CGSO=1.448e-10 F/cm² NSUB=12e15cm⁻³
 CGDO=1.448e-10 F/cm² CGBO=3.032e-10 F/cm²
 IS=1.04E-6 A/cm²

다. SAVEN Bipolar 트랜지스터

두께가 1μm인 epi층 내에 에미터 도핑이 6.3×10²⁰cm⁻³, 베이스 도핑이 4×10¹⁷cm⁻³인 Self-Aligned Vertical Nitride Bipolar 트랜지스터를 공정하였다.



[그림 2 . Simulation된 Bipolar 단면도]

BF=96.29 NF=1 IS=5.1504e-10 A/cm² NE=1.8466
 ISE=1.2456e-8 A/cm² CJE=3.337e-7 F/cm² VJE=3.35V
 MJE=0.333 RB=2.3kΩ/square RBM=577.6Ω/square
 IRB=1.89e+4 A/cm² TF=6.35e-12 sec CJC=6.26e-8 F/cm²
 VJC=0.921V MJC=0.35 IKF=6.22e+4 A/cm²
 IKR=1.68e+4 A/cm² NR=1.0047 ISC=1.18e-9 A/cm²
 BR=164.57 NC=1.728 TR=2.445e-11 sec

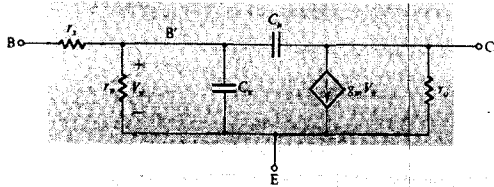
4. SAVEN 소자의 주파수 특성

가. 주파수 특성

Simulation으로부터 I_c vs. f_T plot을 그려보면, I_c가 증가함에 따라 f_T가 증가하며 I_c=0.0002226 A/μm에서 최대치인 f_{T,max}=21.17GHz의 차단 주파수를 나타내고

이보다 I_C 가 커지면 f_T 는 감소한다.

회로 설계 및 분석에 이용하기 위해, 추출된 SPICE parameter를 high-frequency hybrid- π model에 대입해 분석해 보면 다음과 같다[6].



[그림 3. High-frequency hybrid- π model]

$$g_m = \frac{I_C}{V_T}$$

$$C_\pi = g_m \tau_F + \frac{C_{iEO}}{\left(1 - \frac{V_{BE}}{\phi_E}\right)^{m_E}}$$

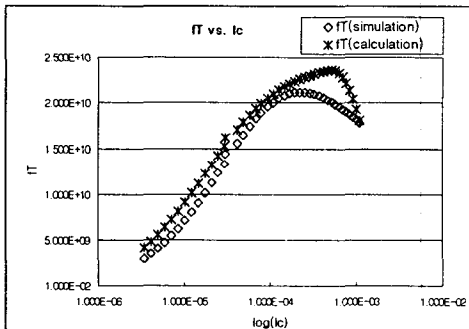
$$C_\mu \simeq \frac{C_{iCO}}{\left(1 - \frac{V_{BC}}{\phi_C}\right)^{m_C}}$$

여기에 kirk effect에 의한 τ_F 의 증가는 다음과 같은 modeling식을 사용하였다[6].

$$\tau_F(I_C) = \tau_{FL}(0) \left[1 + \frac{1}{4} \left(\frac{L_E}{W} \right)^2 \left(\frac{I_C}{I_{CO}} - 1 \right)^2 \right]$$

$$\tau_{FL}(0) = 6.35e-12 \text{ sec}$$

$$I_{CO} = 0.0004634 \text{ A}/\mu\text{m}$$



[그림 4. I_C 변화에 따른 f_T 변화]

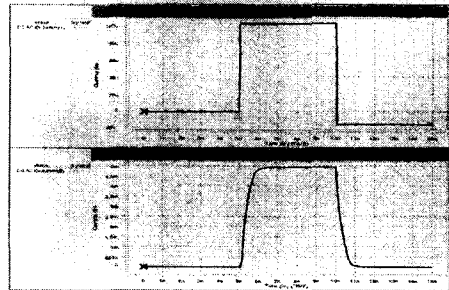
$$f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)}$$

계산식으로부터 구한 I_C vs. f_T plot에서는 최대 차단주파수 $f_{T,max}=23.58\text{GHz}$ 의 가지며, simulation으로부터 구

한 plot과 비슷한 형태를 보여주므로, 추출된 SPICE parameter값과 hybrid- π model을 회로 분석에 사용하였다.

나. 스위칭 특성($I_C : 0A \rightarrow 5mA \rightarrow 0A$)

$t_r \simeq 0.6 \text{ ns}$, $t_f \simeq 0.2 \text{ ns}$, $t_d \simeq 0.16 \text{ ns}$ 정도의 스위칭 특성을 얻을 수 있었으며, conventional Bipolar 트랜지스터에서 storage time이 dominant한 parameter인데 반해[4], X_B 가 작은 SAVEN Bipolar 트랜지스터에서는 t_s 가 매우작은 스위칭 특성을 얻을 수 있었다.



[그림 5. current waveform]

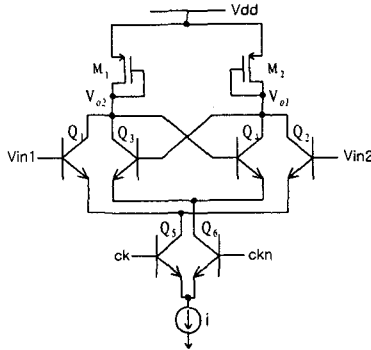
5. Latched Comparator 설계 및 분석

Bipolar 소자는 MOS 소자에 비해 작은 device mismatch와 큰 transconductance 값을 가지므로, 고속의 Comparator 설계에 적합하다[2].

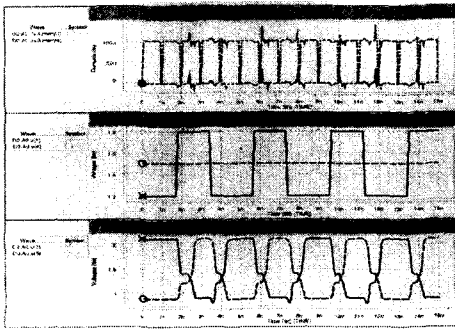
여기서 설계하고자 하는 Comparator는 $0.8\mu\text{m}$ BiCMOS 공정을 이용하여, 500MHz 의 sampling frequency에서 current에 의해 switching되는 current-switching latched Comparator이다.

CK가 high이면 Q_5 가 on되어 Q_1 , Q_2 의 differential pair는 input을 track하여 preamplifying 동작을 수행하게 되며, CK가 low가 되면 Q_3 , Q_4 는 positive feedback loop에 의해 V_{o1} 과 V_{o2} 의 차이를 latching하는 동작을 수행하게 된다[2]. 그리고, pMOS 저항($1/g_{m,pmos}$) 설계시, acquisition phase(CK=1)에서는 저항값이 클수록 gain이 좋아지는 반면, regeneration phase(CK=0)에서는 저항값이 작을수록 RC time constant가 작아서 빠르게 regenerate되는 서로 상반되는 특징을 갖고 있다. 따라서 500MHz 의 sampling frequency를 얻기 위해서는 두 phase간의 상반되는 조건을 적절히 만족시키는 device geometry값을 찾아야 한다. 그리고, recovery time이 너무 길어지는 것을 방지하고, gain을 크게하기

위해 Q₁, Q₂의 emitter area는 충분히 크게하여 0.8μm × 30μm 정도로 설계하였으며, regeneration time이 recovery time보다 수십 배 이상 작은 것을 고려해 Q₃, Q₄의 emitter area는 Q₁, Q₂보다 작은 0.8μm × 10μm이 되도록 설계하였다.



[그림 6. Latched Comparator 회로도]



[그림 7. Comparator output waveform]

(맨위 panel부터 차례대로 CK, input, output waveform)

Single supply voltage는 3.3V를 사용하였으며, tail current는 5mA를 사용하였다. (output range : 1.2V)

다음은 high-frequency hybrid-π model로부터 구한 recovery time과 regeneration time이다.

$$t_{rec} = \frac{C_{Tacc}}{g_{m,pmos}} \ln \left[1 + \frac{1}{\tanh(V_{In}/2V_{th})} \right]$$

$$\tau_{reg} = \frac{C_{Treg}}{g_m} \left(\frac{g_m/g_{m,pmos}}{g_m/g_{m,pmos} - 1} \right)$$

$$V_{In} = V_1 - V_2$$

$$V_{Out} = V_{o1} - V_{o2} \approx A_v V_{In}(t_1) \exp \left(\frac{t-t_1}{\tau_{reg}} \right)$$

(g_m : Q₃, Q₄의 transconductance)

(g_{m,pmos} : pMOS의 transconductance)

Trench 공정으로 collector-substrate 접합 용량이 작다고 가정하면[3],

$$C_{Tacc} \approx C_L + 4C_{\mu L} + C_{\mu A}$$

$$C_{Treg} \approx C_{\pi} + C_L + 4C_{\mu L}$$

(C_L : load capacitance)

(C_{μA} : Q₃, Q₄의 base-collector 접합 용량)

(C_{μL} : Q₁, Q₂의 base-collector 접합 용량)

6. 결론

본 논문에서는 optical storage system, 또는 mobile communication system에 필수적인 고속 Bipolar 소자를 Self-Aligned Vertical Nitride 구조로 구현하여 비활성 영역의 기생접합용량과 기생저항을 줄였으며, X_E(Emitter width)=0.128μm, X_B(Base width)=0.146μm의 얇은 접합 깊이를 형성시켜 f_{T,max}=21.17GHz의 cutoff frequency 및 storage time이 매우 작은 switching 특성을 얻을 수 있었다. 그리고 BiCMOS 공정을 통해 LDD nMOS와 LDD pMOS도 함께 공정하여 SPICE parameter를 추출하였다. 이 값들을 사용하여 간단한 형태의 Current-switching latched Comparator를 설계하였으며 500MHz의 sampling frequency에서 동작하는 것을 확인할 수 있었다. 따라서 high-frequency를 갖는 SAVEN 소자가 고속의 system에 적합한 Bipolar 소자로서 사용될 수 있을 것으로 생각된다.

참고문헌

- [1]구용서, 강문상, 안철 "RTA 공정 및 Trench 격리기술을 사용한 PSA 바이폴라 소자의 특성 연구," 전자공학회 논문지, pp 743-751, 1991
- [2]Peter J.Lim, and Bruce A.Wooley, "An 8-bit 200MHz BiCMOS Comparator," IEEE journal of solid-state circuits, vol. 25, pp 192-199, Feb. 1990
- [3]A.Boni, and C.Morandi, "High-speed, Low-power BiCMOS Comparator Using a pMOS Variable Load," IEEE journal of solid-state circuits, vol. 33, pp143-146, Jan. 1998
- [4]Edward S. Yang, "Microelectronic Devices," McGraw-Hill Inc, 1988
- [5]Sedra, and Smith, "Microelectronic Circuits," Oxford University Press, 1991
- [6]Ian E.Getreu, "Modeling the Bipolar Transistor," Elsevier Scientific Publishing Company, 1976