

저전력, 고속 데이터 의존 프리차지 억제 DFF

채 관 엽, 기 훈 재, 황 인 철, 김 수 원

고려대학교 전자공학과

TEL : (02) 923-2081 / FAX : (02) 928-1216

Low power and high speed Data-dependent Precharge Suppression DFF

Kwan Yeob Chae, Hoon Jae Ki, In Chul Hwang, Soo Won Kim

ASIC Laboratory, Department of Electronic Engineering, Korea University

E-mail : co@asic.korea.ac.kr

Abstract

This paper presents a data-dependent precharge suppression(DPS) D-flip-flop(DFF) with precharge suppression scheme according to data-transition probability. The main feature of the DPS DFF is that precharge is suppressed when there is no data transition. The proposed DPS DFF consumes less power than the conventional Yuan-Svensson's true single phase clocking(TSPC) DFF when the data-transition probability is low. The simulation result shows that the power consumption is reduced by 42.2 % when the data-transition probability is 30%.

1. 서론

VLSI 시스템에서 속도뿐만 아니라 전력소모도 중요한 제한요소가 되고 있다. 많은 응용회로에서 전력소모가 증가하는 것을 감수하면서도 높은 속도를 내기 위한 방법들이 채택되어 왔다. 하지만 멀티미디어 기기와 같은 휴대용 기기의 시장이 커지면서 디지털 회로의 고속동작뿐 아니라 저전력도 중요한 조건이 되고 있다.

VLSI 시스템에서 클럭 시스템이 차지하는 전력소모 비중은 대략 25% ~ 45% 정도이다. 멀티미디어의 데이터 처리량이 늘어남에 따라 고속의 데이터 처리를 위해 워드 크기 및 파이프라인 깊이가 커지고 있어 클럭 시스템의 전력소모 비중은 더욱더 중요하게 부각되고 있다[1][2]. 클럭 시스템에서 전력을 소모하는 요소는 크게 클럭 발생기, 클럭 네트워크, 클럭 드라이버, flip-flop(FF) 등으로 나눌 수 있다. 그 중 클럭 네트워크의 마지막 가지와 FF자체의 전력소모가 전체 클럭 시스템의 90%를 차지한다[1].

클럭 시스템에서는 간단하고도 안전한 clocking 방

식이 사용되어야 하므로 클럭 네트워크가 단순해질 수 있는 true single phase clocking(TSPC) 방식이 주로 사용된다. Two-phase 나 four-phase clocking 방식의 경우는 많은 클럭 라인이 사용되므로 큰 면적이 필요하고 서로 다른 클럭 phase간의 skew로 인한 racing 문제에 민감하다. 그리고 클럭 skew 문제를 해결하기 위해 "dead time"을 삽입하는 경우 클럭의 속도가 느려지는 단점이 있다. 하지만 TSPC 방식은 하나의 클럭 선만이 필요하므로 매우 간단한 클럭 네트워크를 구성할 수 있고 클럭 skew와 같은 문제가 생기지 않는다. 또한 클럭 네트워크가 단순해질 수 있다는 점 외에도 FF 구조도 단순하고 속도가 빠르다는 장점을 가지고 있다[1]. 하지만 TSPC DFF는 입력 데이터를 처리하는데 뿐만 아니라 내부 노드들을 precharge하는데도 전력을 소모하므로 입력이 변하지 않는 경우에도 전력 소모를 한다는 단점을 가지고 있다. 본 논문에서는 DPS DFF을 제안하여 입력 데이터에 따라 precharge를 억제함으로써 DFF의 전력소모를 줄일 수 있도록 하였다.

2. 기존의 TSPC DFF

그림 1은 Yuan 과 Svensson에 의해 제안된 TSPC DFF의 회로도를 나타낸 것으로 현재 고속 동작을 필요로 하는 디지털 회로의 중요한 빌딩 블록 중에 하나이다 [3][4].

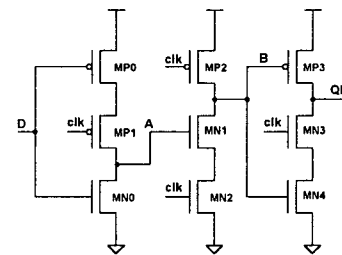


그림 1. 기존 TSPC DFF의 회로도.

그림 1의 DFF의 입력 D가 low로 계속 유지 될 때의 내부 노드들의 상태를 표 1에 나타내었다. 표 1에서 알 수 있듯이 A 노드와 Qb는 상태가 high로 유지되지만, B 노드는 동작과 관계없는 precharge와 discharge를 하게됨으로서 불필요한 전력소모를 하게 된다.

표 1. 입력 D가 low인 상태로 변화가 없을 때, 기존 TSPC DFF의 내부 노드 전압.

D	Clk	A	B	Qb
low	low	high	high	X
	high	high	low	high
low	low	high	high	high
	high	high	low	high

그림 2는 입력 파형 D에 따른 기존 TSPC DFF의 각 노드들의 파형을 나타낸 것이다. D가 low를 유지하고 있는 경우 B 노드는 clk가 low 일 때 high로 precharge되고 clk가 high일 때는 다시 low로 discharge되어 출력값 Qb를 high로 유지시키는 동작을 하게 된다. 이때 B 노드가 high로 precharge되었다가 low로 discharge하는 불필요한 전력소모를 하게되고 이 과정에서 그림 1의 MN3과 MN4가 켜지는 구간이 발생하게 된다. 이 때 출력 Qb의 charge 가 discharge 되어 그림 2에 나타낸 것과 같이 Qb의 파형이 항상 high를 유지하지 않고 clk가 low에서 high로 천이 하는 순간에 dip이 발생함을 알 수 있다. dip은 DFF 자체의 전력소모를 의미하게 되고 또한 다음 단의 combinational logic의 불필요한 전력소모를 유발하게 된다.

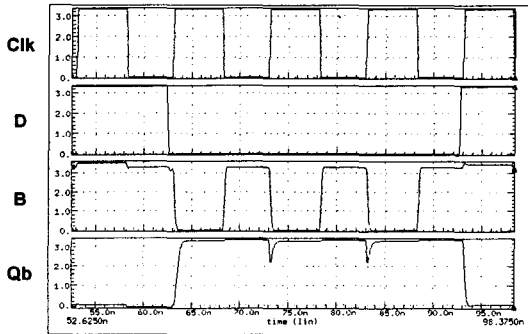


그림 2. 입력 파형 D에 따른 기존 TSPC DFF의 각 노드의 HSPICE 모의실험 파형.

DFF의 성능을 평가하기 위한 파라미터로는 전력소모 이외에도 속도가 있는데 이를 나타내는 중요한 요소로는 clock-to-q delay(T_{CQ})와 setup time(T_{DC})이 있다. T_{CQ} 는 클럭 신호가 천이 하는 순간에서 출력 값이

나오는 데까지 걸리는 시간이고, T_{DC} 는 일정한 T_{CQ} 로 출력 값이 나오기 위해 보장 되어야하는 입력 값의 천이에서 클럭 신호의 천이까지 적어도 보장되어야 하는 최소의 시간을 의미한다.

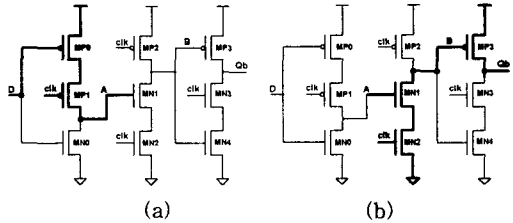


그림 3. TSPC DFF의 (a) T_{DC} 의 critical path. (b) T_{CQ} 의 critical path.

그림 3의 (a)는 기존 TSPC DFF의 T_{DC} 의 critical path를 나타낸 것으로 입력 D에서 A 노드까지 신호가 전달되기 위해 필요한 최소의 시간이 기존 TSPC DFF의 T_{DC} 가 된다. Clk가 low인 시간 동안 신호 D가 A 노드까지 신호가 전달되기 위한 경로는 MP0과 MP1의 직렬 연결된 경로와 MN0 하나의 경로 2가지가 존재한다. 그림 3의 (a)에서 진한 선으로 연결되어 있는 부분이 기존 TSPC DFF의 T_{DC} 의 critical path가 된다.

그림 3의 (b)는 기존 TSPC DFF의 T_{CQ} 의 critical path를 나타낸 것으로 만약 A 노드의 값이 high라고 가정하면, clk가 low에서 high로 천이 하는 순간 B 노드의 값이 MN1, MN2를 통해 discharge되고 이후에 MP3이 켜져 Qb에 high가 출력된다. 그림 3의 (b)에서 굵은 선으로 표시된 부분이 T_{CQ} 의 critical path로 A 노드의 값이 high로 가정된 경우가 된다.

3. Data-dependent Precharge Suppression TSPC

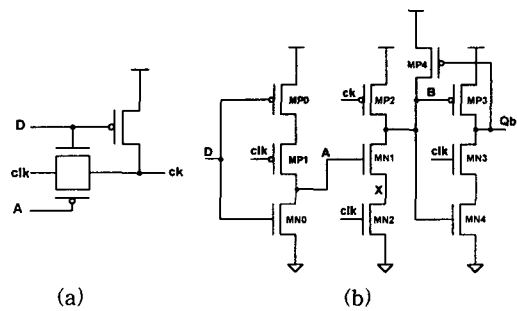


그림 4. 제안된 DPS DFF의 (a)Precharge 제어 신호인 ck의 생성 회로. (b)DPS DFF의 회로도.

앞서 언급한 것처럼 기존 TSPC DFF의 입력이 low로 유지될 때, 그림 1에서 B 노드의 불필요한 precharge, discharge와 이로 인해 발생하는 dip이

TSPC DFF의 전력소모를 증가시키는 원인 된다. 이러한 문제를 해결하기 위해 그림 4와 같은 구조의 data-dependent precharge suppression(DPS) TSPC DFF를 제안하였다.

입력 D가 low로 유지되는 경우에 B 노드의 precharge를 억제하기 위한 신호 ck를 새로 정의하였고, precharge 제어 신호인 ck 생성회로는 그림 4 (a)에 나타내었다. 입력 D가 high인 경우에는 기존의 TSPC DFF와 같은 동작을 하고, 입력 D가 low인 경우에는 ck신호가 high가 되어 그림 4 (b)의 PMOS MP2를 turn off 시켜 B 노드의 precharge를 억제하게 된다. Clk 신호가 low인 경우에는 D의 값은 항상 A 노드의 값과 complementary 관계이므로 트랜스미션 게이트의 제어신호로 이용할 수 있다. Clk가 high인 경우에는 입력 D와 A 노드의 값이 모두 low인 경우가 발생 할 수 있지만, 이 경우에는 ck의 값이 high가 되므로 아무런 문제가 발생하지 않는다.

그림 4 (b)에서 MP4는 ck 생성 회로를 추가함에 따라 발생하는 charge sharing문제를 해결하기 위해 부가한 회로이다. B 노드의 값이 high로 precharge된 값을 유지하고 있고, precharge 제어 신호 ck가 high인 상태에서 A 노드의 값이 low에서 high로 바뀌게 되면, B 노드의 전위가 X 노드의 parasitic capacitor와 공유되어 전위가 떨어지는 charge sharing문제가 발생하게 된다. 그림 4 (b)와 같이 level restoring 회로를 만들어 주게 되면 charge sharing문제를 해결 할 수 있다.

그림 5는 HSPICE 모의 실험 파형으로 제안된 DPS DFF의 내부 노드들의 파형을 나타낸 것이다. 그림 4에서 보여 주듯이 D가 low로 유지되는 경우에 B 노드의 불필요한 precharge가 억제되고 이로 인해 기존의 TSPC DFF의 출력 Qb에서 발생되었던 dip이 제안된 구조에서는 제거되었음을 알 수 있다.

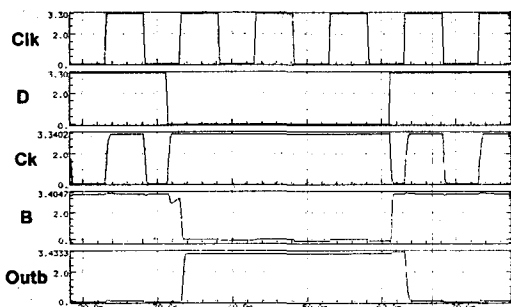


그림 5. 입력 파형 D에 따른 DPS DFF의 각 노드의 HSPICE 모의 실험 파형

4. 모의 실험

4.1. DFF의 전력소모 및 속도 모의 실험

그림 6은 입력 D의 천이 확률에 따른 기존 TSPC DFF와 제안된 DPS DFF의 전력소모를 비교한 것으로,

모의 실험은 CMOS 0.6 μm 공정, 3.3 V 전원 전압 및 100 MHz동작 조건에서 수행하였다. 입력은 1과 0의 분포 확률이 각각 1/2인 uniform distribution을 가정하였다.

그림 6에서 보여주듯이 천이 확률이 1인 경우에는 제안된 DPS DFF의 overhead로 인해 전력소모가 기존의 TSPC DFF보다 1.9 %정도 크게 나타났지만, 천이 확률이 작아질수록 전력소모 감소의 효과는 크게 나타났다. 일반적인 데이터 경로의 천이 확률은 30 %로 이때의 입력 조건에서는 기존 TSPC DFF는 154.0 μW , 제안된 DPS DFF는 89.3 μW 로 42.2 %의 전력소모 감소 효과를 보였다.

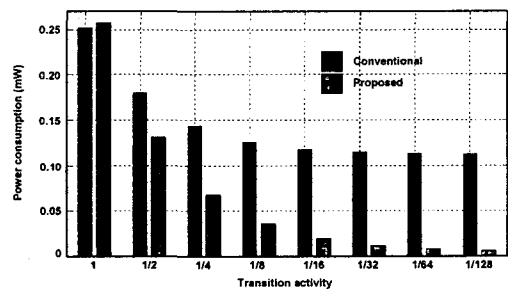


그림 6. Transition activity에 따른 기존 TSPC DFF와 제안된 DPS DFF의 전력소모 비교

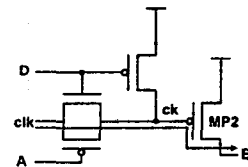


그림 7. 제안된 DPS DFF의 T_{DC} critical path

속도면에서는 기존의 TSPC DFF와 제안된 DPS DFF 모두 T_{CQ} 는 0.3 ns로 동일하였고, T_{DC} 는 기존의 TSPC DFF는 0.3 ns, DPS DFF는 0.35 ns로 T_{DC} 에서 16.7 % 속도 저하가 있었다. 그림 7은 제안된 DPS DFF의 T_{DC} critical path를 나타낸다. 입력 D가 low에서 high로 바뀌면 B 노드가 precharge가 억제되어있던 상태에서 precharge를 해야하는 상황으로 바뀌게 되는데 이때 B 노드가 high로 precharge되기 위한 최소의 T_{DC} 는 0.35 ns가 된다.

T_{DC} 와 T_{CQ} 의 합은 T_{DQ} 로 FF의 속도를 평가할 때의 파라미터로 사용되는데, T_{DQ} 는 기존의 TSPC DFF와 DPS DFF가 각각 0.60 ns, 0.65 ns로 제안된 DPS DFF가 8.3 %정도 느리다는 것을 알 수 있다.

표 3은 기존 TSPC DFF와 제안된 DPS DFF의 특성을 비교하여 나타낸 것이다. Power-Delay-Product(PDP)는 DPS DFF가 기존의 TSPC DFF에 비해 92.40 fJ에서 57.85 fJ로 37.4 % 감소된 결과를 보였다.

표 3. 기존 TSPC DFF와 제안된 DPS DFF의 성능 비교

	# of Tr.	Total tr. width	Power consumption	Rising time	Falling time	Setup time	Total delay	PDP
TSPC DFF	9	109 μ m	154.0 μ W	0.30 ns	0.28 ns	0.30 ns	0.60 ns	92.40 fJ
DPS DFF	13	121 μ m	89.3 μ W	0.30 ns	0.28 ns	0.35 ns	0.65 ns	57.85 fJ

(3.3 V, 100 MHz, and 30 % transition activity)

4.2. 8-bit synchronous counter의 설계

제안된 DPS DFF를 이용하여 그림 7의 8-bit synchronous counter를 설계하여 전력소모 감소의 효과를 측정하였다. 그림 7에서 보여주듯이 counter는 combinational logic 부분과 DFF으로 구성되어있고 각 DFF가 LSB에서 부터 마지막 출력 MSB까지 1에서 1/128 까지의 천이 확률을 갖는다.

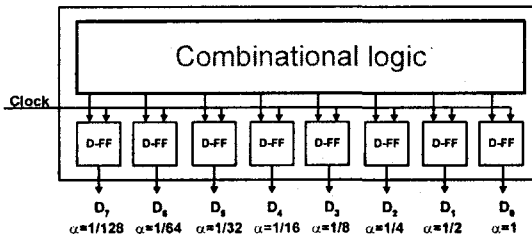


그림 7. 8-bit synchronous counter의 블록도

그림 8은 기존의 TSPC DFF를 이용하여 설계한 8-bit counter와 제안된 DPS DFF를 이용한 8-bit counter의 전력소모를 비교한 것으로 각각 DFF에 의한 전력소모와 combinational logic에 의한 전력소모로 구분되어 진다. DFF에 의한 전력소모는 9.88 mW에서 3.77 mW로 61.8 % 정도 감소하였다.

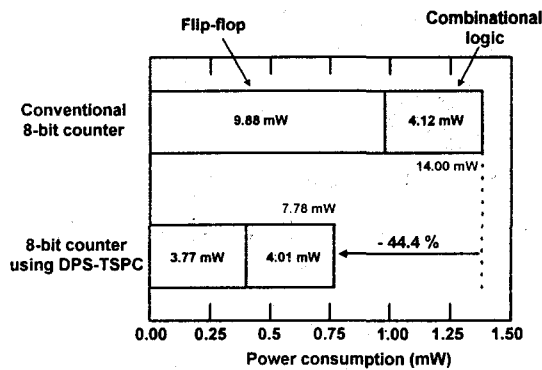


그림 8. counter의 전력소모 비교

Combinational logic에 의한 전력 소모는 기존의 TSPC DFF를 사용한 경우에는 4.12 mW, 제안된 DPS DFF를 사용한 경우에는 4.01 mW로 전력 소모가 약 2% 정도 감소했는데 이는 DPS DFF 출력의 dip이 제

거되어 combinational logic의 불필요한 스위칭이 없기 때문이다.

8-bit counter의 전체 전력소모는 기존의 TSPC DFF를 이용한 경우 14.00 mW, DPS DFF를 사용한 경우 7.78 mW로 44.4 %의 전력소모 감소효과가 있었다.

5. 결론

고속 디지털 회로의 중요한 빌딩 블록인 기존 TSPC DFF는 빠르다는 장점이 있지만 입력이 low로 계속 유지되는 경우에 불필요한 precharge 와 discharge 및 dip 발생으로 인해 전력 소모가 큰 단점이 있었다. dip은 DFF 자체의 전력소모를 증가시킬 뿐만 아니라, DFF의 출력이 연결되는 combinational logic의 전력소모를 증가시키는 문제가 되었다. 본 논문에서는 이를 해결하기 위해 DPS DFF를 제안하였다. Precharge를 억제시키기 위한 제어신호 ck를 정의하여 천이 확률이 30 %인 경우 DFF 자체의 전력소모를 42.2 %까지 줄일 수 있었다. T_{DO}는 8.3 %정도 증가하였지만, 전체 PDP는 37.4 %의 향상되어 DSP DFF의 성능이 기존 TSPC DFF에 비하여 개선되었음을 알 수 있다. 제안된 DPS DFF를 이용하여 8-bit synchronous counter를 설계하여 전체 전력 소모를 44.4 %감소시킬 수 있었다. 본 논문에서 제안된 DPS DFF를 VLSI 시스템 설계에 이용할 경우 빠른 속도를 유지하면서도 시스템의 전력 소모를 크게 줄일 수 있을 것이다.

참고문헌

- [1] Yuan Ji-ren, Ingemar Karlsson, and Christer Svensson, "A True Single-Phase-Clock Dynamic CMOS Circuit Technique," IEEE J. Solid-State Circuits, vol. SC-22, no. 5, pp. 899-901, Oct. 1987
- [2] Hiroshi Kawaguchi, and Takayasu Sakurai, "A Reduced Clock-Swing Flip-Flop (RCSFF) for 63% Power Reduction," IEEE J. Solid-State Circuits, vol. 33, no. 5, May 1998
- [3] Qiuting Huang, and Rober Rogenmoser, "Speed Optimization of Edge-Triggered CMOS Circuits for Gigahertz Single-Phase Clocks," IEEE J. Solid-State Circuits, vol. 31, no. 3, Mar. 1996
- [4] J. Yuan, and Christer Svensson, "High speed CMOS circuit technique," IEEE J. Solid-State Circuits, vol. 24, no. 1, pp. 62-70, Feb. 1989
- [5] Yuan Ji-ren, and Christer Svensson, "New Single-Clock CMOS Latches and Flipflops with Improved Speed and Power Savings," IEEE J. Solid-State Circuits, vol. 32, no. 1, Jan. 1997