

직렬 복합 트랜지스터를 이용한 전압-전류 변환기 설계

김종민*, 유영규, 이준호, 박창선, 김동용
전북대학교 전자정보공학부
전화 : (0652) 270-2395 / 팩스 : (0652) 270-2394

Design of V-I Converter using Series Composite Transistor

Chong-Min Kim*, Young-Gyu Yu, Jun-Ho Lee, Chang-Sun Park, Dong-Yong Kim
Faculty of Electronic & Information Engineering Chonbuk National University
E-mail : a997113@cbnu.chonbuk.ac.kr

Abstract

In this paper V-I(Voltage to Current) converter using the series composite transistor is presented. Due to the series composite transistor employs operating in the saturation region and triode region, the proposed circuit has wide input range at low voltage. The designed V-I converter has simulated by HSPICE using $0.6\mu\text{m}$ n-well CMOS process with a $\pm 2.5\text{V}$ supply voltage. Simulation results show that the THD can be 0.81% at $4V_{P-P}$ differential input voltage when frequency of input signal is 10MHz.

I. 서론

전압모드 회로 보다 신호의 덧셈과 뺄셈이 쉽고 저전압 회로 구현이 가능한 전류모드 신호처리에서 전압 신호를 전류 신호로 변환시켜주는 전압-전류 변환기는 넓은 선형 입력 범위를 요구하고 있다. 또한 OTA[1], DDA[2], neural network[3] 등과 같은 아날로그 신호 처리를 위한 회로에 필수적인 블록이다.

일반적으로 전압-전류 변환기는 바이폴라 회로 보다 비선형성의 제거가 쉽고 높은 입력 임피던스를 갖는 MOS트랜지스터를 이용한다. 그러나 MOS 트랜지스터의 문턱 전압으로 저전압 회로 구현이 어려운 단점을

가진다. 또 기존의 제안된 전압-전류 변환기[4,5,6,7] 선형 출력 스윙 범위가 공급 전압을 넘지 못한다. 하지만 제안된 구조의 전압-전류 변환기는 $\pm 2.5\text{V}$ 의 공급 전압에서 선형 입력범위가 $\pm 4\text{V}$ 를 갖는다. 본 논문에서는 높은 선형성을 갖는 전압-전류 변환기를 설계한다.

본 논문의 구성은 제 2장에서는 직렬 복합 트랜지스터(series composite transistor)를 이용한 전압-전류 변환기를 설계하고 제 3장에서는 $0.6\mu\text{m}$ n-well CMOS 공정 파라미터를 이용하여 제안된 회로를 시뮬레이션 및 결과를 보이고 제 4장에서 결론을 맺는다.

II. 직렬 복합 트랜지스터를 이용한 전압-전류 변환기

그림1은 COMFET(COMposite n-channel MOSFET) 전압-전류 변환기이다[7]. 그림 1에서 M1과 M2는 소스와 몸체(body)가 같은 노드에서 연결되어 있다. 이와 같은 회로 구성은 p-well 또는 twin-well 공정에서만 가능하고 몸체를 V_{SS} 로 연결하는 것보다 레이아웃(layout)이 복잡해진다.

이러한 문제점을 해결하기 위해 M1과 M2의 몸체로 V_{SS} 를 연결하면 M5와 M6이 다이오드 연결된 구조를 갖기 때문에 M1과 M2는 몸체 효과(body effect)에 의한 상당한 양의 문턱 전압(threshold voltage)의 증가를 갖게 된다. 따라서 입력 전압 V_1 과 V_2 의 동작 영역이

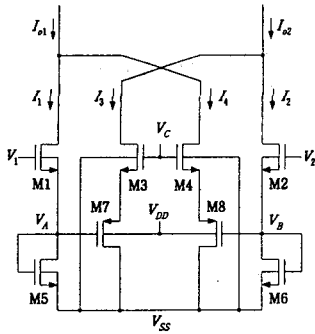


그림 1. COMFET 전압-전류 변환기
Fig. 1. COMFET V-I converter

감소하게 된다.

이 회로에서 V_1 과 V_2 의 최소 입력 전압은 $V_{GS5,6} + V_T$ 이다. 그리고 조정 전압 V_C 는 최소한 $V_{GS5,6} + 2V_T$ 보다 커야한다. 따라서 저전압 동작에 어려움을 갖는다.

그림 2는 제안된 저전압 전압-전류 변환기이고 게이트에 동일한 신호가 인가되는 직렬 복합 트랜지스터를 이용하였다[8].

그림 2의 복합 트랜지스터에서 M5와 M6은 M1과 M2를 동작시키기 위해 선형 영역에서 동작하게 되고 M1과 M2는 포화 영역에서 동작하게 된다. 그리고 M5와 M6의 드레인 전압은 낮은 게이트 입력 전압에서 수십 mV까지 유지할 수 있다.

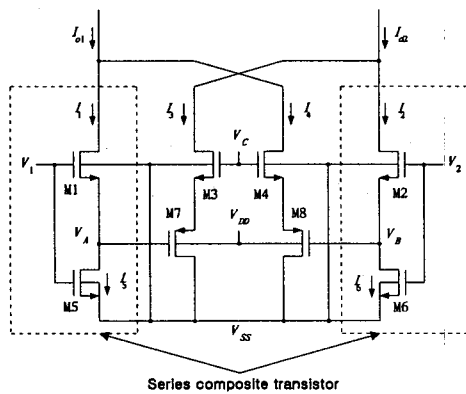


그림 2. 직렬 복합 트랜지스터를 이용한 제안된 전압-전류 변환기

Fig. 2. The proposed V-I converter using series composite transistor

그림 1과 다르게 그림 2에서는 M1과 M2의 몸체가 가장 낮은 전압인 V_{SS} 에 연결되어 있지만 M5와 M6이 선형 영역에서 동작하기 때문에 몸체 효과에 의한 문턱 전압의 증가를 거의 무시할 수 있다.

제안된 회로에서 V_1 과 V_2 의 최소 입력 전압은 V_T 이고 조정 전압 V_C 는 최소한 $V_{DSS5,6,triode} + 2V_T$ 보다 커야한다. 따라서 제안된 회로는 그림 1의 회로보다 입력 전압의 범위가 증가하게 된다. 그리고 그림 2에서 트랜지스터 M1, M2를 동일한 조건으로 설계하고 M5와 M6은 M1의 1/3의 트랜스컨덕턴스를 갖도록 설계하면 $K_{n1} = K_{n2} = K_n$ 이고 $K_{n5} = K_{n6} = K_n/3$ 이다. 여기서 $K_n = \mu_n C_{ox}(W/L)$ 이다.

M1, M2는 몸체 효과에 의한 문턱 전압의 증가를 거의 무시할 수 있지만 정확한 해석을 위해 $V_{Tn1} = V_{Tn2} = V_{Tn}$, $V_{Tn5} = V_{Tn6} = V_{Tn0}$ 으로 가정하면 전류 $I_1 \sim I_6$ 은 다음과 같이 나타낼 수 있다.

$$I_1 = \frac{K_n}{2} (V_1 - V_A - V_{Tn})^2 \quad (1)$$

$$I_2 = \frac{K_n}{2} (V_2 - V_B - V_{Tn})^2 \quad (2)$$

$$I_3 = \frac{K_{eq}}{2} (V_C - V_A - V_{Teq})^2 \quad (3)$$

$$I_4 = \frac{K_{eq}}{2} (V_C - V_B - V_{Teq})^2 \quad (4)$$

$$I_5 = \frac{K_n}{6} [(V_1 - V_{SS} - V_{Tn0})^2 - (V_1 - V_A - V_{Tn})^2] \quad (5)$$

$$I_6 = \frac{K_n}{6} [(V_2 - V_{SS} - V_{Tn0})^2 - (V_2 - V_B - V_{Tn})^2] \quad (6)$$

그림 2에서 I_1 과 I_5 가 일치하기 때문에 식(1)과 (5)를 이용하여 V_A 를 구할 수 있고 V_B 도 식(2)과 (6)을 이용하여 구할 수 있다.

$$V_A = \frac{V_1 - 2V_{Tn} + V_{Tn0}}{2} \quad (7)$$

$$V_B = \frac{V_2 - 2V_{Tn} + V_{Tn0}}{2} \quad (8)$$

식(3)과 (4)에서 K_{eq} 와 V_{Teq} 는 복합(composite) 트랜지스터[5]의 등가 트랜스컨덕턴스 파라미터와 문턱 전압이고 식(9)과 (10)로 나타낼 수 있다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_n}} + \frac{1}{\sqrt{K_p}} \quad (9)$$

$$V_{Teq} = V_{Tn} + |V_{Tp}| \quad (10)$$

복합트랜지스터의 트랜스컨덕턴스 파라미터 K_{eq} 를 K_n 과 같도록 설계하고 위의 조건들을 이용하여 출력 전류 I_{out} 을 구하면 식(11)과 같다.

$$\begin{aligned} I_{out} &= I_{o1} - I_{o2} = I_1 - I_2 - I_3 + I_4 \\ &= \frac{K_n}{2} (V_1 - V_A - V_{Tn})^2 \\ &\quad - \frac{K_n}{2} (V_2 - V_B - V_{Tn})^2 \\ &\quad - \frac{K_n}{2} (V_C - V_A - V_{Teq})^2 \\ &\quad + \frac{K_n}{2} (V_C - V_B - V_{Teq})^2 \\ &= \frac{K_n}{2} (V_1 - V_2)(V_C + V_{Tn} - V_{Tn0} - V_{ss} - V_{Teq}) \end{aligned} \quad (11)$$

식(11)으로부터 선형 전압-전류 변환기를 얻을 수 있고 출력 전류는 V_C 에 의해 조절이 가능하다.

III. 시뮬레이션 결과

제안된 회로는 0.6 μ m CMOS n-well 공정파라미터를 이용하여 $\pm 2.5V$ 공급전압에서 HSPICE 시뮬레이션 하였다.

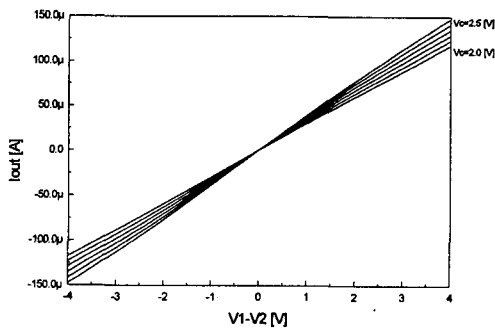


그림 3. 제안된 전압-전류 변환기의 DC 특성
Fig. 3. DC characteristics of the proposed V-I converter

그림 3은 제안된 전압-전류 변환기의 DC 특성이다.

입력 전압 V_1-V_2 가 $-4V$ 에서 $+4V$ 까지 변할 때 조정 전압 V_C 에 따른 출력 전류를 나타내고 있다.

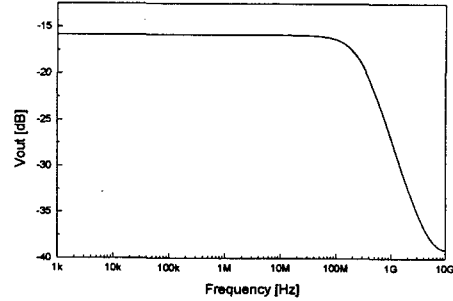


그림 4. 제안된 전압-전류 변환기의 AC 특성
Fig. 4. AC characteristics of the proposed V-I converter

그림 4는 제안된 전압-전류 변환기의 AC 특성이다. 출력 저항과 커패시터가 5k Ω , 0.1pF일 때 차단주파수는 153MHz이다.

그림 5는 V_1-V_2 에 10MHz의 사인(sinusoidal) 입력을 인가했을 때 4V_{P-P}일 때 출력 주파수 스펙트럼이다. 완전 차동 입력을 인가하였을 때 짝수 차수 고조파 성분이 제거된다. 따라서 제 3고조파 성분이 왜곡 특성에 가장 큰 영향을 미치게 된다.

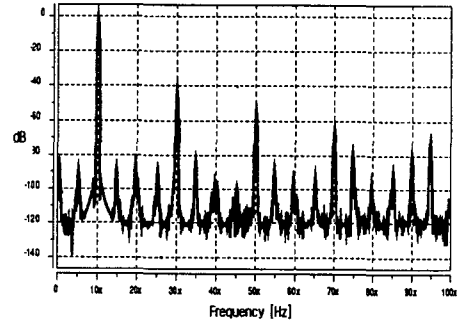


그림 5. 제안된 전압-전류 변환기의 출력 주파수 스펙트럼
Fig. 5. Output frequency spectrum of proposed V-I converter

그림 6은 V_1-V_2 에 10MHz의 사인 입력을 인가했을 때 V_{P-P} 의 변화에 따라 시뮬레이션된 THD(Total harmonic distortion) 특성이다. V_1-V_2 가 4V_{P-P}일 때

THD는 0.81%이다.

참고문헌

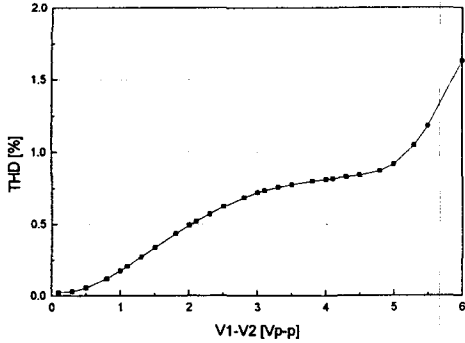


그림 6. V_{P-P} 의 변화에 따른 시뮬레이션된 THD
Fig. 6. Simulated THD as a function of V_{P-P}

표 1. 제안된 회로의 시뮬레이션 결과
Table 1. Simulation results of the proposed circuit

Power supply voltage	$\pm 2.5V$
THD($4V_{P-P}$, 10MHz)	0.81%
Cutoff frequency ($R_o=5k\Omega$, $C_o=0.1pF$)	153MHz
Power dissipation	445 μW

VI. 결론

기존의 COMFET 전압-전류 변환기는 다이오드 연결된 트랜지스터의 사용으로 저전압 회로에 적용하기 어렵다. 또한 몸체 효과를 제거하기 위해서 입력 신호가 인가되는 트랜지스터의 소스와 몸체를 연결시키면 layout의 복잡성을 증가시키며 공정 선택의 제한을 받는다. 이러한 문제를 제거하기 위해 본 논문에서는 직렬 복합 트랜지스터를 이용한 전압-전류 변환기를 제안하였다. 직렬 복합 트랜지스터는 포화 영역에 동작하는 트랜지스터와 선형 영역에서 동작하는 트랜지스터가 사용되는 구조로 낮은 공급 전압에서도 넓은 입력 전압 범위를 갖는다. 제안된 전압-전류 변환기는 $\pm 2.5V$ 공급전압에서 $0.6\mu m$ CMOS n-well 공정 파라미터를 이용하여 HSPICE 시뮬레이션 하였다. 시뮬레이션 결과 입력 신호 주파수가 10MHz일 때 $4.0V_{P-P}$ 의 차동 입력 전압에 대해 0.81%의 THD특성을 보였고 전력소모는 $445\mu W$, 차단주파수는 153MHz이다. 제안된 회로는 저전압, 고주파수 동작이 요구되는 아날로그 회로에 응용 가능할 것이다.

[1] M. I. Ali, M. Howe, E. Sanchez-Sinencio, and J. Ramirez-Angulo, "A BiCMOS low distortion tunable OTA for continuous-times filters," *IEEE J. Circuit and Systems - I*, vol. 40, pp. 43-49. 1993.

[2] S. C. Huang, M. Ismail, and S. R. Zarabadii, "A wide range differential difference amplifier: a basic block for analog signal processing," *IEEE Trans. Circuit and Systems - II*, vol. 40, pp. 43-49. 1993.

[3] M. A. Tan, "Synthesis of artificial neural networks by transconductor only," *J. Analog Integrated Circuits and Signal Processing*, vol. 1, pp. 339-351, 1991.

[4] A. Nedungadi and T. R. Viswanathan, "Design of linear CMOS transconductance elements," *IEEE Trans. Circuit and Systems*, CAS-31, pp. 891-894, Oct. 1984.

[5] E. Seevinck and R. F. Wassenaar, "A Versatile CMOS linear transconductor/ square-law function circuit," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 3, pp. 336-377, June, 1987.

[6] S. Szczepanski, R. Schaumann, and P. Wu, "Linear transconductor based on crosscoupled CMOS pairs," *Electron. Lett.*, vol. 27, pp. 783-785, April 1991.

[7] S. C. Huang and M. Ismail, "Linear tunable COMFET transconductor," *Electron. Lett.*, vol. 28, pp. 1093-1905, June 1992.

[8] M. Ismail, Terri Fiez, "Analog VLSI Signal and Information Processing," pp. 49-50, McGraw Hill, 1993.