

# 무선 통신용 Dual-Modulus Prescaler 위상고정루프(PLL)의 간단한 분주 구조

김 태우, 이 순섭, 최 광석, 김 수원

고려대학교 전자공학과

전화 : (02) 923-2081 / 팩스 : (02) 928-1216

## Simple Dividing Architecture of Dual-Modulus Prescaler Phase-Locked Loop for Wireless Communication

Taewoo Kim, Soonseob Lee, Goangseog Choi, Soowon Kim

ASIC Laboratory, Department of Electronic Engineering, Korea University

E-mail : twkim@asic.korea.ac.kr

### Abstract

This paper proposes a simple architecture of digital dividing block in dual-modulus prescaler phase-locked loop used in the wireless communication. Proposed architecture eliminates a swallow counter in the conventional one and demonstrates the advantages in reducing the power consumption and the gate-counts. Therefore, it is suitable for small die area and low power applications. The circuit is designed in a standard 0.35  $\mu\text{m}$  CMOS process.

### I. 서론

이동통신용 단말기등과 같은 무선 통신 응용에서 고성능의 주파수 합성기는 주요한 요소가 되며 주파수 합성은 일반적으로 위상고정루프(PLL)방식을 이용하여 이루어진다. 대부분의 무선 통신용 주파수 합성기는 채널을 가변적으로 선택할 수 있도록 하기 위하여 출력 주파수를 가변적으로 낼 수 있어야 하는데 이를 위해 프로그램 가능한 분주 비율 요구하며 높은 주파수에서의 동작을 필요로 하므로 두 가지의 분주 비율 갖는 전치 분주기(Dual-Modulus Prescaler)를 기반으로 하는 DMP PLL 방식이 널리 이용된다[1]-[3].

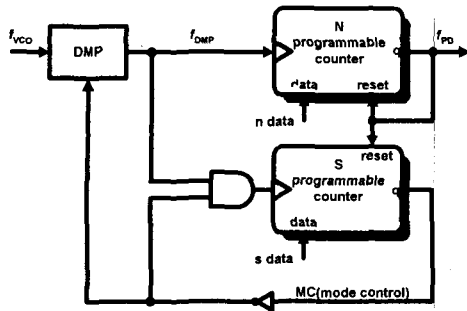
이동 통신용 단말기등과 같은 응용에서 저전력은 중요한 요소가 되며 이를 위하여 DMP와 전압 제어 발진기(Voltage-Controlled Oscillator)에 대한 많은 연구가 진행되어 왔다[1], [2], [4], [5]. 이는 DMP와 전압 제어 발진기가 고속에서 동작하는 블록이므로 전력 소모가 가장 많기 때문이다. DMP에서 이러한 전력 소모

문제를 해결하기 위한 방안은 고속에서 동작하는 플립플롭의 개수를 줄이는 것인데 이를 위하여 counter를 리플(ripple)로 설계하게 된다. 그러나 counter를 리플로 설계할 경우 각 플립플롭의 잡음이 축적이 되므로 잡음특성이 중요시 되는 통신 분야에 적합치않고 이러한 구조에서는 동작이 안정적이지 않아 실용화가 어렵다. 따라서 본 논문은 DMP PLL 방식에서 사용되는 분주 구조자체에 초점을 두어 그 분주 구조를 단순화 시킴으로써 저전력에 접근하였다.

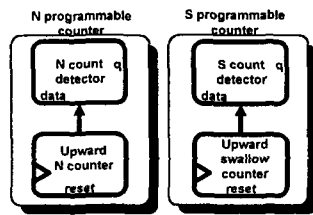
기존의 분주 계는 VCO의 출력을 분주하기 위한 하나의 DMP와 이 DMP의 출력을 분주하기 위한 하나의 프로그램 가능한 분주기가 사용되며 이 프로그램 가능한 분주기의 분주 주기동안 DMP의 분주 모드를 조정하기 위한 또 하나의 프로그램 가능한 분주기를 사용하게 된다. 프로그램 가능한 분주기는 하나의 counter와 하나의 detector로 구성되어 있는데 제안된 구조에서는 DMP의 분주 모드를 조정하기 위한 프로그램 가능한 분주기내의 counter를 사용하지 않고 detector만을 이용하여 DMP의 분주 모드를 올바르게 조정함으로써 기존의 구조와 동일한 동작을 하여 이 counter에서 소모되는 전력과 이에서 차지하는 gate-counts를 줄였다.

### II. 기존의 DMP PLL의 분주 구조

일반적으로 DMP PLL의 분주계는 하나의 DMP와 두 개의 프로그램 가능한 분주기(N programmable counter와 S programmable counter)로 이루어져 있고 각 프로그램 가능한 분주기는 하나의 counter와 하나



(a) 기존의 DMP PLL의 분주 구조



(b) 프로그램 가능한 분주기

[그림 1] 기존의 DMP PLL의 분주 계  
[Fig. 1] Conventional dividing system of DMP PLL

의 count detector로 이루어져 있으며 그림 1에 이를 나타내었다. 프로그램 가능한 분주기의 동작은 다음과 같다. counter는 상향으로 셈하는 상향 counter(upward counter)라 하자. counter는 펄스를 입력받아 이를 셈하며 이 셈 값을 출력하게 되고 이 출력은 count detector에 입력되게 된다. count detector는 비교기로 구현될 수 있는데 이 detector에 주어진 값과 counter의 출력 값이 일치하게 될 때 detector는 논리 1을 출력하게 된다. 즉 프로그램 가능한 분주기는 주어진 값 만큼을 셈하였을 때 논리 1을 출력하여 주어진 펄스를 주어진 값만큼 분주하게 된다.

DMP PLL에서 VCO의 출력  $f_{VCO}$ 는 이 분주계에서 얻어지는 총 분주 비로 나누어지게 되는데 이 총 분주 비가 얻어지게 되는 과정을 살펴보자. DMP는 모드 조정(mode control)신호로 논리 1을 받으면 P+1의 분주 비를 가지고 논리 0을 받으면 P의 분주 비를 갖는다고 가정하자. 먼저 각 프로그램 가능한 N과 S 분주기에 값 n과 s가 주어지며 여기서 n은 언제나 s보다 큰 값을 갖게 된다. 처음에 DMP는 P+1의 분주 비를 가지고 VCO의 출력  $f_{VCO}$ 를 분주하며 DMP에 의해 P+1분주된 신호  $f_{DMP}$ 는 각 프로그램 가능한 분주기에 입력된다. DMP의 출력  $f_{DMP}$ 는 프로그램 가능한 N 분주기

와 S 분주기에 의해 그 펄스 주기가 셈하여진다. s가 n보다 작으므로 프로그램 가능한 S 분주기는 s를 먼저 세어 논리 1을 출력하며 이 신호에 의해 DMP는 P분주 모드로 전환되고 AND gates에 의해 S 분주기로의 입력이 끊겨 S 분주기내의 counter는 출력 값으로 s를 유지하게 되고 S 분주기는 계속 논리 1을 출력하게 된다. N 분주기는 DMP에 의해 P분주된 신호  $f_{DMP}$ 의 펄스 주기를 셈하다가 n값에 도달하면 논리 1을 출력하게 되고 이 신호에 의해 각 분주기내의 counter는 reset되어 각 분주기의 출력은 논리 0으로 떨어지므로 DMP는 P+1분주 모드로 전환되고 위의 과정이 반복된다. 이렇게 해서 이 분주 계의 최종 출력인  $f_{PD}$ 는 DMP의 입력인  $f_{VCO}$ 를 이 분주 계에서 얻어지는 총 분주 비 M으로 나누어진  $f_{VCO}/M$ 가 되는데 DMP는  $f_{DMP}$ 의 s주기 동안은 P+1의 분주 비를 갖고 n-s주기 동안은 P의 분주비를 가지게 되어 총 분주 비는

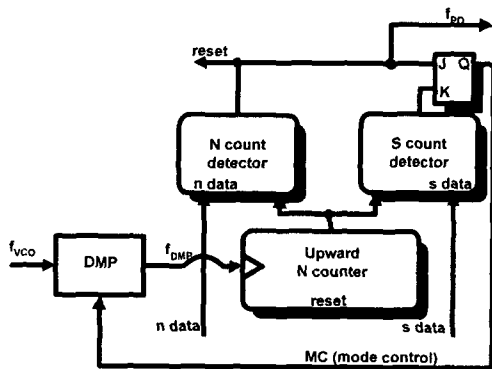
$$M = s(P+1) + (n-s)P = nP + s \quad (1)$$

이 된다.

이 총 분주 비를 얻게 되는 과정에서  $f_{DMP}$ 의 n주기 내에 DMP의 분주 비가 바뀌게 되는 경계점이 s인데 이 s를 세기 위해 swallow counter를 사용하게 되어 결국 동일한 신호에 두 개의 counter를 사용하게 되는 것이다. DMP의 분주 비가 높은 응용에서는 이 swallow counter에 입력되는 주파수가 낮아 이에서 소모되는 전력이 미미하나 DMP의 분주 비가 낮은 응용에서는 swallow counter에 입력되는 주파수가 높아 이에서 소모되는 전력은 무시할 수 없을 것이다. 또한 DMP의 분주비가 높은 응용에서는 swallow counter에서 소모되는 전력은 미미하나 이때는 swallow counter의 비트수가 높아져 이에서 차지하는 gate-counts가 높아지게 된다. 예로 128/129 DMP를 사용하는 응용에서는 swallow counter가 차지하는 gate-counts가 전체 분주 계가 차지하는 gate-counts중 약 25%가 된다.

### III. 제안된 DMP PLL의 분주 구조

DMP PLL의 분주 계는 프로그램 가능한 S 분주기가 N 분주기와 동일한 신호를 셈하며 s가 n보다 작다는 사실을 기반으로 하여 하나의 N counter와 두 개의 count detector(S count detector와 N count detector) 그리고 하나의 JK 플립플롭으로 간단히 구현될 수 있다. 이를 그림 2에 나타내었다. 제안된 구조에서 N counter의 출력은 N과 S count detector로 동시에 입력되고 각 detector의 출력은 각각 JK 플립플롭의 J와 K입력으로 입력된다. s값이 n보다 작으므로 N counter가 n을 세기전에 s를 세기되어 S count



[그림 2] 제안된 DMP PLL의 분주 계  
[Fig. 2] Proposed dividing system of DMP PLL

detector는 swallow counter를 사용하지 않고 N counter를 이용하여 s를 detect할 수 있음을 알 수 있다.

제안된 구조에서 기존의 구조에서 얻어지는 총 분주 비와 동일한 분주 비를 얻게 되는데 이 과정을 살펴보자. 초기에 JK 플립플롭은 논리 1로 set되어 있어 DMP는 처음에 P+1의 분주 비를 갖는다. 각 detector의 출력은 논리 0이므로 JK 플립플롭은 초기의 상태를 유지하여 DMP는 계속 P+1의 분주 비를 갖는다. N counter가 s를 세면 S count detector의 출력이 논리 1이 되어 JK 플립플롭은 reset되고 논리 0을 출력하게 되므로 이 신호에 의해 DMP는 P분주 모드로 전환된다. N counter가 s를 세후 S count detector는 다시 논리 0을 출력하게 되므로 JK 플립플롭의 두 입력에는 논리 0가 입력되어 JK 플립플롭은 상태를 유지하게 되어 DMP는 P분주 모드를 유지하게 된다. 그후 N counter가 n을 세면 N count detector는 논리 1을 출력하게 되고 이 신호에 의해 DMP는 P+1분주 모드로 전환되며 N counter는 reset되어 새로이 셈을 시작하여 위의 과정을 반복하게 된다. 이렇게 해서 이 분주 계의 최종 출력인  $f_{PD}$ 는 DMP의 입력인  $f_{VCO}$ 를 이 분주 계에서 얻어지는 총 분주 비  $M'$ 으로 나누어진  $f_{VCO}/M'$ 가 되는데 DMP는 n주기동안 s동안은 P+1분주를 하고 n-s동안은 P분주를 하게 되어 이 분주 계에서 얻어지게 되는 총 분주 비는

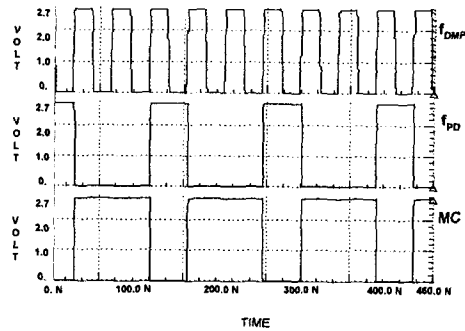
$$M' = s(P+1) + (n-s)P = nP + s \quad (2)$$

로 기존의 구조와 동일한 동작을 함을 알 수 있다.

#### IV. 모의실험 결과

설계는 0.35  $\mu$ m CMOS 공정을 이용하였고 Hspice를

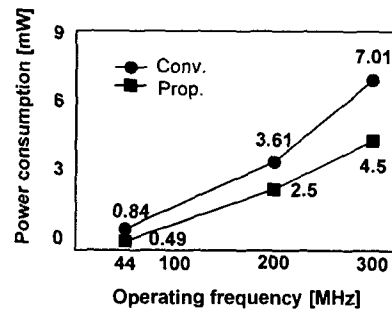
(a)분주 계의 입출력 파형



$f_{VCO}$	DMP input	2.85GHz
$f_{DMP}$	$f_{VCO}/128$	22 MHz
$f_{PD}$	$f_{VCO}/386$	7.38 MHz

(b) 분주 계의 입출력 주파수

[그림 3] 분주계의 입출력  
[Fig. 3] Input and output of dividing system



[그림 4] 프로그램 가능한 분주기의 전력 소모

[Fig. 4] Power consumption of Programmable divider

이용하여 모의실험하였다. 128/129 DMP를 사용하였고 DMP입력으로 2.85 GHz의 주파수를 주었으며 n과 s는 각각 3과 2를 주었다. 이 조건에서 총 분주비는 386이 된다. 모의실험에 의한 결과파형이 그림 3에 나타내어진다. 처음 두 파형은 각각 DMP와 분주 계의 출력이며 세 번째 파형은 DMP로 입력되는 모드 조정(mode control)신호이다. 분주 계의 최종 출력 주파수는 7.38 MHz로 제안된 구조가 DMP의 입력신호를 올바르게 분주하였음을 알 수 있고 모드 조정 신호 파형을 보면 s

즉 2동안은 논리 1을 n-s 즉 1동안은 논리 0가 되어 DMP에 올바른 조정 신호를 줄을 알 수 있다.

제안된 구조의 분주 계는 swallow counter를 사용하지 않음으로 인해 이에서 차지하는 전력 소모와 gate-counts면에서 이득을 갖는다. 분주 계에서 DMP를 제외한 프로그램 가능한 분주기만을 기존의 구조와 전력면에서 비교하였을 때 최고 44%의 전력 이득을 볼 수 있고 이를 그림 4에 나타내었다. 프로그램 가능한 분주기가 DMP에 의해 이미 낮추어진 주파수의 신호를 분주하므로 이에서 소모되는 전력이 낮아 이 효과는 그리 크지 않으나 DMP의 분주 비가 낮은 응용에서는 DMP에 의해 분주되어 프로그램 가능한 분주기에 입력되는 신호의 주파수가 높아지므로 이에서 소모되는 전력 또한 커져 이 경우 전력소모면에서 기존의 구조에 비해 얻게 되는 잇점은 커질 수 있겠다.

### V. 결론

이동 통신용 단말기등과 같은 응용에서 고성능의 주파수 합성기는 주요한 요소가 되며 이에서 소모되는 전력을 최소화 하는게 중요한 관건이 된다. 이를 위해 지금까지 DMP와 VCO에 대해 많은 연구가 진행되어 왔는데 본 논문에서는 DMP PLL방식을 이용하는 주파수 합성기의 분주 구조자체에 초점을 두어 이 구조를 간단히 함으로써 저전력에 접근하였다.

제안된 구조는 기존의 DMP PLL의 분주계에서 DMP의 모드를 조정하기 위해 사용하였던 swallow counter를 사용하지 않음으로써 그 구조를 간단히 하여 이에서 소모되는 전력을 줄였고 이 전력에 대한 이득은 DMP의 분주비가 낮은 응용에서 더욱 커질 것이다. 현재 상용화 되어 있는 무선 통신용 주파수 합성기는 모두 DMP PLL방식을 사용하고 있어 제안된 구조는 이 분야에 대한 응용에 적절하겠다.

### 참고문헌

[1] J. Craninckx and M. Steyaert, A 1.75-GHz/3-V dual-modulus divide-by-128/129 prescaler in 0.7-um CMOS, IEEE J. Solid-State Circuits, vol. 31, pp. 890-897, July 1996.  
 [2] S.J. Lee and B.S. Kim, A Fully Integrated Low-Noise 1-GHz Frequency Synthesizer Design For Mobile Communication Application, IEEE J. Solid-State Circuits, vol. 32, pp. 760-765, May 1997.  
 [3] B. Razavi, Challenges in the Design of

Frequency Synthesizer for Wireless Applications, IEEE Custom Integrated Circuits Conference, pp. 395-402, 1997.

[4] P. Larsson, High-speed architecture for a programmable frequency divider and a dual-modulus prescaler, IEEE J. Solid-State Circuits, vol. 31, pp. 744-748, May 1996.  
 [5] C.Y. Yang, G.K. Dehng, J.M. Hsu and S.I. Liu, New Dynamic Flip-Flops for High-Speed Dual-Modulus Prescaler, IEEE J. Solid-State Circuits, vol. 33, pp. 1568-1571, October 1998.