

# Integer-N 주파수 합성기를 위한 새로운 구조의 프로그래머블 주파수 분주기 설계

김 태 엽, 경 영 자, 이 광 희\*, 손 상 희\*

청주대학교 전자공학과

\* 청주대학교 전자·정보통신·반도체공학과

전화 : (0431) 229-8464 / 팩스 : (0431) 229-8432

## A Design on Novel Architecture Programmable Frequency divider for Integer-N Frequency Synthesizer

Tae-Yob Kim, Young-Ja Kyoung, Kwang-Hee Lee, Sang-Hee Son\*

Dept. of Electronic Eng, Chongju University

\* School. of Electronic · Information & Communication · Semiconductor Eng, Chongju University

E-mail : tykim@wslab.chongju.ac.kr

### Abstract

Frequency divider selects the channel of the frequency synthesizer. General programmable divider has many flip-flops to realize all integer division value and stability problem by using dual modules prescaler. In this paper, a new architecture of programmable divider is proposed and designed to improve these problems. The proposed programmable divider has only thirteen flip-flops. The programmable divider is designed by 0.65 $\mu$ m CMOS technology and HSPICE. Operating frequency of the programmable divider is 200MHz with a 3V supply voltage.

### I. 서 론

이동통신 시장의 지속적인 성장에 따라 전력소모가

작고 크기가 작은 통신용 부품에 대한 연구가 활발히 이루어지고 있다. 이와 같은 통신용 부품중의 하나가 LO(Local Oscillator)로 사용되고 있는 주파수 합성기이다. 주파수 합성기는 통신용 RF 회로에서 없어서는 안될 핵심적인 block이다. LO의 주파수와 근접한 주파수의 전력이 상대적으로 클 경우 이 근접한 주파수의 신호성분이 간섭을 일으키게되어 원하는 주파수 신호에 큰 영향을 미치게되고 이로 인하여 수신 단에서 오류를 일으키게 된다. 이런 경우, 주파수 합성기는 근접한 채널의 불필요한 신호들 중 원하는 신호만을 추출해내는 역할을 한다. 기존에는 주파수 합성기가 단순히 수동소자로 구현되어 왔지만 CMOS 공정기술의 발달로 점차 one-chip화되어 가는 추세이다. 대부분의 주파수 합성기는 PLL(Phase Locked Loop)을 기초로 하여 구현되고 있는데 이는 주파수 합성기에서 가장 중요하게 취급되는 안정된 클럭을 발생시켜야 되기 때문이다.

본 논문에서는 주파수 합성기에 사용되는 여러 가지 block중 원하는 주파수를 생성시키는데 중요한 역할을

하는 분주기를 새롭게 설계하였다. 일반적으로 PLL의 동작은 입력으로 들어온 주파수와 동일한 주파수를 출력으로 내보내는 역할을 한다. 이 PLL에 분주기를 달아 주파수 합성기로 사용할 경우 PLL의 입력으로 들어오는 주파수를 분주한 비만큼의 높은 주파수를 출력으로부터 얻을 수 있다. 이런 주파수 합성기의 동작으로 인하여 얼마나 많은 분주수를 구현할 수 있는가에 따라 주파수 합성기의 성능이 결정되어진다. 기존의 분주기 구조는 그림 1과 같이 고주파 입력을 받는 prescaler와 swallow counter 등으로 구성되어 복잡한 회로구조와 모든 정수의 분주값을 구현하기 위해서는 넓은 면적을 차지하였다.

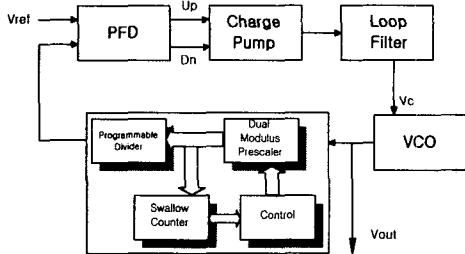


그림 1. 기존의 programmable 분주기

본 논문에서 제안하는 구조는 기존의 분주기에 비해 구조가 간단하며, 모든 정수 값을 구현할 수 있는 장점을 갖는다.

## II. TSPC-TFF 설계

본 논문에서 제안한 programmable 분주기 회로는 13 bit로 구성되어 있으며, 기존의 counter방식을 사용하지 않는 간단한 회로설계로 구성되어 있다. 최대 200MHz의 입력주파수 분주 범위 내에서 2분주부터  $2^{13}$ 까지의 분주가 가능하며, 짝수 분주와 홀수 분주를 간단하게 구현할 수 있다. 또한 program값에 따라 원하는 분주를 얻을 수 있다는 장점이 있다. 본 논문에서 제안한 분주기 구조는 그림 2와 같다. 사용한 flip-flop은 그림 3에서 보이는 negative edge-triggered TSPC-TFF를 사용하였으며 "1"의 상태에서 reset되도록 설계하였다. 첫 번째 단의 flip-flop은 그림 4에서 보는 바와 같으며 기존의 flip-flop과는 달리 reset신호를 받는 NMOS와 AND gate가 추가되

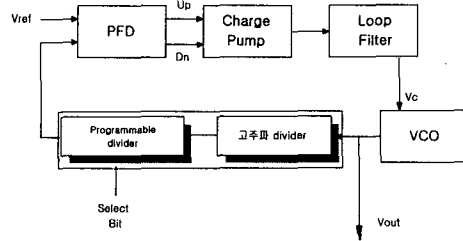


그림 2. 새로운 구조의 programmable 분주기

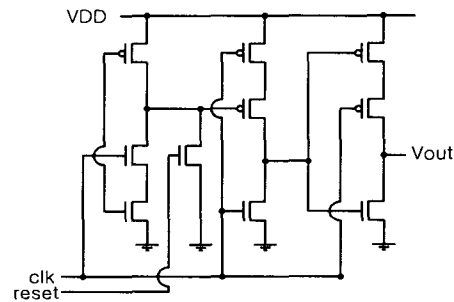


그림 3. 사용되어진 TSPC-TFF

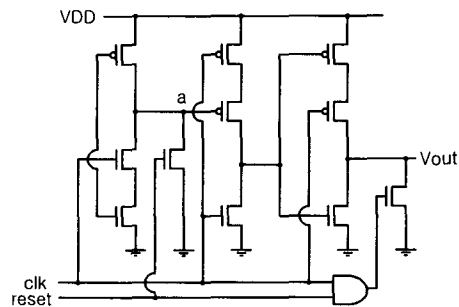


그림 4. 첫째 단에 사용되어진 TSPC-TFF

되었다. TSPC-TFF를 사용할 경우 입력 클럭이 "0"을 유지할 때 reset 신호가 들어오면 flip-flop의 node "a"가 "1"의 유지하는 상태이므로 node "a"가 "0"의 상태로 떨어져 flip-flop이 reset된다. 그러나 입력 클럭이 "1"을 유지할 경우 reset 신호가 들어오면 flip-flop의 node "a"가 이미 "0"의 상태를 유지하기 때문에 reset 신호가 아무런 영향을 미치지 못한다. 이와 같은 단점을 극복하기 위해서 본 설계에서는 출력단에 NMOS와 AND gate를 추가함으로써 클럭이 "1"의 상태를 유지할 때 reset 신호가 들어와도 flip-flop이 reset되도록

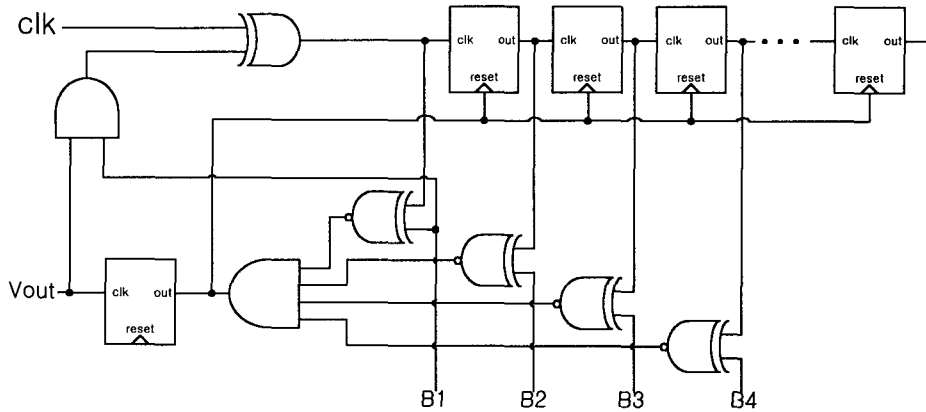


그림 5. 제안한 programmable 분주기 구조

설계하였다.

### III. 13 Bit programmable 분주기 설계

그림 5는 두 종류의 negative edge-triggered TSPC-TFF를 사용하여 설계한 13 bit programmable 분주기 이다. 그림에서 보는바와 같이 본 논문에서 제안한 programmable 분주기는 기존의 분주기와는 달리 간단한 구조로 구성되어있음을 알 수 있다. 또한 제안한 programmable 분주기는 기존의 회로보다 적은 수의 flip-flop을 사용하여 모든 정수 값의 분주비 구현이 가능하도록 설계하였다. 회로의 동작은 각각의 flip-flop 입력에 들어가는 클럭 신호와 program해준 값이 각단의 EX-NOR gate에서 비교된다. flip-flop의 입력 클럭과 program해준 값이 같을 경우 EX-NOR gate는 "1"의 값을 출력한다. 모든 단의 flip-flop 입력 클럭 값이 program해준 값과 같을 경우 모든 EX-NOR gate의 값은 "1"이 되고 이 EX-NOR gate의 출력이 AND gate의 입력으로 들어가며 모든 입력 값이 같을 경우에만 AND gate의 출력이 "1"이 된다. AND gate의 출력은 다시 모든 flip-flop의 reset 신호로 들어가게 되어 각각의 flip-flop을 초기화시킨다. 또한 AND gate의 출력은 reset단자가 아닌 positive edge-triggered TSPC-TFF의 입력으로 들어가게 되고, 이로부터 programmable 분주기의 출력을 얻게된다. 가장 앞단의 EX-NOR gate의 역할은 입력 클럭의 초기화에 사용된다. 가장먼저 입력 클럭을 초기화 시

켜야 하는 이유는 짝수분주일 경우, 입력 클럭이 "0"의 상태에서 분주가 시작된다고 가정할 경우 프로그램 되어진 분주값에 따라 짝수분주의 출력을 얻는 순간 각 flip-flop의 reset단자에 reset신호가 들어가 flip-flop이 초기화된다. 그 순간 입력 클럭 신호는 처음분주가 시작된 "0"의 상태가 되므로 원하는 짝수 분주를 얻을 수 있다. 반면 홀수 분주일 경우, 입력클럭이 "0"의 상태에서 분주가 시작된다고 가정할 경우 프로그램 되어진 분주값에 따라 홀수분주의 출력을 얻는 순간 각 flip-flop의 reset단자에 reset신호가 들어가 flip-flop이 초기화된다. 그 순간 첫 번째 flip-flop의 입력클럭으로 들어오는 클럭 상태가 "1"의 상태이기 때문에 홀수 분주 구현이 불가능하게 된다. 따라서 이런 문제점을 극복하기 위해 홀수 분주값을 program 해주었을 경우의 입력과 출력 값을 조합하여 입력 클럭을 반전 시켜줌으로써 reset신호가 모든 flip-flop을 초기화시키는 순간 첫 번째 단의 flip-flop에 들어가는 입력 클럭 값을 "0"으로 초기화시키는 역할을 한다.

### IV. 모의 실험결과

본 논문에서 제안한 회로에 사용한 각 단의 flip-flop은 약 200MHz의 주파수에서 분주 동작하는 것을 확인하였다. 그림 6-1에서 6-6은 본 논문에서 제안한 programmable 분주기가 프로그램된 값에 따라 입력 클럭을 2분주부터 7분주까지 분주비로 동작하는 결과 파형이다.

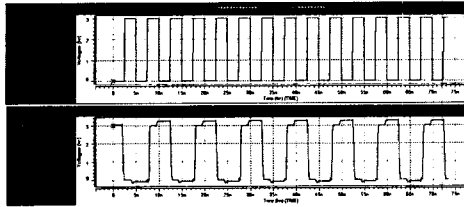


그림 6-1. 2분주한 모의실험 결과 파형

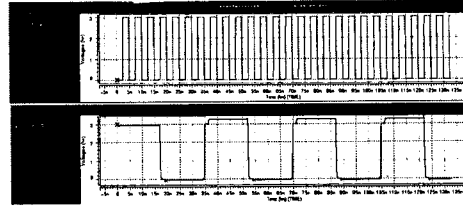


그림 6-6. 7분주한 모의실험 결과 파형

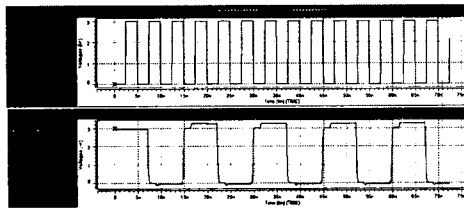


그림 6-2. 3분주한 모의실험 결과 파형

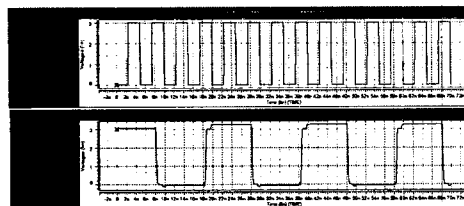


그림 6-3. 4분주한 모의실험 결과 파형

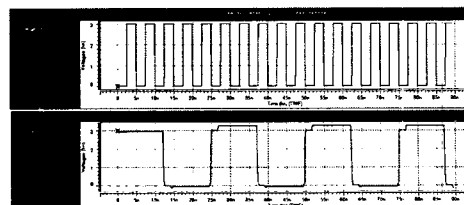


그림 6-4. 5분주한 모의실험 결과 파형

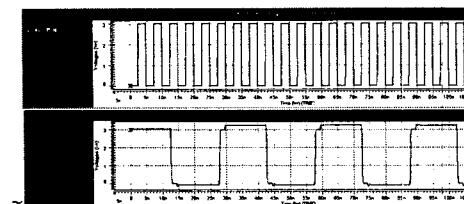


그림 6-5. 6분주한 모의실험 결과 파형

## V. 결론

본 논문에서는 기존의 주파수 분주기의 단점을 극복하기 위해서 짝수분주와 홀수분주를 동시에 구현할 수 있는 분주기 구조를 제안하였으며, 사용한 각각의 회로 블록은 제안한 programmable분주기에 적용하기 위해서 최적화 하여 설계하였다. 설계한 분주기는 Hspice를 사용하여 검증하였으며 프로그램 값에 따라 duty cycle이 같은 짝수분주와 홀수분주를 구현할 수 있음을 확인하였다. 설계한 회로는 현재 칩 제작 중에 있다.

본 논문은 청주대학교 정보통신연구센터의 연구비 지원에 의해 수행되었음.

## 참고 문헌

- [1] 임성모, "고속의 프로그램 가능한 주파수 분주기의 구조" 제2회 IDEC MPW 발표회 논문지., 1998, pp.156-161
- [2] Hun-Hsien Chang, and Jiin-Chuan Wu, "A 723-MHz 17.2-mW CMOS Programmable Counter" IEEE J.Solid-State Circuits, Vol. 33, pp. 1572-1575, No. 10, October 1998.
- [3] Patrik Larsson, "High-Speed Architecture for a Programmable Frequency Divider and a Dual-Modulus Prescaler" IEEE J.Solid-State Circuits, Vol. 31, pp.744-748, No. 5, May 1996
- [4] Behzad Razavi, "RF Microelectronics"