

## 이산시간 전압제어형 CMOS 혼돈발생회로의 특성해석

송한정, 박용수, 송병근\*, 곽계달\*  
충청대학 전자과, \*한양대학교 전자공학과

전화 : (0431) 230-2272 / 팩스 : (0431) 230-2279

### Experimental and Numerical Analysis of the Integrated Discrete Time Voltage Mode CMOS Chaotic Generator

Han Jung Song, Yong Su Park, Byeong Guen Song\*, Kae Dal Kwack\*  
Department of Electronics, Chung Cheong College  
\*Department of Electronic Engineering, Hanyang University

E-mail : hjsong@cccc.chch-c.ac.kr

#### Abstract

This paper presents an analysis of the chaotic behavior in the discrete-time chaotic generator fabricated by CMOS technology. An approximated empirical equation is extracted from the measurement data of a nonlinear function block. Then the bifurcation diagram and Lyapunov exponent and time waveforms and frequency responses of the chaotic generator are calculated and simulated. And results of experiments in the chaotic circuit with the  $\pm 2.5V$  power supply and clock rate of 10kHz are shown, and analysed.

#### I. 서론

혼돈(카오스) 현상은, 외부 입력의 작은 섭동이 비선형적인 되먹임 과정을 통하여 특이한 해를 발생시켜 예측이 불가능한 무작위한 특성을 나타내는 것으로 정의할 수 있다[1]. 비선형 동력계는 외부 입력값에 따라 평형상태, 주기상태, 준주기 상태, 카오스 상태 등의 다양한 응답 특성을 보일 수 있다. 이러한 비선형 동력

계의 복잡한 카오스 현상을 전자회로로 구현해 보려는 시도는 그동안 계속되어 왔다[2]. 비선형 저항, pn다이오드, 인덕터 등, 이산소자로 혼성회로를 구성하여 구현된 여러가지 카오스 회로에 대한 많은 연구결과가 발표된 바 있고 최근에는 집적회로로 구현해 보려는 시도가 이루어져 일부 집적화 한 카오스 칩이 제시되기도 했으나[3] 파라미터 조정을 위한 가변저항 등 집적하기 어려운 여러 가지 고려 요소들이 남아 있는게 사실이다. 뿐만 아니라 주로 연속시간형의 로렌츠회로나 추야회로에 대한 많은 연구성고가 있었으나 이산시간형의 카오스 회로는 많은 연구의 여지가 있다고 할 수 있다. 본 논문에서는 CMOS 집적회로로 제작한 전압제어형 CMOS 카오스 발생기[4]의 특성을 수치해석적으로 분석하여 카오스현상에서의 중요한 특징인 분기도 및 리아푸노프 지수, 입출력 상태전이, 이에 따른 시간과형 및 주파수 특성을 구하고 이를 직접 실험적 측정결과와 비교 검토하였다. 이와같은 제어가능한 카오스 신호는 동기화 과정을 거치면 암호형태의 송수신 등 여러분야에 유용하게 사용될 것이다[5].

#### II. 본론

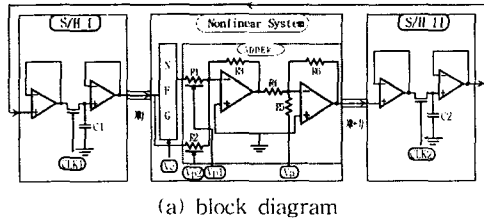
##### (1) 전압제어형 CMOS 카오스 발생회로

본 논문의 1차원 이산시간 카오스 발생회로의 차분방

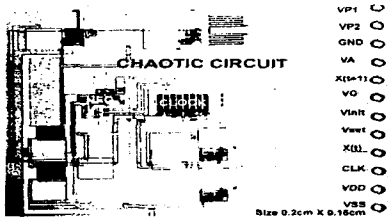
정식은 다음과 같은 형태를 취한다.

$$X(t+1) = \alpha \cdot f(X(t)) + \beta \cdot X(t) + \gamma \cdot Va(t) \quad (1)$$

이 시스템은 시각 t에서의 값 X(t)가 비선형 발생 회로 f(·)의(카오스 상태가 되려면 적어도 하나의 비선형 함수가 필요하다) 계수 α와 선형회로 계수 β, 외부 입력 계수 γ에 의하여 다음 시각 t+1의 값 X(t+1)을 결정하고 이 출력 X(t+1)은 지연회로를 거치면서 이산화된 데이터 형태로 시스템으로 재입력 되어 X(t)로 된다. 함수 f(·)가 충분한 비선형성을 가지고 있게 되면 계수 α, β, γ의 조건에 따라 주기상태, 준주기 상태, 카오스 상태에 이르게 된다. 그림 1은 CMOS 회로로 제작된 카오스 발생회로의 블록도와 현미경 사진이다.



(a) block diagram



(b) Microphotograph

Fig 1. CMOS 이산시간 혼돈회로

2단 CMOS구조의 op-amp 6개를 사용하여 샘플 앤드 홀드 회로와 가산 회로, 선형 회로의 구성하였다. 식 (1)을 그림 1의 블록도에 적용하면 다음 식과 같다.

$$X(t+1) = \left(\frac{-R_6}{R_4}\right) \cdot \left(\left(\frac{-R_3}{R_1}\right) \cdot f(X(t)) + \left(\frac{-R_3}{R_2}\right) \cdot X(t) - \left(\frac{R_6}{R_5}\right) \cdot Va(t)\right) \quad (2)$$

R4, R6을 100kΩ의 n-well 저항으로 고정시키면 위 식은 다시 아래로 정리된다.

$$X(t+1) = \left(\frac{R_3}{R_1}\right) \cdot f(X(t)) + \left(\frac{R_3}{R_2}\right) \cdot X(t) - \left(\frac{R_6}{R_5}\right) \cdot Va(t) \quad (3)$$

그러므로 α = R3/R1, β = R3/R2, γ = -R6/R5 인 1차원 카오스 회로를 구성하게 되며 α, β, γ의 조정으로 다양한 비선형성 구현이 가능하다. 비선형 함수 f(X(t))는 4개의 CMOS 쌍으로 구성되며 제어전압 Vc에 따라 측정된 일련의 비선형 파형군을 그림 2에 나타내었다. 본 논문에서는 해석상의 난점인 이 비선형 파형군중 Vc=0V일때의 파형에 대하여 3구분 선형함수로 근사화 시켜 아래와 같은 실험식을 얻었다.

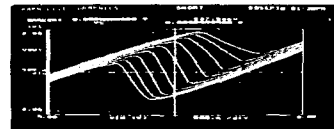
$$f(X(t)) = -0.0201 + 0.657X(t) - 3.074|X(t) + 0.25| + 3.183|X(t) - 0.11| \quad (4)$$

이를 다시 식 (4)에 적용하며 아래와 같이 된다.

$$X(t+1) = -0.0201 + 0.657X(t) - 3.074|X(t) + 0.25| + 3.183|X(t) - 0.11| + \beta \cdot X(t) + \gamma \cdot Va \quad (5)$$



(a) CMOS circuit schematic



(b) Measured transfer curves with the control Vc

Fig 2. 비선형함수 발생회로

(2) 분기도 및 리아프노프 지수 계산

식 5에서 β, γ에 따른 입력전압 Va 와 X(t)간의 분기도를 수치해석적으로 계산하였다. 그림 3은 γ=-1, β=0.5 일경우의 분기도 및 리아프노프 지수를 수치해석적으로 계산한 그림이다. Va에 따라 X(t)가 평형점에서, 혼돈상태, 2주기, 3주기 혼돈상태 등으로 분기됨을 알 수 있다. 임의의 초기점에서 근접하게 시작한 카오스 신호의 궤적은 시간이 지남에 따라 초기조건에 민감한 특성을 지닌다. 이러한 특성을 고려하여 상이한 초기값에 따라 두 궤적이 멀어지는 정도로 혼돈상태 여부를 판별할 수 있는데 이것이 바로 리아프노프 지수 s

이다[6]. 이  $\lambda$ 값이 양수이면 혼돈상태, 음수 또는 0이면 주기운동을 나타낸다. 이  $\lambda$  관련수식은 아래와 같다.

$$\lambda = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{t=0}^N \log \left| \frac{\Delta X(t+1)}{\Delta X(t)} \right| \quad (6)$$

식 (5), (6)을 이용하여  $\lambda$ 를 계산하면 그림 3과 같이 나타나는데, 분기도와  $\lambda$ 와의 상관관계를 알 수 있다.

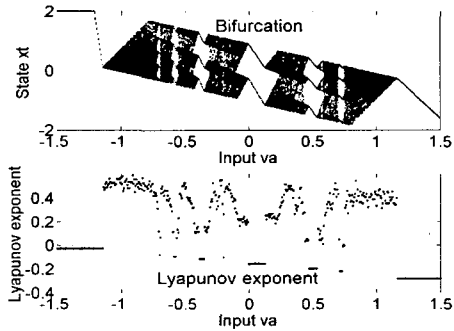
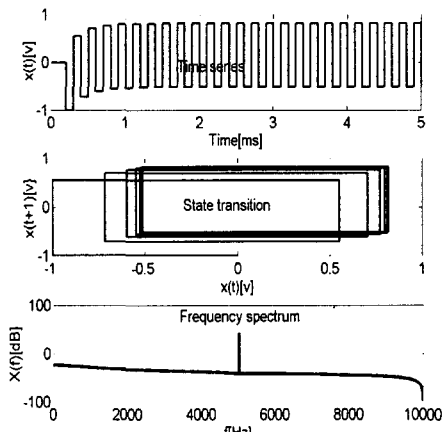


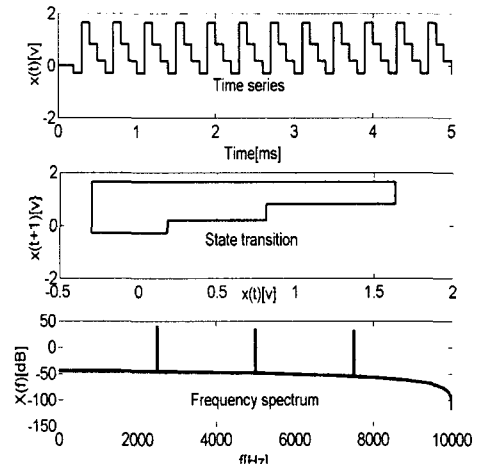
Fig 3. 분기도 및 리아프노프 지수 계산 ( $\gamma=-1, \beta=0.5$ )

(3) 시간 및 주파수 응답특성 분석

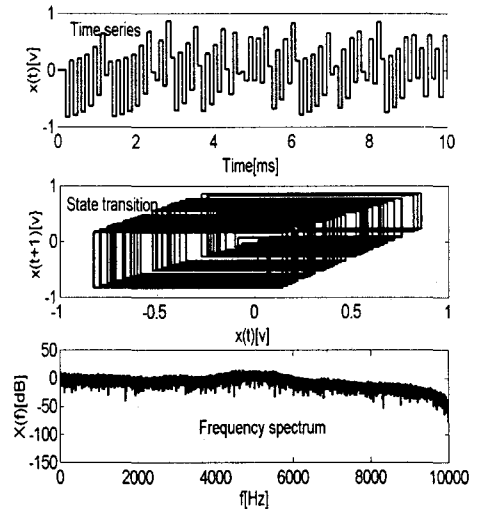
10kHz의 클럭에 따라 동작하는 카오스회로의 DC 전압  $V_a$ 에 따른  $X(t)$ 의 시간파형 및  $X(t)$ 와  $X(t+1)$ 간의 상태전이 관계, 주파수특성을 수치해석적으로 분석하여 상호 연관성을 그림 4에 나타내었다. 주파수특성을 주목하여 볼 때 주기적 신호의 경우 특정 주파수에서의 이산적인 스펙트럼을 보이고 있으나 혼돈신호의 경우 전 대역에 걸쳐 고루 나타나는 것을 볼 수 있다.



(a) period 2



(b) period 4



(c) chaotic state

Fig 4 CMOS 혼돈회로의 시간 및 주파수응답 모의실험

(4) CMOS 전압모드 혼돈회로의 측정,결과분석

그림 5는  $V_a$ 에 따른 이산시간 CMOS 카오스 회로의 상태  $X(t)$ 의 변화를 측정된 분기도이다. 10kHz 클럭,  $V_a$ 에 2Vpp, -0.2V의 톱니파 인가후 리샤쥬 모드로 측정하였다. (a)는  $\beta=0.5, \gamma=-1$ 일 경우로 혼돈영역 외에 3주기, 2주기, 평형점이 존재함을 볼 수 있고 (b)는  $\beta=1, \gamma=-1$ 일 경우로 좌우 평형점, 중간의 좁은 2주기 영역을

제외하고는 주로 혼돈영역에 속함을 보이고 있는데 이는 수치해석적인 결과와 거의 동일하다.



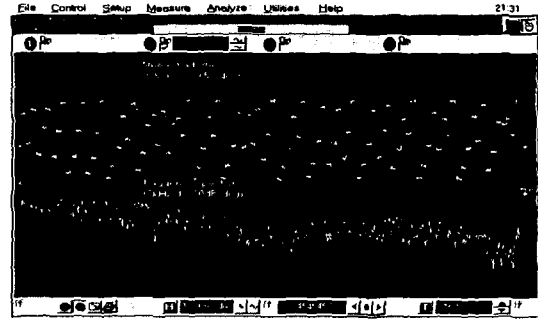
(a)  $\beta=0.5$



(b)  $\beta=1$

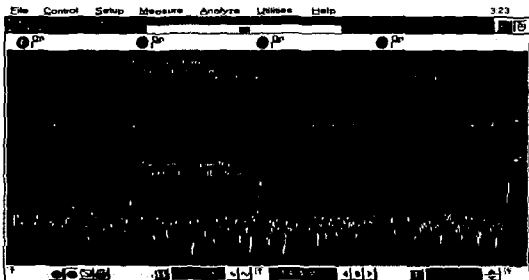
Fig 5  $\beta$ 에 따른 혼돈회로의 분기도 측정결과

그림 6은 입력  $V_a$  값의 조건에 따라 다르게 나타나는 시간파형 및 주파수특성 측정결과이다. 측정결과는 수치해석에서 언급한 바와 같이 주기적인 경우 이에 상응하는 특정 주파수성분이 나타나고 혼돈신호의 경우는 전 주파수대역에 걸쳐 있음을 확인할 수 있다.

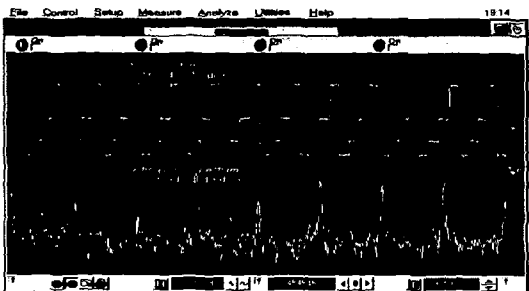


(c) chaotic state

Fig 6 CMOS 혼돈회로의 시간파형 및 주파수 응답 측정결과



(a) period 2



(b) period 4

### III. 결론

본 논문에서는  $0.8\mu\text{m}$  CMOS 공정으로 제작된 CMOS 전압제어형 이산 시간 카오스 회로에 대하여 비선형 함수 블록을 구분적 선형함수로 근사화 하여 카오스 특성분석을 실시 하였다. 입력에 따라 평형상태, 주기상태, 혼돈상태 등을 보이는 분기도 및 리아프노프 지수를 계산하였고 시간파형 및 주파수특성도 실험을 통한 측정결과와 비교, 분석하였다.

### 참고문헌

- [1] 舩原 一幸 편저, 정호선 역, "뇌와 카오스", Ohm사, 1993.
- [2] L.O.Chua and G.Lin, "Intermittency in a piece-wise linear circuit," IEEE trans. Circuit Syst, vol.38, no.5, pp.510-520, 1991.
- [3] J.E.Varrientos, "Chaotic Oscillators," Ph.D. Dissertation, Texas A&M University, 1997
- [4] 송한정, 광계달, "전압제어형 카오스회로의 집적 회로 설계 및 구현," 전자공학회 논문지, 제 35권 C편 제 12호, pp.77-84, 1998
- [5] Y.C.Wang, "Applying chaos in secure communications," Ph.D. Dissertation, Cornell University, 1997
- [6] G.L.Baker, et al., "Chaotic dynamics an introduction", Cambridge University Press, 1990