

병렬처리가 가능한 확장 직접 디지털 주파수 합성기

노승효, 이찬호

승실대학교 전자공학과

전화 : (02) 825-8108 / 팩스 : (02) 821-7653

Extended Direct Digital Frequency Synthesizers for Parallelism

Seung-hyo Noh, Chanho Lee

Department of Electronic Engineering, Soongsil University

E-mail : nsh@ohm.soongsil.ac.kr

Abstract

A direct digital frequency synthesizer is designed in full custom method using 0.65um CMOS n-well technology. The chip provides the capability of the parallel operation using up to 4 chips with an operation frequency of 440MHz. The generated waveform can be modulated by various modulation techniques such as QPSK, 256 · 64 · 32 · 16 QAM and FM.

I. 서론

현대의 통신시스템에서, 시스템의 디지털화가 가속되고, 디지털방식 사용이 증가하고 있다. 이에 디지털방식의 주파수 합성기(DDFS : direct digital frequency synthesizer)를 설계하였다. 직접 디지털 주파수합성기를 사용하면, 주파수 합성과 동시에 변조를 진행할 수 있다. DDFS의 구조는 FCW(Frequency Control Word)를 누적하여, sine 함수값을 저장하고 있는 ROM의 look-up table에서 위상에 따른 진폭을 추출하고, 그 결과를 변조하여 sign-magnitude 값 또는 2's complement 형태로 출력한다. Sine function 값을 ROM에 그대로 저장하게 되면 ROM의 크기가 너무 커지므로, 저장될 data의 크기를 줄이기 위해, quadrant compression 방법과 auxiliary function

ROM approximation, Sunderland 알고리즘을 사용하여 압축하였다[1,2]. 그러나, chip의 면적은 줄어들었지만, chip의 최대 동작 주파수에 의해 대역폭이 제한되게 된다. 이에 주파수 대역폭을 증가시키기 위해 FCW를 누적하는 위상 누산기를 수정하여 병렬처리가 가능하도록 설계하였다.

본 논문에서는 ROM의 data 압축방법을 이용하여 면적을 감소시켰으며, QPSK, 256 · 64 · 32 · 16 QAM, FM 변조가 가능하고, 병렬처리를 이용하여 주파수 대역폭을 증가시킨 DDFS를 반도체 설계 교육 센터 (IDEC)에서 제공한 Cadence tool과 HSPICE를 이용하여 full custom방식으로 설계하였다.

II. 위상 누산기

위상누산기는 FCW를 누적하여, 그 출력을 ROM의 address로 사용한다. Chip을 여러 개 사용하여 병렬처리 동작시킬 때, DDFS간에 누적된 값이 같아야 하고, 각 DDFS가 처리해야 하는 data가 몇 번째에 해당되는지를 정해 주어야 한다. 한 개의 chip에서 누적되고 있는 값을 공유하여 병렬처리를 하면, chip간의 많은 연결선과 pin이 필요하게 된다. 식 (1)과 같이 누적되는 값은 주파수 해상도와 관계가 있다. 좋은 주파수 해상도를 얻기 위해서는 위상누산기의 워드길이(L)는 늘어나게 된다.

$$\Delta f = \frac{f_{clk}}{2^L} \quad (1)$$

그러므로 누적되는 값을 공유하지 않고 각 DDFS가 값을 누적하게 하였다. 4개의 DDFS를 병렬연결할 때에는 그림 1에서 보여지듯이 FCW는 원하는 FCW보다 4배 큰 값이어야 한다[3]. 그리고 누적되는 값에 offset으로 추가되는 값은 각 DDFS마다 달라야 한다. 각 DDFS에 입력되는 FCW의 값은 같으므로, 입력된 값에서 각각의 ROM에 address될 값을 옵션에 따라 출력해야 된다. DDFS를 4개를 병렬연결 가능하도록 위상누산기부분을 그림 2의 구조로 설계하였다. DDFS 병렬처리 옵션은 표 1과 같다.

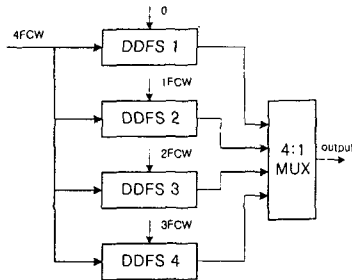


그림 1 4 chip 병렬처리 구조

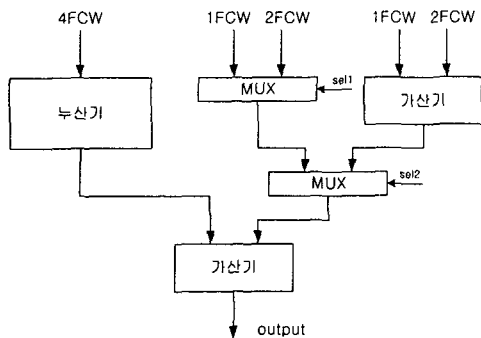


그림 2 병렬처리를 위한 위상누산기 구조

표 1 병렬처리 설정 입력값

	sel0	sel1	sel2
DDFS1	L	X	X
DDFS2	H	H	L
DDFS3	H	L	L
DDFS4	H	X	H

III. ROM based lookup table

Sine값을 저장, 위상누산기의 출력을 address로 사

용하여 그 위상에 해당되는 sine값을 출력하게 된다. 출력 주파수의 해상도를 높이고 양자화잡음을 줄이기 위해서는 ROM에 저장되는 data양이 매우 커지게 된다. 그렇게 되면 실제로 구현하기 어려워지므로, sine 값을 압축하는 방식을 사용한다. Quadrant 압축방법에 따라 sine곡선과 cosine곡선이 위상만 틀리고 크기는 같으므로, $\pi/2$ 동안의 값 중 $0 \sim \pi/4$ 동안의 sine, cosine 값을 각각 저장, ROM의 크기를 반으로 줄였다. 그러므로, $\pi/4$ 간격마다 sine ROM의 출력과 cosine ROM의 출력을 교환여부를 판단하여야 한다. 그 판단은 표 2에서 보여지는 상위 address값을 이용한다. 2nd MSB \oplus 3rd MSB의 값을 이용하여 sine ROM과 cosine ROM의 출력을 교환하여 준다. 또한, 교환에 따른 cosine값과 sine값의 위상이 다르므로 3rd MSB를 이용하여 address의 증감을 조절하였다[4,5].

표 2 ROM의 출력과 address입력 변화표

MSB	0		1					
2nd MSB	0	1	0	1				
3rd MSB	0	1	0	1	0	1	0	1
sin ROM 출력	/	C	C	\	/	C	C	\
cos ROM 출력	\	S	S	/	\	S	S	/
sin 부호	+	+	-	-	-	-	+	+
cos 부호	+	+	+	+	-	-	-	-
address증감	/	\	/	\	/	\	/	\

위상과 sine곡선의 차이만을 저장하는 auxiliary function ROM approximation을 이용하여 다시 data량을 줄이고, 식(2)의 Sunderland 알고리즘을 사용하여 coarse ROM과 fine ROM으로 나누어 저장하였다.

$$\begin{aligned}
 A B C &= (A_0 A_1 B_0 B_1 B_2 C_0 C_1 C_2)_2 \\
 \sin(A+B+C) &= \sin(A+B) \cos(C) + \cos(A+B) \sin(C) \\
 &\cong \sin(A+B) + \cos(A) \sin(C) - (A+B+C) \\
 &\cong \sin(A+B) - (A+B) + \cos(A) \sin(C) - C \quad (2) \\
 \therefore \text{Coarse ROM} &= \sin(A+B) - (A+B) \\
 \text{Fine ROM} &= \cos(A) \sin(C) - C
 \end{aligned}$$

압축방식을 사용하여 저장한 값에서 sine곡선을 재구성하기 위해 우선 coarse ROM과 fine ROM의 출력을 합한다. ROM에 저장된 data가 위상과의 차이므로 위상을 ROM의 출력과 더해주면 원하는 sine 값을 얻게 된다.

IV. 변조기와 Formatter

변조기에서는 QPSK와 256·64·32·16 QAM 변조를 수행하고, FM 변조는 FCW를 통해 이루어진다. Formatter는 출력값이 sign magnitude 또는 2's complement 형태가 되도록 선택할 수 있는 기능을 제공한다. 먼저 sign magnitude 형태의 출력은 음수와 양수, 음수와 음수의 합산일 때 값의 형태를 변환시켜 주어야 한다. 음수와 음수의 합일 경우에는 sign magnitude 형태의 신호를 2's complement 형태로 바꾸지 않고 합산 후, 부호 출력만 음수로 해준다. 음수와 양수는 합산한 결과가 음수이면, 2's complement 형태를 sign magnitude 형태로 변환시킨다. 2's complement 방식은 sign magnitude 방식에서 합산을 간단히 하기 위해 음수와 음수의 합산을 경우 2's complement 형태로 변환하지 않았으므로, 합산한 결과 값을 2's complement 형태로 변환시켜주도록 설계하였다. 그림 3에 DDFS의 전체 구성을 나타내었다.

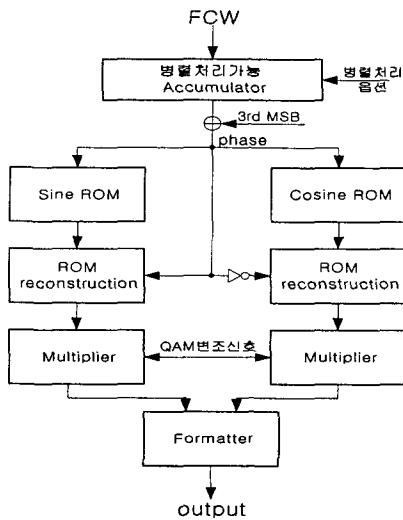


그림 3 DDFS 전체 구성도

V. 설계 및 결과

직접 디지털 주파수 합성기의 설계는 0.65 μm CMOS n-well technology를 사용하여 full custom 방식으로 설계하였다. 전체 layout은 그림 4와 같다. 공급 전압은 3.3V를 사용하고 시스템 클럭을 빠르게 하기 위해 파이프라인 기법으로 설계하였다. 파이프라인은 7 stage이고, 사용한 칩의 면적은 1.9mm×1.9mm이다. 직접 디지털 주파수 합성기의 설계는

Cadence tool을 사용하였고, 시뮬레이션은 HSPICE와 IRSIM을 사용하여 최대 동작 가능 주파수와 modulation을 확인하였다. 시뮬레이션 결과는 그림 5와 같이 곱셈기에서의 critical path delay가 4.2ns, carry look ahead adder(CLA)의 delay 3.8ns가 나왔다. array의 출력값이 CLA의 입력으로 들어가야 하므로, 곱셈기가 충분히 동작하기 위해서는 9ns이상의 주기가 필요하다. 직접 디지털 주파수 합성기 블록 중 곱셈기의 delay가 가장 큰 것으로 시뮬레이션 결과가 나왔으며, 최대 동작 가능 주파수는 110MHz이고, 병렬연결에 의해 최대 440MHz의 동작 주파수를 얻을 수 있다.

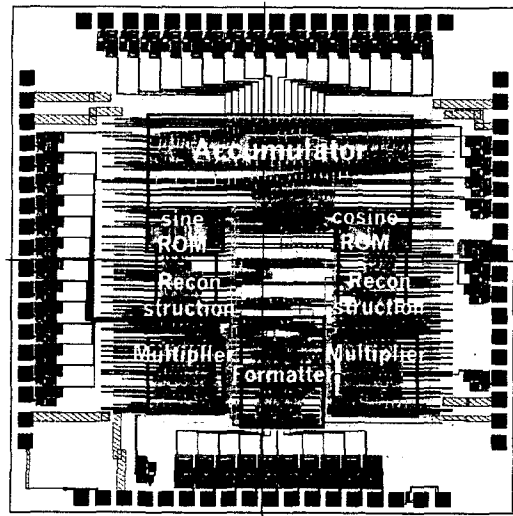


그림 4 DDFS layout

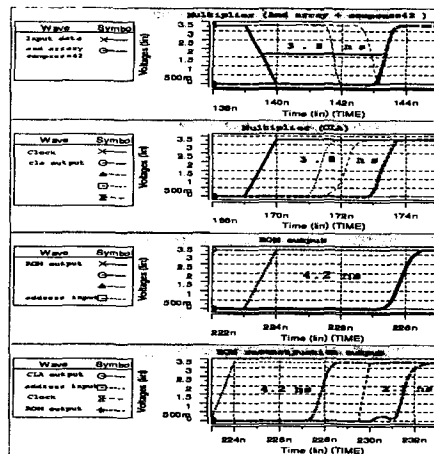


그림 5 HSPICE 시뮬레이션에 의한 critical path delay

IRSIM을 이용 4개의 DDFS를 병렬로 연결한 시뮬레이션 결과를 그래프로 그려서 변조를 확인하였다. 입력값 FCW는 16bit고 출력은 부호를 포함하여 10bit의 출력을 가진다. QAM변조는 QAM의 변조신호를 $1111_2, 1111_2 \Rightarrow 0100_2, 0100_2 \Rightarrow 1100_2, 0011_2$ 순으로 입력하여 그림 6과 같은 그래프를 얻었다. QPSK변조는 QPSK의 변조신호를 $00_2, 00_2 \Rightarrow 11_2, 11_2$ 으로 입력하여 위상이 변화하는 것을 그림 7과 같이 확인하였다. FM은 FCW값을 변화시켜 그림 8과 같은 결과를 얻었다.

VI. 결 론

본 논문에서는 병렬처리와 FM, QPSK, $256 \cdot 64 \cdot 3 \cdot 2 \cdot 16$ QAM 변조가 가능한 직접 디지털 주파수 합성기를 full custom방식을 이용하여 설계하고 시뮬레이션을 통해 그 동작을 검증하였다. 설계한 직접 디지털 주파수 합성기는 latency가 7인 pipeline구조이고, core 크기는 $1.9\text{mm} \times 1.9\text{mm}$ 이다. 최대 동작 주파수 110MHz의 직접디지털 주파수합성기를 4개를 병렬 연결하여 4배 빨라진 440MHz의 동작속도의 효과를 얻을 수 있었다.

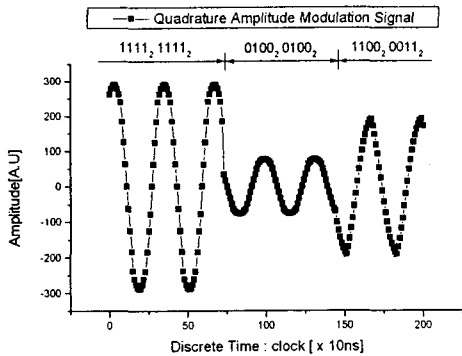


그림 6 QAM변조

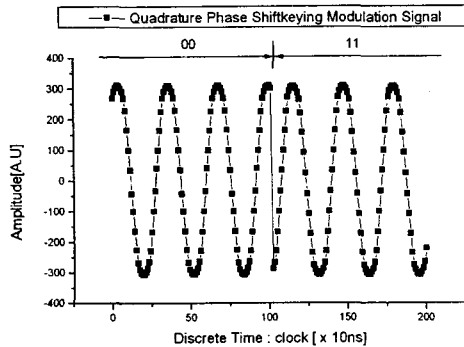


그림 7 QPSK 변조

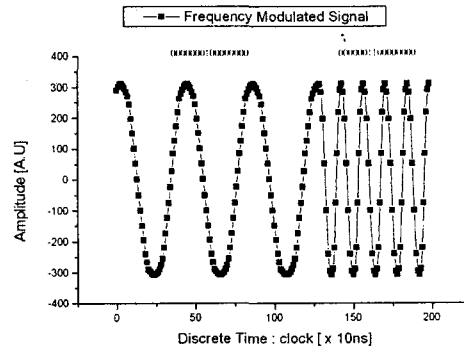


그림 8 FM 변조

참고문헌

- [1] Bar-Giora Goldberg, Digital Techniques in Frequency Synthesis, McGraw-Hill, 1996
- [2] James A. Crawford, Frequency synthesizer Design Handbook, Aritech House, 1994
- [3] Loke Kun Tan and Henry Samuelli, "A digital frequency synthesizer", IEEE J. Solid-State Circuits, Vol. 30, pp. 193-200, March. 1995
- [4] Angel Bóveda, Félix Ortigoso, and José I. Alonso, "A 0.7-3 GHz GaAs QPSK/QAM Direct Modulator", IEEE J. Solid-State Circuits, Vol. 28, pp. 1340-1349, Dec. 1993
- [5] Akihiro Yamagishi, Masayuki Ishikawa, Tsuneo Tsukahara, and Shigeru Date, "A 2-V, 2-GHz Low-Power Direct Digital Frequency Synthesizer Chip-Set for Wireless Communication", IEEE J. Solid-State Circuits, Vol. 33, pp. 210-217, Feb. 1998