

저전압 저전력 선형 트랜스컨덕터에 관한 연구

°김 동용*, 신 희중**, 차 형우*, 정 원섭*

**대원공과대학 전자계산과, *청주대학교 전자·정보통신·반도체 공학부

**390-230 제천시 신월동 산 22-8, *360-764 충북 청주시 상당구 내덕동 36번지

A Study of Low-Voltage Low-Power Linear Transconductor

°Dong-Yong Kim*, , Hee-Jong Shin**, Hyeong-Woo Cha*, and Won-Sup Chung*

**Dept. of Electronic Computer Eng., Daewon College

Mt 22-8, Sinwoul-dong, Jechon-shi, 390-230, Tel : (0445) 649-3218

*School of Electronic, Information & Communication, Semiconductor Eng., Chongju Univ.

36 Naedok-dong, Sangdang-gu, Chongju-shi, 360-764

Tel : (0431) 229-8441, E-mail : hwcha@chongju.ac.kr

Abstract

A novel linear transconductor for low-voltage low-power signal processing is proposed. The transconductor consists of a *pn*p differential-pair and a *npn* differential-pair which are biased by local negative feedback. The simulation results show that the transconductor with transconductance of 50 μ S has a linearity error of 0.05% and the power dissipation is 2.44 mW over an input linear range from -2 V to +2 V at supply voltage \pm 3 V.

I. 서론

트랜스컨덕터(transconductor) 또는 차동 전압-전류 변환기(differential voltage-current converter)는 전압 입력 신호를 전류 출력으로 변환하는 것으로, 각종 아날로그 회로 및 시스템의 기본 빌딩 블록 회로로 사용되고 있다. 이 회로는 광대역 증폭기, 이득-조정 회로, 아날로그 승산기(multiplier), 그리고 연산 트랜스컨덕턴스 증폭기(operational transconductance amplifier : OTA)의 설계에 응용된다. 특히, 저전압 저전력 아날로그 회로와 전자 시스템에 응용하기 위해서는 저전압 저전력 트랜스컨덕터의 개발이 선결되어야 하고 저전압 저전력에서도 고정도의 선형성과 좋은 온도 특성을 갖고 있어야 한다[1].

기본적인 바이폴라 선형 트랜스컨덕터는 이미터에 디제너레이션(degeneration) 저항 R_E 을 포함시킨 차동

본 연구는 과학기술부 한국과학재단 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.

증폭기이다. 통상의 차동 증폭기와는 달리, 이 회로는 이미터 단자에 바이어스 전류 I_{EE} 와 이미터 저항 R_E 와의 곱에 해당되는 전압을 트랜지스터 열전압 V_T 보다 훨씬 크게 잡아줌으로써, 대신호 입력 전압에 대해 거의 선형적인 출력 전류로 변환시켜 줄 수 있고 입력 전압의 선형 범위를 근사적으로 공급 전압까지 확장시킬 수 있다. 그러나, 출력 전류 i_{OUT} 과 I_{EE} 의 비가 커질수록 회로의 트랜스컨덕턴스가 더욱 비선형적이고 온도에 더욱 민감해지는 문제점을 갖고 있다[2]-[3].

이러한 문제점을 해결하기 위해, 최근에 발표된 선형 트랜스컨덕터의 블록도를 그림 1에 나타냈다[3]-[4]. 이 회로는 기본적인 선형 트랜스컨덕터를 구성하는 Q_1 과 Q_2 , 그리고 2개의 정전류원, 선형성과 온도 특성을 좋게 하기 위해 추가된 이미터-결합쌍 Q_3 와 Q_4 , 그리고 Q_3 와 Q_4 의 바이어스 전류를 공급하는 4개의 전류 미러들로 구성된다. 이 회로 구성에서 Q_3 와 Q_4 가 Q_1 과 Q_2 의 컬렉터 전류로 각각 바이어싱(biasing)되어 있기 때문에 트랜지스터의 2차 효과를 무시할 경우 v_{IN} 대 i_{OUT} 전달 특성은 다음과 같이 주어진다.

$$i_{OUT} = i_{C1} - i_{C2} \approx \frac{v_{IN}}{R_E} \quad (1)$$

이 식으로부터 이미터 디제너레이션(degeneration) 저항 R_E 의 온도 특성을 무시하면 온도 특성이 매우 향상되었다는 것을 알 수 있다.

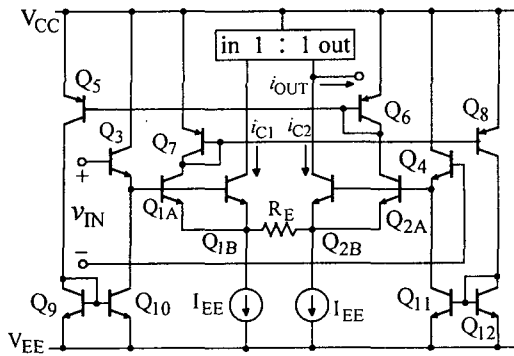


그림 1. 종래의 선형 트랜스컨덕터의 회로도

또한, 이 회로에서 R_E 에 흐르는 최대 전류는 바이어스 전류 I_{EE} 가 되므로 입력 선형 범위는 $V_{IN(linear)} = R_E I_{EE}$ 로 주어진다. 그러나, 이 선형 트랜스컨덕터는 R_E 의 양단의 전압이 $2V_{BE}$ 로 낮아지기 때문에 낮은 공급 전압에서 그 선형성이 떨어지는 문제점이 있다[5]. 따라서, 저전압 저전력에 이용하고자 할 경우, 그 선형 범위가 좁아져 응용 범위가 제한된다.

본 연구에서는 종래의 선형 트랜스컨덕터의 문제점을 해결하기 위해 새로운 구성의 선형 트랜스컨덕터를 설계한다. 설계한 선형 트랜스컨덕터 회로에서는 국부 전류 귀환(local current feedback) 기법[6]을 사용하여 종래의 선형 트랜스컨덕터의 장점을 갖게 하였을 뿐만 아니라 회로 구성 또한 간략화 하였다. 끝으로, 본 연구에서 제안한 선형 트랜스컨덕터를 종래의 그것들과 비교 및 검토함으로써, 본 연구에서 제안한 회로들의 우수성을 입증한다.

II. 회로 구성 및 동작 원리

제안한 저전압 저전력 바이폴라 선형 트랜스컨덕터의 회로도를 그림 2에 나타냈다. 이 회로는 기본적인 선형 트랜스컨덕터와 pnp형 이미터 폴로워 Q_3, Q_4 , 그리고 2개의 pnp 전류 미러로 구성된다. 회로에 나타낸 $Q_{11} \sim Q_{14}$ 는 다이오드-결선(diode-connection) 트랜지스터로 Q_3 와 Q_4 에 미치는 베이스-폭 변조 효과(base-width modulation effect)를 줄이기 위해 사용한 것이다. 이 회로에 추가된 이미터 폴로워(emitter follower) Q_3 와 Q_4 는 Q_{1A} 와 Q_{2A} 의 컬렉터 전류가 각각 국부적으로 귀환되어 바이어싱(biasing) 된다[6]. 트랜지스터 Q_{1A} 와 Q_{1B} , 그리고 Q_{2A} 와 Q_{2B} 는 각각 베이스-이미터 단자가 병렬로 연결되어 있기 때문에, $i_{C1A} = i_{C1B}$, 그리고 $i_{C2A} = i_{C2B}$ 가 된다. i_{C1A} 는 Q_5 와 Q_6 의 pnp 전류 미러에 의해 Q_3 의 바이어스 전류

가 된다. 마찬가지로, i_{C2A} 는 Q_7 과 Q_8 의 pnp 전류 미러에 의해 Q_4 의 바이어스 전류가 된다.

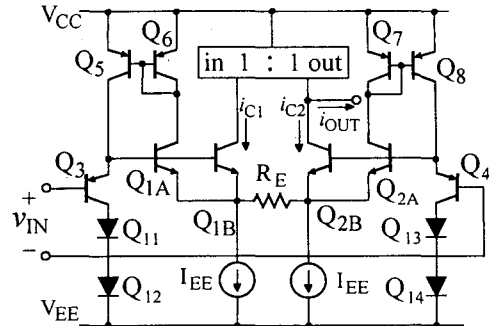


그림 2. 제안한 저전압 저전력 바이폴라 선형 트랜스컨덕터의 회로도

이 바이어스 전류에 의한, Q_1 과 Q_2 의 베이스-이미터 전압 v_{BE} 의 증가 또는 감소되는 양은 Q_3 와 Q_4 의 v_{BE} 의 증가 또는 감소되는 양과 동일할 것이다. 따라서, 이미터 디제너레이션 저항 R_E 의 양단 전압은 직류(dc)적으로 0 V가 되고 입력 신호 전압 v_{IN} 은 이미터 디제너레이션 저항 R_E 의 양단에 걸리게 될 것이다. 2개의 pnp 전류 미러가 이상적이라면, v_{IN} , 4개의 v_{BE} , 그리고 R_E 로 구성되는 루프(loop)에서 다음과 같은 식을 얻을 수 있다.

$$v_{IN} = -V_T \ln\left(\frac{\alpha i_{C1}}{I_{SP}}\right) + V_T \ln\left(\frac{i_{C1}}{I_{SN}}\right) + R_E(i_{C1} - i_{C2}) - V_T \ln\left(\frac{i_{C2}}{I_{SN}}\right) + V_T \ln\left(\frac{\alpha i_{C2}}{I_{SP}}\right) \quad (2)$$

여기서, I_{SN} 과 I_{SP} 는 npn 트랜지스터(Q_1 과 Q_2)와 pnp 트랜지스터(Q_3 과 Q_4)의 컬렉터 역방향 포화 전류(collector reverse saturation current)이다. 위 식의 우변항에서, 자연로그가 포함된 부분을 정리하면

$$V_T(-\ln \alpha i_{C1} + \ln I_{SP} + \ln i_{C1} - \ln I_{SN}) - V_T(\ln i_{C2} - \ln I_{SN} - \ln \alpha i_{C2} + \ln I_{SP}) = 0 \quad (3)$$

이 되므로, 그림 2의 출력 전류 i_{OUT} 은 정확하게 다음과 같이 나타낼 수 있다.

$$i_{OUT} = i_{C1} - i_{C2} = \frac{v_{IN}}{R_E} \quad (4)$$

여기서, i_{C1} 과 i_{C2} 의 차를 얻기 위해 사용되는 전류

미러는 이상적인 것으로 가정했다. 식 (4)로부터, 그림 2에 나타난 회로의 트랜스컨덕턴스가 $1/R_E$ 이 되고, 출력 전류식이 α 와 V_T 에 무관함을 알 수 있다. 더욱이, Q_3 와 Q_4 의 바이어스 전류 i_{C1} 과 i_{C2} 가 pnp 트랜지스터로 구성되는 1개의 전류 미러를 사용하여 실현될 수 있으므로, 종래의 트랜스컨덕터의 경우 보다 회로 구성이 간단하다는 장점을 갖는다. 제안한 선형 트랜스컨덕터의 입력 선형 범위 $V_{IN(linear)}$ 는 $R_E I_{EE}$ 가 되며 $V_{IN(linear)}$ 의 확장 범위는 다음과 같이 주어진다.

$$\begin{aligned} V_{EE} + V_{CE(I_{EE})sat} &\leq V_{IN(linear)} \\ V_{IN(linear)} &\leq V_{CC} - V_{BE3} - V_{CEsat} \end{aligned} \quad (5)$$

여기서, $V_{CE(I_{EE})sat}$ 는 정전류원 I_{EE} 가 기본 전류 미러로 구성될 경우의, 출력단 트랜지스터에 나타나는 포화 전압이다. 일반적인 실험 조건, 즉 $V_{CC} = -V_{EE} = 3V$, $V_{BE} = 0.7V$, 그리고 $V_{CEsat} = 0.3V$ 일 경우, 확장할 수 있는 입력 선형 범위는 $-2.7V \leq V_{IN(linear)} \leq 2.0V$ 이 된다. 이 값은 종래의 선형 트랜스컨덕터의 경우 ($-1.3V \leq V_{IN(linear)} \leq 2.7V$)와 비교할 때, 제안된 선형 트랜스컨덕터가 동일한 공급 전압에 대해 마이너스 쪽으로 선형 범위가 1.4V 더 확장되었다는 것을 알 수 있다.

III. 정도 고찰

제안한 트랜스컨덕터의 회로는 완전-차동(fully-differential)형 또는 좌우 대칭 구조를 갖고 있기 때문에, 공통-이미터 전류 이득 β 에 대한 영향을 무시할 수 있다. 또한, 차동 입력단 밑에 4개의 다이오드를 사용하였기 때문에 Q_3 와 Q_4 트랜지스터에서의 베이스-폭 변조 효과를 무시할 수 있다. 그러나, 제안한 회로는 입력 신호에 대해 Q_5 (또는 Q_8)의 컬렉터와 이미터 간의 전압은 변화되지만, Q_6 (또는 Q_7)의 컬렉터와 이미터 간의 전압이 일정하기 때문에, Q_5 와 Q_6 로 구성되는 전류 미러의 입·출력 전류에는 베이스-폭 변조 효과의 영향을 받는다. Q_4 의 베이스 단자를 접지로 연결하고 Q_3 의 베이스 단자에 입력 신호 v_{IN} 이 인가되었다고 가정하면 2개의 pnp형 전류 미러에 미치는 베이스-폭 변조 효과를 고려한 출력 전류는 다음과 같이 주어진다.

$$\begin{aligned} i_{OUT} &= i_{C1} - i_{C2} \\ &= \frac{v_{IN}}{R_E} + \frac{V_T}{R_E} \ln \left(1 - \frac{v_{IN}}{V_{AP} + V_{CC} - V_{BE}} \right) \end{aligned} \quad (6)$$

여기서, V_{AP} 는 pnp 트랜지스터의 얼리(Early) 전압이다. 식 (6)으로부터, 입력 신호 전압 v_{IN} 이 클 경우

선형성과 온도 특성이 떨어진다는 것을 알 수 있다. 그러나, 일반적으로 V_{AP} 가 큰 값을 갖게 되므로 식 (6) 우변의 두 번째 항은 무시될 수 있을 것이다. $V_{AP} = 50V$, $R_E = 20k\Omega$, $V_{CC} = 3V$, 그리고 $v_{IN} = 2V$ 일 경우, 식 (6) 우변의 두 번째 항은 약 $-0.03\mu A$ 의 값을 갖는다.

IV. 실험 결과 및 고찰

제안한 저전압 저전력 바이폴라 선형 트랜스컨덕터 (그림 2)는, PSpice를 사용한 컴퓨터 시뮬레이션을 통하여 그 동작 원리와 성능이 확인되었다. 시뮬레이션에 사용된 바이폴라 트랜지스터는 MPQ3906(pnp)와 MPQ3904(npn)로서 이것들의 모델 파라미터는 표 1에 나타난 바와 같다.

표 1. 바이폴라 트랜지스터의 모델 파라미터

.model Q2N3906 PNP(Is=1.41f Xti=3 Eg=1.11 Vaf=18.7 Bf=180.7 Ne=1.5 Ise=0 Ikf=80m Xtb=1.5 Br=4.977 Nc=2 Isc=0 Ikr=0 Rc=2.5 Cjc=9.728p Mjc=.5776 Vjc=.75 Fc=5 Cje=8.063p Mje=.3677 Vje=.75 Tr=33.42n Tf=179.3p Itf=.4 Vtf=4 Xtf=6 Rb=10)
.model Q2N3904 NPN(Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259 Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1 Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)

회로의 구성에는 이미터 디제너레이션 저항 $R_E = 20k\Omega$, 바이어스 전류 $I_{EE} = 100\mu A$, 그리고 공급기 전압 $V_{CC} = -V_{EE} = 3V$ 를 사용하였다. 입력 신호의 선형 범위는 $R_E I_{EE} = 20k\Omega \times 100\mu A = 2V$ 로 설정했다. 본 연구에서 제안한 저전압 저전력 선형 트랜스컨덕터의 성능을 확인하기 위하여, 종래의 트랜스컨덕터의 회로를 같은 조건으로 실험하였다.

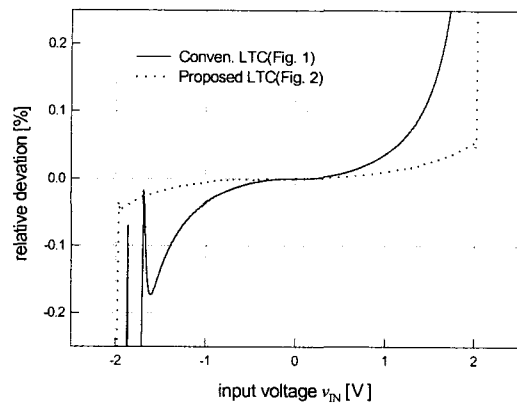


그림 3. 입력 전압에 대한 출력 전류의 상대오차

그림 1과 2의 회로에 있어서 입력 전압 v_{IN} 에 대한 출력 전류 ($i_{C1} - i_{C2}$)의 상대 오차를 시뮬레이션한 결과가 그림 3에 주어져 있다. 이 그림으로부터 제안한 선형 트랜스컨덕터의 상대 오차가 $-1.9V$ 에서 $+1.9V$ 까지의 입력 전압 범위에서 0.05%이하인 것을 알 수 있다. 이 상대 오차를 기준으로 할 때 종래의 트랜스컨덕터의 선형 범위는 $-1V$ 에서 $+1V$ 까지임을 알 수 있다.

그림 4는 그림 2에 주어진 회로의 온도 특성을 시뮬레이션한 결과를 나타낸 것이다. 이 결과는 $-2V$ 에서 $+2V$ 까지의 입력 전압 범위에서 $25^\circ C$ 를 기준으로 하여 $-25^\circ C$ 와 $75^\circ C$ 에 대한 출력 전류의 오프셋(offset)을 측정하는 것이다. 그림으로부터 제안한 선형 트랜스컨덕터의 온도 특성이 $-1.9V$ 에서 $+1.9V$ 까지의 입력 전압 범위에서 향상되었음을 알 수 있다. 그러나 종래의 선형 트랜스컨덕터의 경우는, $-1.6V$ 이하에서 온도 특성이 급격히 저하된다는 것을 알 수 있다. 그 원인은 바이어스 I_{EE} 를 만드는 기본적인 전류 미러의 출력 트랜지스터가 포화되기 때문이다. 그림 4의 온도 특성들은 이미터 디제너레이션 저항 R_E 의 온도특성을 고려하지 않은 것들이다.

동일한 공급 전원의 조건에서 종래의 선형 트랜스컨덕터의 소비전력은 3.10 mW이고 제안한 저전압 저전력 선형 트랜스컨덕터의 소비전력은 2.44 mW로 0.66 mW의 차이가 발생되었다. 더욱이, 동일한 입력 선형 범위를 얻고자할 경우 종래의 선형 트랜스컨덕터에는 $V_{CC} = -V_{EE} = 10V$ 를 공급해야한다. 이 경우 소비전력은 약 15.2 mW가 된다. 따라서, 그림 2에 나타낸 선형 트랜스컨덕터는 종래의 선형 트랜스컨덕터에 비해 약 6배의 낮은 소비 전력을 갖게 되므로 각종 아날로그 회로 설계에 있어서 기본 빌딩 블록으로 유용하게 사용될 수 있을 것이다.

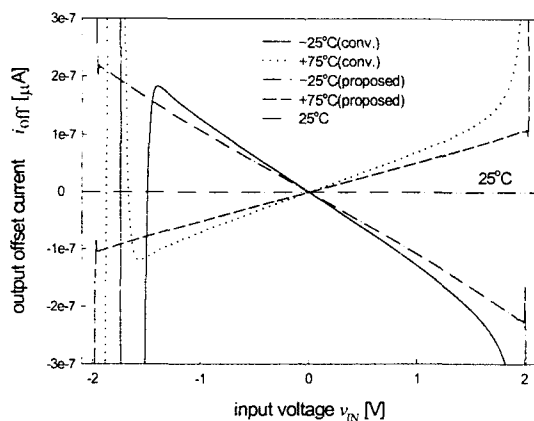


그림 4. 선형 트랜스컨덕터의 온도 특성

IV. 결 론

새로운 구성의 저전압 저전력 선형 트랜스컨덕터를 제안하였고 컴퓨터 시뮬레이션을 통해 그 동작 원리를 확인하였다. 제안한 선형 트랜스컨덕터가 종래의 선형 트랜스컨덕터보다 선형성이 우수하다는 것을 확인하였고, 온도 특성 역시 종래의 선형 트랜스컨덕터보다 향상되었다는 것을 확인하였다. 또한, 회로 구성이 간단하고 같은 성능을 기준으로 할 때 종래의 트랜스컨덕터보다 소비전력이 약 6배 낮다는 것을 확인했다. 따라서, 제안한 저전압 저전력 선형 트랜스컨덕터는 이를 기초로 한 OTA, 고성능의 필터, 발진기, 멀티플라이어(multiplier) 등에 폭 넓게 이용될 것으로 기대된다.

참 고 문 헌

- [1] C. Toumazou, F. J. Lidgley, and D. G. Haigh, "Analogue IC design: the current-mode approach", Peter Peregrinus Ltd. ch. 2-4, 1990.
- [2] P. R. Gray, and R. G. Meyer, "Analysis and design of analog integrated circuits", Wiley, New York, 1984.
- [3] W.-S. Chung and H.-W. Cha, "Bipolar linear transconductor", *Electronics Letters*, vol. 26, pp. 619-620, May 1990.
- [4] W.-S. Chung, K.-H. Kim, and H.-W. Cha, "A linear operational transconductance amplifier for instrumentation applications", *IEEE Trans. Instrumentation and Measurement*, vol. IM-41, pp. 441-443, June 1992.
- [5] H.-W. Cha and K. Watanabe., "Wideband CMOS current conveyor," *Electronics Letters*, vol. 32, pp. 1245-1246, July 1996.
- [6] 차 형우, 신 회중, 김 동용, 정 원섭, "바이폴라 선형 트랜스컨덕터에 관한 연구", 대한전자공학회 1998년도 추계종합학술대회 논문집, 제21권, 제2호, pp. 803-806, 1998년 11월