

다층 배선에서의 Quasi-3D 커패시턴스 추출

진우진, 어영선

한양대학교 전자공학과

Tel : 0345-400-5295/Fax : 0345-406-2974

Quasi-3D Capacitance Extraction Methodology for the Multi-layer Interconnects

Woojin Jin and Yungseon Eo

Dept. of Electronic Engineering, Hanyang University

E-mail: jin@iel.hanyang.ac.kr, eo@iel.hanyang.ac.kr

Abstract

A new accurate as well as efficient multi-layer interconnect capacitance extraction method is presented. Since Multi-layer interconnects is too complicated to directly extract capacitances, it is simplified with virtual ground concept. To make the structure tractable, the shielding effects should be separately determined. Since the electric field shielding effects and the solid-ground-based capacitance matrices can be readily determined from the layout geometry, the accurate as well as efficient quasi-3D capacitances concerned with an objective line can be readily determined. In order to demonstrate its efficiency and accuracy, the parameters and circuit responses were benchmarked with 3D-field-solver-based results.

1. 서론

최소 선폭의 크기가 VDSM(very deep submicron)으로 줄어들며 따라 회로의 집적도와 칩 사이즈는 증가하고, 회로의 칼리 주파수 또한 수 GHz 대역으로 증가하고 있다[1]-[3]. 이러한 고성능의 VLSI 회로에서 인터컨넥트 라인은 회로의 성능을 좌우하는 주된 요소가 되었다[2][3]. 따라서 라인에서의 신호의 무결성을 검증하는 것은 회로의 성능을 가늠하는 중요한 부분이다.

인터컨넥트 라인에서의 신호 지연과 크로스톡 노이즈(crosstalk noise)에 가장 큰 영향을 미치는 파라미터는 커패시턴스이다. 따라서 라인의 커패시턴스를 추출하기 위한 다양한 방법이 소개되었다. 2차원적인 방법

에 의한 커패시턴스의 추출은 시간적인 면에서 큰 장점을 갖지만 직선 라인에 대해서만 적용할 수 있으므로 본질적으로 3차원의 구조를 갖는 다층 배선에는 적용할 수 없다. 따라서 3차원에 기반한 효과적인 추출 방법에 대한 연구가 지속적으로 진행되었다[4][5]. 그러나 3차원적인 방법은 커패시턴스 추출 시 많은 계산 시간과 메모리를 요구하므로 VLSI 회로의 커패시턴스 추출에는 대단히 비효율적이다. 이러한 문제점을 해결하면서도 빠른 시간에 커패시턴스를 추출하기 위한 연구가 진행되었으나[6] 이 역시 피팅(fitting)에 의해 커패시턴스를 추출함으로써 정확한 값을 제공하지 못하였다. 다층 배선 구조에 대해 모든 라인을 고려하면서 커패시턴스를 구한다는 것은 거의 불가능하다. 따라서 정확도를 유지하면서도 커패시턴스를 효과적으로 추출할 수 있는 방법이 필요하다.

전하 보존 법칙은 항상 만족해야 하므로 시스템 내에 존재하는 (+)전하에 대응하는 (-)전하가 항상 시스템 내에 존재한다. 그리고 전기장은 거리의 제곱에 반비례하므로 목적 라인에서 멀리 떨어진 라인의 (-)전하는 무시할 수 있을 정도로 작다. 따라서 본 논문에서는 그림 1에서 보듯이 전하 분포를 고려한 가상 그라운드(virtual ground) 개념과 차폐효과를 고려함으로써 복잡한 구조를 단순화 시키고 계산 시간이 빠른 2차원적인 방법으로 3차원 필드 솔버(field solver)를 통해 구한 커패시턴스와 5% 정도의 오차범위를 갖는 정확한 커패시턴스 추출 방법을 제시한다.

$$C_{non-iso} = C_p + C'_{f1} + C'_{f2} \quad (2)$$

2. 가상 그라운드

다층 배선 구조에서 라인들은 매우 복잡한 구조를 갖는다. 그림 2에서 보듯이 임의의 목적라인에서 나오는 전기장의 일부는 주변의 라인에 의해 차폐되어 시스템의 실제 그라운드에 직접 도달하지 않는다. 즉 전기장의 분포는 거리의 제곱에 반비례하므로 목적라인의 (+)전하에 대응하는 (-)전하의 대부분은 실제적인 시스템의 그라운드에 분포되지 않고 목적라인의 주변에 분포하게 된다. 따라서 목적 라인과 이웃하는 라인 사이의 간격이 감소할 수록, 층 사이의 간격이 증가할수록 시스템의 실제 그라운드의 영향은 거의 무시할 수 있다. 따라서 시스템에 가상 그라운드 개념을 도입하면 복잡한 다층 배선 구조를 단순화시킬 수 있다. 시스템 내에서 (+)전하에 대응하는 (-)전하가 항상 존재하므로 (+)전하와 (-)전하의 비를 다음과 같이 나타낸다.

$$\zeta \equiv \frac{|Q_{negative}|}{Q_{objective-line}} \quad (1)$$

여기서 $Q_{negative}$ 는 목적라인과 직접적으로 관련된 라인들의 (-)전하량이며, $Q_{objective-line}$ 는 목적라인의 (+)전하량이다. 따라서 목적라인에 대한 임의의 라인의 ζ 가 무시할 수 있을 정도의 작은 값을 갖는다면, 가상 그라운드인 임의의 라인은 목적 라인의 커패시턴스 추출시 무시될 수 있다.

2. 라인 사이의 차폐효과 모델링

복잡한 다층 배선 구조에 가상 그라운드 개념을 도입하여 단순화시켰다 하더라도 그 구조는 여전히 3차원 구조를 갖게 되므로 3차원 필드 솔버를 통해 커패시턴스를 구해야 한다. 따라서 2차원적인 방법을 사용하여 커패시턴스를 추출할 수 있는 더욱 간단한 구조로 변형되어야 하므로 이를 위해 목적 라인에 이웃하는 라인들에 의한 차폐효과를 고려한다. 이웃하는 라인을 갖는 목적 라인의 단위 길이당 커패시턴스는 다음과 같은 식으로 나타낼 수 있다.

여기서 C'_{f1} 와 C'_{f2} 는 각각 단위 길이당 프링징 커패시턴스(fringing capacitance)이며 다음과 같이 모델할 수 있다.

$$C'_f = \frac{C_f}{\left(1 + 2 \frac{h}{s_i}\right)} \quad \text{for } i=1 \text{ and } i=2 \quad (3)$$

여기서 s_i 는 목적 라인과 관계되는 라인 사이의 간격이다.

3. 층 사이의 차폐효과 모델링

다층 배선 구조에서 목적 라인에서 나오는 전기장은 이웃하는 라인에 의해 차폐 될 뿐만 아니라 주변의 또 다른 층에 존재하는 라인에 의해서도 차폐되므로 이를 고려해야 한다. 그림 3과 같은 구조에서 라인 사이의 차폐 효과와 층 사이의 차폐효과를 고려한 단위 길이당 오버랩(overlap) 커패시턴스는 다음과 같은 식으로 나타낼 수 있다.

$$\sum C_{overlap} = \frac{\sum_{i=1}^n w_i + 2 \cdot n \cdot \delta_w}{l} (C_{non-iso} \cdot l) \quad (4)$$

여기서

$$\delta_w = \frac{\left(C_f + C'_f|_{s_1} + \dots + C'_f|_{s_{(n-1)}} \right) \cdot w}{n \cdot (C_p + C'_{f1} + C'_{f2})}$$

이다. 따라서 목적 라인에 대한 임의의 층의 점유계수(filling factor)는 다음과 같이 나타낼 수 있다.

$$\eta_j = \frac{\sum_{k=1}^n w_k + 2 \cdot n \cdot \delta_w}{l} \quad (5)$$

그러므로 목적 라인에 대한 임의의 층의 점유계수를 알 수 있다면 목적 라인에 대한 전체커패시턴스(total capacitance)는 쉽게 추출할 수 있다.

4. Quasi-3D 커패시턴스 추출

앞서 언급한 방법에 의해 다층 배선 구조는 2차원적인 방법을 통하여 3차원의 커패시턴스를 추출할 수 있는 구조로 단순화 되었으므로 매개 행렬 (intermediate matrix)을 구한 후 식(6)을 사용하여 목적 라인의 커패시턴스를 쉽게 추출할 수 있다.

$$[C]_{objective} = [(1-\eta_{i-1})(1-\eta_{i+1})[F]'_{i,(i-2)(i+2)} + \eta_{i-1}\eta_{i+1}[F]'_{i,(i-1)(i+1)} + \eta_{i-1}(1-\eta_{i+1})[F]'_{i,(i-1)(i+2)} + (1-\eta_{i-1})\eta_{i+1}[F]'_{i,(i-2)(i+1)}] \cdot I \quad (6)$$

여기에서 매개 행렬 $[F]_{i,(i)}$ 는 목적 라인의 주변층을 평판 도체로 가정하고 2차원 수치해석 방법이나 2차원 필드 솔버를 사용하여 구한 목적 라인의 커패시턴스로서 i 는 목적 라인이 존재하는 층을, G 는 평판 도체로 가정하는 층을 나타낸다. 다음의 예는 그림 4와 같은 다층 배선 구조에 대한 커패시턴스의 추출 방법을 나타낸 것이다.

Step 1. $c_f|_m$ determination

$$c_f|_m = 14.4 \left[\frac{pF}{m} \right]$$

Step 2. δ_w determination

$$\delta_w = \frac{(1.8 \times 10^{-11} + 4 \times 1.44 \times 10^{-11}) \times 1 \times 10^{-6}}{5 \times (3.452 \times 10^{-7} + 1.8 \times 10^{-11})}$$

Step 3. η_i determination

$$\eta_i = \frac{5 \times 1 \times 10^{-6} + 2 \times 5 \times 5 \times 10^{-7}}{20 \times 10^{-6}} = 0.5$$

Step 4. $[F]_{i,(i)}$ determination

$$[F]_{2,(2)} = \begin{bmatrix} 145.3 & -83.5 & -7.65 \\ -83.5 & 197 & -83.7 \\ -7.65 & -83.7 & 145.6 \end{bmatrix} \left[\frac{pF}{m} \right],$$

$$[F]_{2,(1)} = \begin{bmatrix} 184.3 & -72.5 & -5.7 \\ -72.5 & 219.7 & -72.6 \\ -5.7 & -72.6 & 145.6 \end{bmatrix} \left[\frac{pF}{m} \right]$$

Step 5. $[F]'$ Selection from $[F]_{i,(i)}$

$$[F]'_{2,(2)} = [-83.5 \quad 197 \quad -83.7] \left[\frac{pF}{m} \right],$$

$$[F]'_{2,(1)} = [-72.5 \quad 219.7 \quad -72.6] \left[\frac{pF}{m} \right]$$

Step 6. Capacitance extraction concerned with the objective line

$$[C]_{objective} = [(1-0.5) \times [F]_{2,(2)} + 0.5 \times [F]_{2,(1)}] \cdot I$$

$$= \begin{bmatrix} -\{(1-0.5) \times 83.5 + 0.5 \times 72.5\} \\ (1-0.5) \times 197 + 0.5 \times 219.7 \\ -\{(1-0.5) \times 83.7 + 0.5 \times 72.6\} \end{bmatrix}^T \cdot 20$$

$$= \begin{bmatrix} -1.56 \\ 4.167 \\ -1.563 \end{bmatrix}^T [F] \equiv [-c_x \quad c_y \quad -c_z]$$

그림 5에서 보듯이 제시한 방법에 의해 구한 목적 라인의 커패시턴스는 3차원 필드 솔버에 의해 구한 커패시턴스와 5% 정도의 오차 범위를 갖는다. 또한 제시한 방법은 복잡한 구조에 대하여 2차원적인 방법을 사용하므로 매우 빠른 시간에 커패시턴스를 추출할 수 있는 이점이 있다.

5. 결론

본 논문에서는 새로운 커패시턴스 추출 방법을 제시하였다. 즉 IC 인터컨넥트는 본질적으로 3차원 구조를 갖으므로 가상 그라운드 개념과, 목적 라인과 이웃하는 라인 사이의 차폐효과, 그리고 목적 라인과 주변 층 사이의 차폐효과를 고려함으로써 2차원적인 방법으로 커패시턴스를 추출할 수 있는 단순한 구조로 변환된다. 평판 도체를 고려한 매개 커패시턴스 행렬과 차폐효과는 레이아웃의 정보로부터 쉽게 구할 수 있으므로 정확하면서도 효과적인 방법으로 복잡한 다층 배선 구조에 대한 인터컨넥트 라인의 커패시턴스를 추출할 수 있다.

6. 참고문헌

[1] The National Technology Roadmap Semiconductor Technology Needs, SIA Report, 1997.

[2] P. J. Restle, et al., "Measurement and modeling of on-chip transmission line effects in a 400 MHz microprocess," IEEE J. Solid-State Circuits, vol.33, no.4, pp.662-665, Apr. 1998.

[3] C. Akrou, et al., "A 480-MHz RISC microprocessor in a 0.12- μ m leff CMOS technology with copper interconnects," IEEE J. Solid-State Circuits, vol.33, no.11, pp.1609-1616, Nov. 1998.

- [4] J. Zheng, Z. et al., "An Efficient Solver for the Three-Dimensional Capacitance of the Interconnects in High Speed Digital Circuit by the Multiresolution Method of Moments," IEEE Trans. Advanced Packaging, vol. 22, no. 1, pp. 9-15, Feb. 1999.
- [5] V. Veremey et al., "A Technique for Fast Calculation of Capacitance Matrices of Interconnect Structures," IEEE Trans. Comp. Pack. Manu. Tech.-Part B, vol. 21, No. 3, pp. 241-249, Aug. 1998.
- [6] J. Cong, et al., "Analysis and Justification of a Simple, Practical 2 1/2-D Capacitance Extraction Methodology," Proc. 34th DAC, pp. 627-632, 1997.

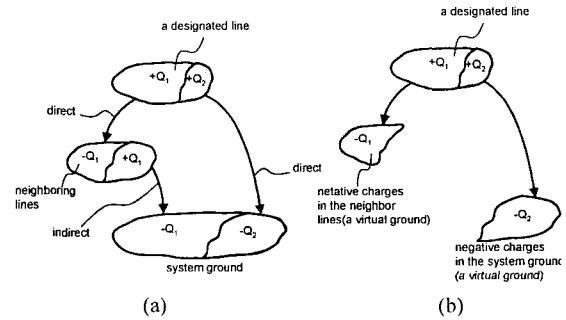


그림 2. 목적 라인의 (+)전하에 대응하는 (-)전하의 분포 (a) 실제적인 전하의 분포 (b) 목적라인과 직접 연관된 전하의 분포

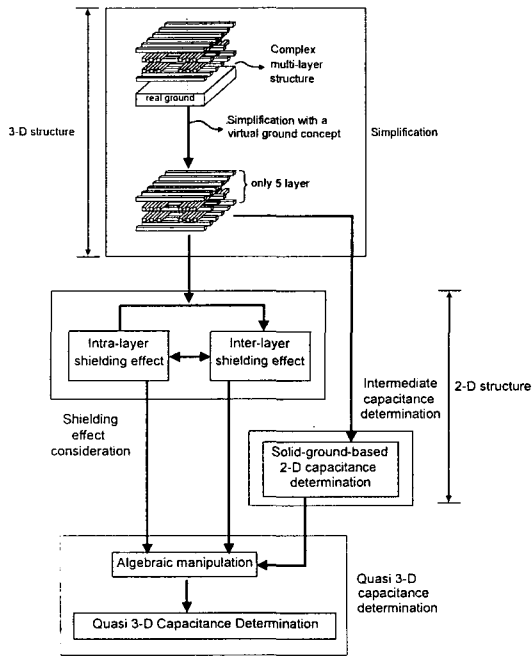


그림 1. 다층 배선 구조의 커패시턴스 추출을 위한 개념도

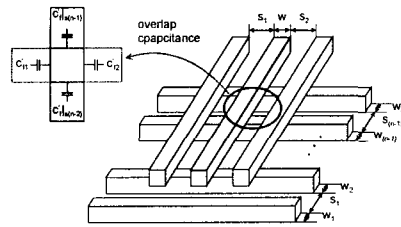


그림 3. 다양한 오버랩(overlap) 커패시턴스를 갖는 구조

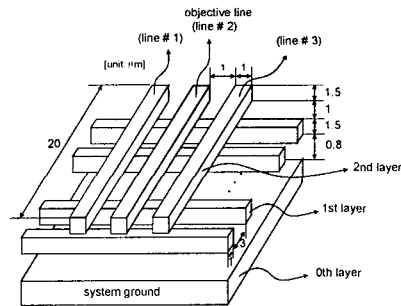


그림 4. Quasi-3D 커패시턴스 추출을 위한 구조

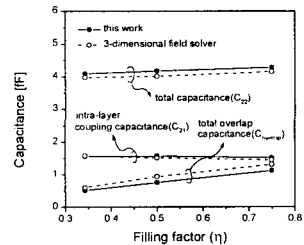


그림 5. 아래층의 라인의 수의 변화에 따른 커패시턴스