

FFH/BFSK 시스템 송신부에서 DDS를 이용한 주파수합성기 설계 및 성능평가에 관한 연구

이두석^{*} · 유형렬^{*} · 정지원^{*} · 조형래^{*} · 김기문^{*}

^{*}한국해양대학교

A Study on Design and Performance Evaluation of the Frequency Synthesizer Using the DDS in the Transmitter of the FFH/BFSK System

Du-suk Lee^{**} · Hyung-yul You^{**} · Ji-won Jung^{**} · Hyung-rae Cho^{**} · Ki-moon Kim^{**}

^{**}Korea Maritime University

E-mail : allsix@hanmail.net

요 약

이동 통신의 세계적 흐름은 디지털화, 고속화 그리고 대용량화의 추세로 나아가고 있다. 또한 한정된 주파수 자원을 효율적으로 이용하기 위하여 대역확산 방식이 그 주를 이루고 있다. 본 연구에서는 고속 주파수도약 방식을 이용하였다. 잡음 등의 여러 가지 문제점을 가지고 있는 PLL(Phase Lock Loop) 대신, PLL의 단점을 최소화할 수 있는 디지털 소자인 직접 디지털 주파수합성기(DDS : Direct Digital Synthesizer)를 사용하여 FFH 시스템 송신부의 주파수합성기를 설계하였다. PLL를 이용하여 고속 주파수 도약시스템을 설계하는 경우, PLL의 settling time의 설정과 요구되는 RF대역폭 등의 설계사양을 만족시키기가 어려우며 평형변조기 사용에 의한 회로의 복잡성으로 인한 제약이 따르게 된다. 본 연구에서는 DDS를 이용하여 고속 주파수도약 시스템을 설계하기 위한 성능평가에 대하여 연구하였으며, 오율 개선의 해석과 도약을 1M hps, 5MHz RF 대역폭의 고속 주파수 도약이 가능한 시스템을 설계하고 성능을 평가하였다.

ABSTRACT

The global trends of mobile communication system is moving toward digitizing, high-speed and large-capacity. Also, to utilize the limited frequency-resource efficiently, spread spectrum system is a mainstream. In this study we are concerning with the fast frequency-hopping system. Instead of the PLL with many problems such as phase-noise, we used the DDS is popular in these days minimizes the disadvantage of PLL. In the case the FFH system is designed using the PLL, it is difficult to be satisfied of the design conditions such as RF bandwidth and the settling time of PLL, and it has limitation because of complex circuit by using the balanced modulator. In this study, we evaluated the performance in order to design the FFH system using the DDS. The system that has the improvement of error rate, 1Mhps hopping rate and 5MHz RF bandwidth is designed and evaluated.

1. 서 론

전 세계적인 통신의 추세는 언급한 디지털화와 더불어 서비스의 다양화, 고속화 그리고 대용량화를 요구하고 있는 추세이다. 이러한 추세에 편승하여 고속 주파수도약 방식의 시스템에 관한 연구가 많이 이루어지고 있다. 무엇보다도 고속 주파수도약 방식을 충족시키기 위해서는 고속 주파수 합성기의 역할이 무엇보다도 중요하다. 종래의 주파수 합성기에는 위상동기루프(PLL : Phase

Lock Loop)가 그 대부분을 차지했지만, 고속 주파수도약 방식에서는 위상 잡음, 많은 비용과 노하우, 그리고 부피 등의 여러 가지 문제가 있어 위상동기루프는 많은 한계를 가졌다. 또한 믹서(mixer)를 거치는 평형변조에 의한 방식은 수신시 대역폭이 벌어지는 단점이 있다. 하지만 최근 직접디지털 주파수합성기(DDS : Direct Digital Synthesizer)의 개발로 위상동기루프의 여러 가지 문제점을 해결해 나가는 추세이다. 무엇보다도 DDS의 장점은 아날로그 VCO를 사용하지 않기

때문에 거의 클럭의 위상잡음과 동일한 위상잡음을 구현할 수 있다. 그리고 매우 정밀한 주파수 스텝, 매우 빠른 채널 전환 특성 그리고 디지털 영역에서 출력신호를 믹서를 거치지 않는 직접변조가 가능하므로 송신시의 RF 대역폭과 수신시 RF 대역폭이 같게 된다. 결과적으로 오율의 성능향상을 불러오게 된다. 또한 주파수 간격 및 도약을 등의 파라미터를 ROM에 프로그래밍하여 손쉽게 조정이 가능하다. [1][2][3]

II. FFH/BFSK 시스템

고속 주파수도약(FFH) 시스템은 정보 비트율보다 같거나 빠른 경우를 말한다. 즉, 데이터 비트당 1홉 이상 ($T/T_h \geq 1$)이 되는 경우를 말한다. 그림 2에서는 고속 주파수도약 시스템의 주파수도약 형태를 보여준다. 고속 주파수도약 시스템의 전체 출력 주파수는 J 개가 나오게 되며, T_h 의 각 홉당 출력 주파수는 총 J 개의 주파수중 하나가 출력된다. 여기서 Δf 는 주파수 분리(frequency separation)를 나타내는데 이것은 도약 캐리어간의 최소 주파수 간격을 말한다. 주파수 분리는 보통 $\Delta f = 1/T_h$ 과 같이 선택하는데, 그 이유는 신호의 형태가 직교하기 때문에 특히 비동기방식에서 좋은 성능을 가질 수 있기 때문이다. 또한 이 그림에서 도약율은 3 hop/sec ($T = 3T_h$)가 된다.

그림 1은 FFH/FSK의 송신부 블록 다이어그램을 나타낸다. 이 그림에서 FSK변조에서 $x(t)$ 의 신호가 출력되며, $x(t)$ 의 신호 형태는 다음과 같다.

$$x(t) = \begin{cases} \cos(2\pi f t), & \text{if } 0 \\ \cos(2\pi(f + \Delta f)t), & \text{if } 1 \end{cases} \quad (1)$$

이 신호는 믹서에서 주파수합성기로부터 출력된 $y(t)$ 신호와 혼합된다. 주파수합성기의 출력은 j 비트의 PN 코드 발생기의 제어를 받아 매 T_h 초 마다 변하게 된다. 그러므로 주파수합성기의 출력 $y(t)$ 는 2^j 의 조합의 서로 다른 주파수로 출력된다. 믹서에서 혼합된 신호는 대역통과필터에 의해서 필터링 된다. k 번째 도약동안 주파수합성기 출력 신호의 형태는 다음 식과 같다.

$$y(t) = 2A \cos(2\pi(f_g + i_k \Delta f)t + \theta_k), \quad (2)$$

for $kT_h < t < (k+1)T_h$

여기서 $i_k \in \{0, 2, \dots, 2(2^j - 1)\}$ 이며, f_g 는 일정한 주파수 그리고 θ_k 는 위상이다. i_k 의

값은 PN 코드의 j 비트에 의해서 결정된다. 이러한 출력은 믹서에서 혼합되며 대역통과필터에 의하여 출력은 제한된다. 다음 식은 k 번째 홉의 대역통과필터를 통과한 출력신호를 나타낸다.

$$s(t) = 2A \cos(2\pi(f_o + i_k \Delta f + b_k \Delta f)t + \theta_k),$$

for $kT_h < t < (k+1)T_h$ (3)

여기서 $b_k \in \{0, 1\}$ 은 $kT_h < t < (k+1)T_h$ 동안의 데이터 값이며, $f_o = f + f_g$ 이다. 그러므로 총 $J = 2^{j+1}$ 개의 주파수가 도약한다. 주의 할 것은 어떤 도약에서 다른 도약까지 위상 θ_k 가 변화할지도 모른다. 이것은 모든 2^j 개의 주파수도약 동안에 같은 위상을 유지하기가 매우 어렵다는 것을 의미한다. [1][4][5]

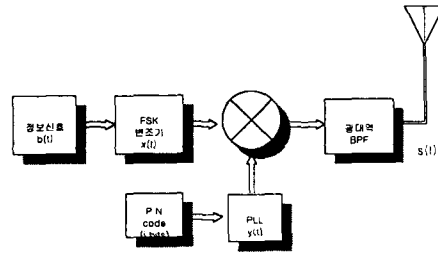


그림 1. FFH/FSK의 송신부 블록 다이어그램
Fig 1. Block diagram of FFH/FSK Transmitter

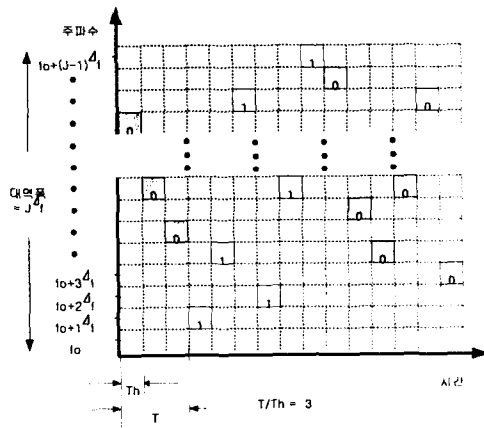


그림 2. 주파수도약 형태의 블록다이어그램
Fig. 2. Block diagram of frequency hopping waveforms

III. 오율에 따른 주파수 수의 결정

주파수도약 시스템에서는 사용 가능한 주파수가 많아야만 한다. 이것은 일반적인 대역확산 시스템의 처리이득(processing gain)은 전송된 확산 신호의 고주파 대역폭을 기저대역 채널상의 정보율로 나눈 것으로 나타내지만, 주파수도약 시스템에서의 처리이득은 사용 가능한 주파수 선택 수와 같기 때문이다. 대역확산 시스템에서 처리이득은 다음과 같다.

- 일반적인 대역확산 시스템

$$\text{처리이득} = G_p = \frac{W_{RF}}{R_{Info}} \quad (4)$$

- 주파수도약 시스템

$$\begin{aligned} \text{처리이득} = G_p &= \frac{W_{RF}}{R_{Info}} \\ &= \text{사용가능한 주파수선택수} \end{aligned} \quad (5)$$

송신 데이터 용장도가 없는 단순한 주파수도약 시스템에서 오율(error rate)은 J/N 이다. BFSK가 사용되는 주파수도약 시스템의 오율은 다음식과 같다.[1][5]

$$P_e = \sum_{x=r}^c \binom{c}{x} p^x q^{(c-x)} \quad (6)$$

여기서 각 파라미터는 다음과 같다.

- p : 1회 실행 시 에러 확률 = J/N
- J : 재밍된 채널 수
- N : 주파수도약 시스템의 사용 가능한 채널 수
- q : 1회 실행 시 에러가 없는 확률 = $1-p$
- c : 칩의 수
- r : 비트 에러를 유발시키기 위한 판단에 필요한 틀린 칩 수

그림 4와 같이 기존의 PLL을 이용한 평형변조를 하였을 경우는 데이터가 1Kbps로 전송되고 대역폭이 10MHz로 한정된다고 하면, 주파수도약에 의한 반송파의 스펙트럼은 2KHz의 주 로브 대역폭을 갖게 된다. 그러므로 만약 사이드 로브를 무시하여 중첩에 의한 상호간섭을 생각하지 않는다면 $10\text{MHz} / 2\text{kHz} = 5000$ 개 주파수가 사용이 가능해진다. 간섭 대 신호비가 100 : 1 일 때 오율이 3×10^{-3} 이라고 가정하자. 1chip으로 전송할 때 5000채널 중 100개에 간섭 전력이 존재하고, 전송 도약율이 3000hps 그리고 수신 신호 대역폭이 6kHz가 중복되지 않고 사용 가능한 채널은 $10\text{MHz}/6\text{kHz} = 1666$ 개이다. 여기서 100 : 1의 간섭 비에 의하여 $J/N = 100/1666 = 0.06$ 이 된다.

이것은 사용 가능한 1666개의 채널 중 100개의 간섭이 내제 하므로 1채널에는 0.06이 간섭이 존재할 확률이 된다. 따라서 오율은 다음과 같이 계산할 수 있다.

$$P_e = \sum_{x=2}^3 \binom{3}{x} 0.06^x \times 0.94^{(c-x)} = 1.2 \times 10^{-2}$$

이것은 처음 가정한 100 : 1의 간섭 대 신호비의 오율 3×10^{-3} 에는 못 미친다. 오율을 만족시키는 J/N 은 0.032 이하의 값이어야 한다. 이 값은 $100/0.032 = 3125$ 개의 채널을 최소로 필요로 한다. 따라서 이경우의 정보 비트 당 3chip으로 구성되는 수신단의 RF 대역폭은 다음과 같다.

$$\text{최소 RF 대역폭} = 6\text{kHz} \times 3125 = 18.75\text{MHz}$$

하지만 그림 4와 같이 DDS를 이용한 경우 BFSK신호를 PN 코드 신호와 EX-OR시켜 ROM의 프로그래밍에 의하여 직접 DDS의 주파수 제어단으로 입력하기 때문에 캐리어 스펙트럼의 주 로브 대역폭은 송신 시 대역폭과 수신 시 대역폭이 동일하게 된다. 또한 사이드 로브 역시 발생하지 않는다. 그러므로 위의 예와 같은 경우 사용 가능한 주파수의 수는 $10\text{MHz} / 3\text{kHz} = 3333$ 개의 주파수가 된다. 100 : 1 간섭 비에서 $J/N = 100/3333 = 0.03$ 되며 사용 가능한 3333개의 채널 중 100개의 간섭이 내제 하므로 1채널에는 0.03이 간섭이 존재할 확률이 된다. 따라서 오율은 다음과 같이 계산할 수 있다.

$$\begin{aligned} P_e &= \sum_{x=2}^3 \binom{3}{x} 0.03^x \times 0.97^{(c-x)} \\ &= 2.619 \times 10^{-3} \end{aligned}$$

이것은 처음 가정한 100 : 1의 간섭 대 신호비의 오율 3×10^{-3} 보다 좋은 성능을 보인다. 또한 3×10^{-3} 을 만족하는 최소 대역폭 결과적으로 평형변조에 의한 방식에 비해 1/2배의 대역폭을 필요로 하게 된다.

$$\text{최소 RF 대역폭} = 3\text{kHz} \times 3125 = 9.375\text{MHz}$$

그림 3의 시뮬레이션은 다양한 칩을 선택하여 전송할 때 각각의 J/N 과 오율과의 관계를 나타낸다. 점선은 기존의 PLL을 이용한 평형변조 방식을 사용할 때의 오율이며, 실선은 DDS를 이용한 직접변조 방식 일 때이다. 시뮬레이션 결과에서 재밍 마진의 증가로 인한 오율의 성능향상을 볼 수 있다. 또한 칩 수에 따른 오율의 성능향상을 볼 수 있다.

앞에서 나온 결과에서 시스템 설계시 RF 대역폭 미리 설정되기 때문에, 평형변조 방식에서 오율을 만족시키기 위해서는 J/N 을 더 작게 하거

나, 칩 수를 증대시켜야 한다.

하지만 DDS를 이용한 직접변조에서는 DDS의 주파수 분해능이 종류에 따라 수 μHz 에서 수 nanoHz 까지 가능하며, ROM의 프로그래밍에 따라서 아주 유연하게 주파수 간격을 조정 할 수 있기 때문에, 한정된 대역폭 내에서 칩 수를 증가시키거나, 채널 수를 줄이지 않아도 된다.

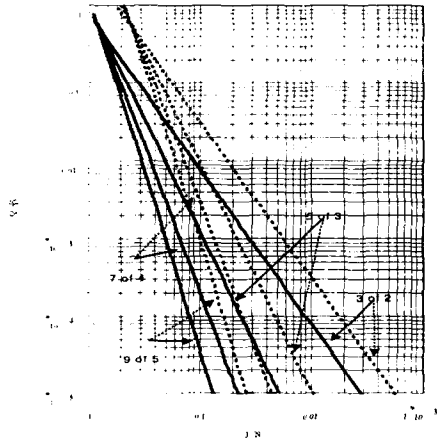


그림 3. 멀티 칩 전송 시 변조방식에 따른 J/N에 대한 오율

Fig. 3. Error rate versus fraction of channels J/N for modulation methods in multi chip transmission

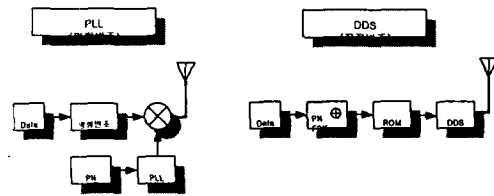


그림 4. 변조방식에 따른 대역폭
Fig. 4. Bandwidth of modulation method

IV. DDS의 동작

위상 누적기(Phase Accumulator)로 주파수 제어 워드가 들어가서 0에서 N까지의 단위 스텝으로 카운팅하여 디지털 램프 파형을 재생한다. 그리고 카운터에 의해 생성된 각각의 카운터 값은 사인 파형의 샘플에 대응하는 값을 ROM으로부터 얻는데 이용된다. ROM의 이산적인 출력 값을 DAC(Digital to Analog Converter)를 거쳐 아날로

그 형태로 변환되며, 고차주파수 성분을 억압하기 위해 필터링한다.[2][3][6]

직접 디지털 주파수합성기(DDS)가 기존의 위상동기루프(PLL)에 비해 가지는 장점은 다음과 같다.

- 1) 아날로그 VCO를 사용하지 않고서, DDS는 매우 낮은 위상잡음. 거의 클럭과 같은 잡음.
- 2) DDS는 PLL에서와 같이 아날로그 레환 루프가 아니므로 매우 빠른 채널전환특성을 나타낸다.
- 4) DDS는 출력에서 연속적인 위상변화에 의한 채널전환이 가능하므로, 변조기에 따른 중요한 특성을 나타낸다.
- 5) DDS는 디지털영역에서 출력신호를 직접변조가 가능하다.

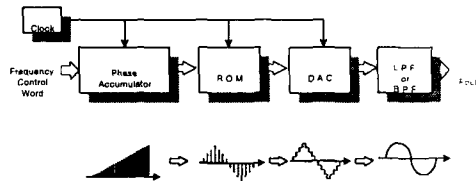


그림 5. DDS의 기본 블록 다이어그램
Fig. 5. Block diagram of DDS

다음의 그림은 DDS의 위상잡음을 분석한 것이다. 출력 주파수가 77.5MHz일 때 trace1은 DDS의 위상잡음 출력 값이며, trace2는 화이트 노이즈 레벨을 포함하는 DDS의 부가 위상 잡음, 그리고 DDS의 누화(degradation)를 포함하는 위상 잡음 출력 값이다. [3]

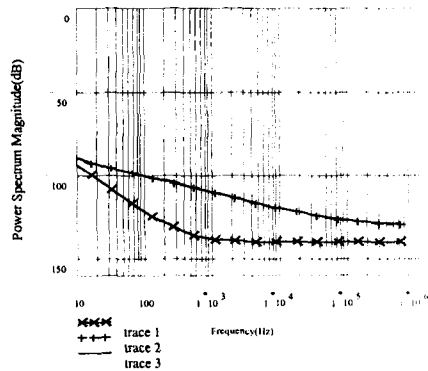


그림 6. DDS 출력의 위상 잡음
Fig. 6. Phase noise of DDS output

V. 주파수 합성기부 설계

그림 7은 DDS를 이용한 주파수도약 시스템 송신부의 주파수합성기의 기본적인 구성도이다. 먼저 12단의 선형 쉬프트 레지스터를 만든 다음 선형 쉬프트 레지스터에서 나온 신호를 ROM의 어드레스로 신호를 넣는다. ROM은 8bit 이며, 원하는 주파수와 스텝을 프로그래밍 하게 된다. 이것은 4개 사용하여 32비트의 데이터 출력을 얻게 된다. 이 데이터 신호는 DDS의 주파수제어(FC)단으로 들어가서 DDS의 출력 주파수를 제어하게 된다. 그리고 DDS로부터 나온 신호를 DAC를 사용하여 아날로그 신호로 출력하게 된다. 본 논문에서는 ROM에서의 주파수대역 프로그래밍을 중심 주파수를 77.5MHz, 대역폭은 5MHz로 하였다. 그리고 도약간격은 1.2kHz이며 도약 율은 1Mhps이다. DDS 소자로는 Q2240-3SI를 사용하였으며, DAC의 소자로는 AD9762를 사용하였다. Q2240-3SI는 32bit의 입력을 받아 위상 누적기로 입력되고, 다시 14bit의 출력을 ROM으로 입력하게 된다. 최종 출력으로 12bit의 디지털 신호가 나오게 된다. 이것은 12bit DAC소자에서 아날로그 출력으로 나오게 되며, 마지막으로 스퍼리어스를 제거하기 위하여 필터링 하게 된다.[2][7]

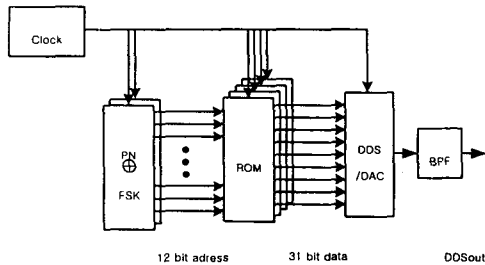


그림 7. DDS를 이용한 주파수합성기의 블록 다이어그램

Fig. 7. Block diagram of frequency synthesizer using DDS

VI. 성능 측정 및 평가

그림 8은 실제 제작한 시스템의 실험 사진이며, 그림 9는 100MHz의 주파수를 갖는 12단 PN 코드 발생기의 출력 신호이다. 그림 10은 DDS의 출력 신호를 스펙트럼 분석기로 측정된 값이며, 최대 출력 주파수는 100MHz이다. 87.5MHz의 주 신호이고 12.5MHz의 신호는 100MHz-87.5MHz의 1차 하모닉 성분이다. 25MHz, 37.5MHz 62.5MHz, 75MHz는 각각 2차, 3차, 4차, 5차 하모닉 성분이다. DDS에서는 어떤 하모닉이 발생하지 않는 클럭을 사용 하느냐가 매우 중요한 문제이다.

[2][3]

그림 11은 실제 제작한 주파수도약 주파수합성기의 출력이다. 중심 주파수는 77.5MHz이며 대역폭은 5MHz이다. 스퍼리어스 레벨은 -50dBc이다.

표 2. 실제 제작된 주파수도약 시스템 송신부 특성
Table 2. Characteristics of implemented the transmitter of FH system

파라미터	측정 값
중심 주파수	77.5MHz
대역폭	5MHz
채널 간격	1.2kHz
도약 율	1Mhop/sec
스퍼리어스 레벨	-50dBc
신호 평탄도(flatness)	±1dB

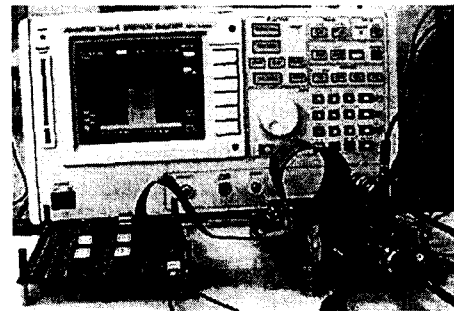


그림 8. 주파수 합성기 실험 사진
Fig 8. Picture of frequency synthesizer experimentation

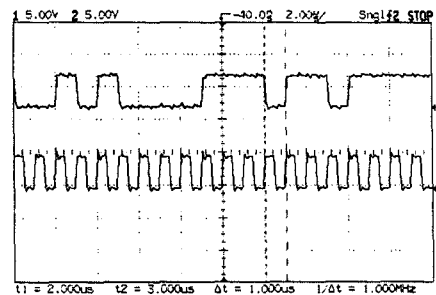


그림 9. PN코드 발생기의 출력과 클럭 신호
Fig. 9. Output of PN code generator clock and signal

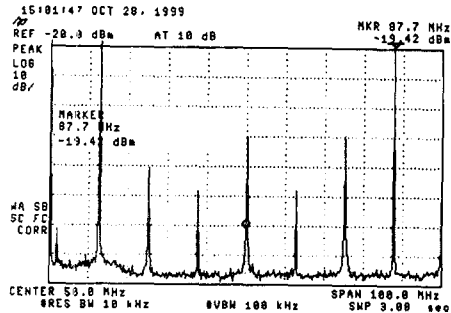


그림 10. 스펙트럼 분석기에 의한 DDS 출력 신호
Fig. 10. DDS signal output measured by spectrum analyzer

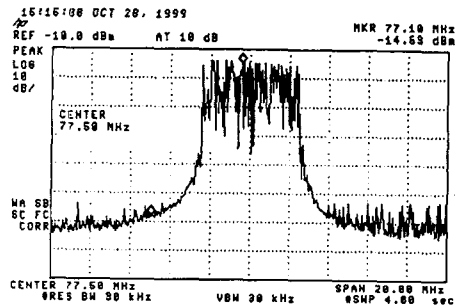


그림 10. 스펙트럼 분석기에 의한 주파수도약 신호
Fig. 10. Frequency hopping signal measured by spectrum analyzer

VII. 결론

주파수도약 시스템에서도 이동 통신의 추세에 따라 고속화 및 디지털화가 요구되고 있다. 무엇보다도 고속 주파수도약 시스템에서 중요한 것은 주파수합성기의 성능이다. PLL를 이용하여 고속 주파수도약 시스템을 설계하는 경우, PLL의 settling time의 설정과 요구되는 RF대역폭 등의 설계사양을 만족시키기가 어려우며 평형변조기 사용에 의한 회로의 복잡성으로 인한 제약이 따르게 된다. 그러므로 본 논문에서는 DDS를 이용하여 PLL이 가지는 단점을 극복하였다.

실제 제작한 DDS를 이용한 FFH/BFSK 시스템 송신부의 주파수합성기는 측정결과 중심 주파수가 77.5MHz, 대역폭이 5MHz, 도약율 1Mhps, 그리고 스퓨리어스 레벨은 -50dBc이다.

이러한 결과는 DDS가 디지털 소자이기 때문에 가능한 결과이며, 또한 위상동기루프와 달리 소프

트웨어적으로 DDS의 출력 주파수 범위내에서 주파수대역 및 주파수 간격 등의 파라미터를 ROM의 프로그래밍에 의하여 손쉽게 조절이 가능하다. 또한 고속의 채널 전환 특성과 직접변조에 의하여 사이드 로브가 발생하지 않는 점들은 결국 재밍 마진의 증가로 인한 오율의 성능향상을 가져왔다.

본 논문은 고속 주파수 도약 시스템의 송신부에 국한되나 향후 수신부의 제작 및 성능평가 연구가 요구되며, 이를 고속 주파수도약 시스템 분야 뿐 아니라 여러 이동통신 분야에서도 DDS를 이용한 응용이 가능할 것으로 기대된다.

참고문헌

- [1] R. C. Dixon, "Spread Spectrum Systems", New York : John Wiley & Sons, Inc., 1984.
- [2] QUALCOMM ASIC, "Synthesizer Products Data Book", QUALCOMM 8, 1997.
- [3] Venceslav F. Koupa, "Direct Digital Frequency Synthesizers", IEEE Press, 1998.
- [4] J. G. Proakis, "Digital Communication - Third Edition", McGraw-Hill, 1995.
- [5] M. V. Hegde and W. E. Stark, "On the Error Probability of Coded Frequency-Hopped Spread-Spectrum Multiple-Access Systems", IEEE Trans. Commun., vol. 38, no. 5, pp.571-573, May 1990.
- [6] Bar-Giora Goldberg, "Digital Frequency Synthesis Demystified", LLH Technology Publishing, 1999
- [7] Analog Device, "AD9762 Data Sheet", Analog Device Inc., 1999
- [8] M. V. Hegde and W. E. Stark, "Capacity of Frequency-Hop Spread-Spectrum Multiple-Access Communication Systems", IEEE Trans. Commun., vol. 38, no. 7, pp.1050-1059, July 1990.
- [9] R. Agusti, "On the Performance Analysis of Asynchronous FH-SSMA Communications", IEEE Trans. Commun., vol. 37, no. 5, pp. 488-499, May 1989.
- [10] Alex W. Lam and Sawasd Tantaratana "Theory and Applications of Spread-Spectrum System", pp. 62-75, May 1994.
- [11] B. Sklar, "Digital Communications", Prentice Hall, 1988.
- [12] J. R. Alexovich and R. M. Gagliardi, "Effect of PLL Frequency Synthesizer in FSK Frequency-Hopped Communications", IEEE Trans. Commun., vol. COM-37, no. 3, pp. 268-276, March 1989.