

ESD 시뮬레이션과 TLP 측정해석을 위한 TCAD calibration methodology 개발

염 기 수

대전산업대학교 정보통신·컴퓨터공학부

Development of TCAD calibration methodology for ESD simulation and TLP measurement analysis

Keesoo Yeom

Division of Information Communication & Computer Engineering

Taejon National University of Technology

E-mail : ksyoom@hyunam.tnut.ac.kr

요 약

ESD(Electro-Static Discharge) 보호회로용 nMOSFET에 대하여 TCAD 시뮬레이션을 수행하기 위한 새로운 parameter calibration 방법론을 제안하였다. ESD 특성 측정방법의 하나인 TLP (Transmission Line Pulsing) 측정을 이용하는 경우, ESD 입력에 대하여 시간변화에 따른 소자의 특성을 파악할 수 있기 때문에 최근 많은 관심을 받고 있다. 본 논문에서는 TLP 측정의 해석방법과 TCAD simulation, 그리고 parameter calibration의 방법론을 제시하였다.

ABSTRACT

New methodology of parameter calibration is proposed for TCAD simulation of nMOSFET in ESD (Electro-Static Discharge) protection circuits. Recently, TLP(Transmission Line Pulsing) measurement has received great interest due to the ability of analyzing device characteristics when ESD pulse is applied to the ESD protection circuits. This paper describes new methodology of analyzing TLP measurement, TCAD simulation, and parameter calibration.

1. 서 론

집적기술의 발달에 따라 정전기 방전(ESD; Electro-Static Discharge)에 대한 보호회로의 중요성이 강조되는 추세이다. ESD는 정전기의 방전현상을 통칭하며 이 파괴현상의 발생 원리가 개략적으로 알려지면서 ESD로부터의 소자 보호는 IC 설계의 중요한 해결과제로 인식되고 있다 [1]. ESD에 의한 파괴현상은 상황에 따라 여러 가지 형태로 발생할 수 있으며, 전반적인 전자장비에서 광범위하게 사용되고 있는 VLSI 반도체 칩에서 특히 중요한 문제가 된다. 이는 CMOS 기술을 이용하는 VLSI 칩에서 MOS 트랜지스터 형성시 사용되는 절연층의 두께가 얇아짐에 따라 정전기에

의해 절연층에 인가되는 전계의 세기가 증가하게 되어 더욱 문제시되고 있다.

ESD로부터 칩을 보호하기 위해서는 (1) 모든 방전 경우에 대응할 수 있는 방전 경로가 칩 내부에 제공되어야 하며, (2) 방전 경로가 순간적인 방전 전류를 흘리기에 충분히 견고해야 한다. ESD 소자로는 다이오드와 nMOSFET 트랜지스터가 주로 사용되어 왔다. 보통 CMOS IC 칩에서는 ESD에 견고한 nMOSFET 트랜지스터를 설계하여 구동 트랜지스터 및 ESD 소자 공통으로 사용하는 것이 일반적인 추세이다.

본 보고서에서는 0.18 μ m ASIC 공정의 정전기방전 보호회로 적용을 위한 nMOSFET 공정 및 소자에 대한 TCAD(Technology Computer Aided

Design) 파라미터 calibration 방법론을 제시하고 소자 설계상의 지침을 제공하였다.

II. ESD(Electro-Static Discharge) 보호회로

ESD는 EOS(Electrical Over-Stress)의 광범위한 stress 중 100ns 내에서 일어나는 전기적 과도현상으로서 고밀도 집적회로의 신뢰성을 저해하는 주요인이다. 이러한 ESD 충격으로부터 회로를 보호하기 위해서는 제조 당시의 주변환경도 중요하지만 IC 자체에 효과적인 전용보호회로를 포함시키는 것도 매우 중요하다. ESD 보호회로의 개념도와 요구되는 I-V 조건을 그림 1에 나타내었다.

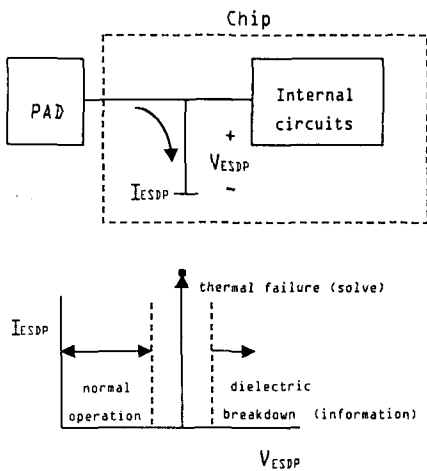


그림 1. ESD 보호회로의 개념도와 요구되는 I-V 특성.

ESD 보호회로로서 동작하기 위해서는 (1) pad에 정상적인 동작전압(예를 들면, 0.18um logic의 경우 0 또는 1.8V)이 걸릴 경우 ESD 보호회로에 전류가 흐르지 않아 보호회로 소자가 동작하지 않도록 해야 하고 (2) pad에 ESD 신호가 걸릴 경우 내부회로 입력단이 dielectric breakdown이 되지 않도록 하기 위해 ESD 보호소자의 triggering 전압은 일정 전압 이상이 걸리지 않도록 해야 하며 (3) ESD 소자의 holding 전압은 정상적인 동작전압 이하로 떨어지지 않도록 하며 (4) ESD 전류가 접지를 통해 빠져나가도록 하기 위해 ESD 회로에 큰 전류가 흐를 수 있는 능력, 즉 큰 current handling capability를 가져야 한다. ESD 보호회로가 처리할 수 있는 능력 이상의 신호가 pad에 걸릴 때, ESD 소자는 큰 전류밀도로 인하여 thermal failure가 일어나게 된다. Thermal failure는 ESD 입력에 의한 큰 전류가 ESD 소자에 흐를 때 Joule heating에 의한 실리콘의 격자온도가 일정 값 이상으로 증가하여 발생한다. 이

과정은 (1) 전류의 증가, (2) 전류에 의한 Joule heating, (3) heating에 의한 격자온도 증가, (4) 온도 증가에 따른 intrinsic concentration (ni) 증가, (5) 저항도 감소, (6) 전류의 증가로 이어지는 positive feedback이다. 반면 ESD 보호회로에 걸리는 전압은 그 다음 단인 내부회로의 입력단에 걸리게 되고 일정 전압을 넘게 되면 내부회로에 dielectric breakdown이 일어난다. ESD에 대한 TCAD 시뮬레이션에서는 현재 dielectric breakdown 현상에 대한 적절한 모델을 갖고있지 못하므로 주로 ESD 보호회로 소자에 대한 thermal failure를 다루게 된다. 따라서 TCAD를 이용한 ESD 소자분석은 thermal failure에 한정되며 dielectric breakdown에 대해서는 다음 단 입력에 어느 정도의 전계가 걸리는지에 대한 정보만을 알 수 있다.

0.18um ASIC ESD 보호회로는 gate grounded CMOS 형태이며 그림 2에 나타내었다.

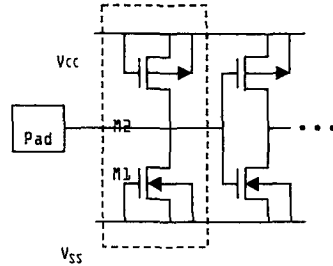


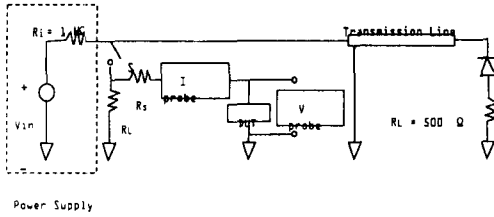
그림 2. 0.18um ASIC ESD 보호회로.

Pad에 negative ESD pulse가 인가될 때 nMOSFET의 drain bulk junction은 순방향이 되므로 순방향 바이어스에서의 diode 특성에 의해 큰 ESD 전류에 대한 경로를 만들어줄 수 있다. 반면, positive ESD pulse가 인가되면 nMOSFET의 drain 쪽에서 impact ionization이 발생하고 그에 이은 기생 BJT가 동작하여 ESD 전류에 대한 경로를 만들어 준다. 동작전압 하에서는 V_{GS}가 V_T(threshold voltage)보다 작으므로 leakage 전류를 제외하면 전류 경로를 닫아 내부회로 동작에 영향을 미치지 않는다.

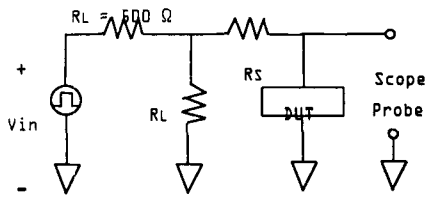
III. TLP 측정과 소자 시뮬레이션

기존에 많이 사용되던 ESD 특성 측정방법으로는 HBM(Human Body Model) pulse, MM(Machine Model) pulse, CDM(Charged Device Model) pulse 등을 소자에 가하고 그 결과를 보는 방법이었다. 이런 측정방법은 정해진 기준에 대한 성공/실패만을 판정할 뿐 소자의 동작 특성을 파악하는데 한계가 있는 단점이 있다. 이에 반해 최근의 TLP(Transmission Line Pulse) 측정방법은 소자의 특성을 시간변화에 대해 파악할 수

있기 때문에 많은 관심을 받고 있다. 그림 3은 TLP 측정 set-up과 등가회로를 나타내고 있다.



(a) TLP 측정의 장비 setup.



$$I_{dev} = \frac{V_{in} - 2V_{dev}}{R_L + 2R_S}$$

(b) TLP set-up의 등가회로.

그림 3. TLP 측정 setup과 등가회로.

전원을 가하여 전하를 transmission line에 모은 후 스위치를 바꾸어 DUT(Device Under Test)로 흘러들어가게 한다. 이 때의 인가신호는 square pulse이며 펄스의 크기와 길이에 있어서 조절이 용이하다. 인가된 square pulse에 대해 시간변화에 따른 소자의 전압과 전류 특성을 측정할 수 있으므로 thermal failure를 겪기 전의 소자에서의 ESD 특성을 파악할 수 있다.

IV. 공정 및 소자 파라미터 calibration

ESD 소자에 대한 calibration은 다른 소자와 마찬가지로 공정과 소자 파라미터 calibration으로 나누어 생각해볼 수 있다. ESD 현상은 impact ionization에 의한 기판전류와 그에 따른 bulk에서의 전압강하, triggering 등을 설명해야 하므로 트랜지스터 뿐만 아니라 well contact까지의 well 저항이 고려되어야 한다. 따라서 well을 포함한 전체 구조에 대한 해석이 필요하다. 그러나 공정 파라미터 calibration의 경우 저전계에서의 소자 특성인 V_T , DIBL(Drain Induced Barrier Lowering)에 대하여 calibration이 이루어지므로 시간이 많이 걸리는 well 구조를 포함하는 것은 효율적이지 못하다. 따라서 저전계 특성인 V_T , DIBL에 대한 공정 파라미터 calibration은 트랜지스터만 고려하고 고전계 특성인 impact ionization에 대한 소자 파라미터 calibration은 well을 포함한 전체 구조를 고려하는 것이 좋다. 공정 파라미터 calibration을 통해 V_T , DIBL 특성을 잘 구현한다면, 소자 구조와 doping profile이 잘 맞다고 가정하고 소자 시뮬레이션을 이용 ESD 소자특성에 중요한 carrier lifetime과 impact ionization 계수를 맞추어야 한다. 소자 시뮬레이션은 DC 시뮬레이션과 시간변화에 따른 시뮬레이션(TLP simulation) 두가지로 나누어 볼 수 있는데 두가지 방법 모두 carrier lifetime과 impact ionization이 중요한 계수라고 볼 때, DC simulation에서 계수를 calibration하고 TLP simulation에 그대로 적용할 수 있다고 추정해볼 수 있다. 따라서 공정 파라미터 calibration이 완료된 소자에 대하여 leakage 전류와 impact ionization에 의한 전류의 증가에 대한 측정치를 이용, 소자에 대한 DC 시뮬레이션을 통해 carrier lifetime과 impact ionization 계수를 calibration하고 TLP 시뮬레이션을 적용하는 것이 효율적이다. 이러한 방법의 ESD nMOSFET에 대한 공정/소자 파라미터 calibration에 대한 흐름도를 그림 3-1에 나타내었으며 크게 (1) 공정, (2) 소자(DC), (3) 소자(TLP)의 세 단계로 나누어 볼 수 있다.

zation에 대한 소자 파라미터 calibration은 well을 포함한 전체 구조를 고려하는 것이 좋다. 공정 파라미터 calibration을 통해 V_T , DIBL 특성을 잘 구현한다면, 소자 구조와 doping profile이 잘 맞다고 가정하고 소자 시뮬레이션을 이용 ESD 소자특성에 중요한 carrier lifetime과 impact ionization 계수를 맞추어야 한다. 소자 시뮬레이션은 DC 시뮬레이션과 시간변화에 따른 시뮬레이션(TLP simulation) 두가지로 나누어 볼 수 있는데 두가지 방법 모두 carrier lifetime과 impact ionization이 중요한 계수라고 볼 때, DC simulation에서 계수를 calibration하고 TLP simulation에 그대로 적용할 수 있다고 추정해볼 수 있다. 따라서 공정 파라미터 calibration이 완료된 소자에 대하여 leakage 전류와 impact ionization에 의한 전류의 증가에 대한 측정치를 이용, 소자에 대한 DC 시뮬레이션을 통해 carrier lifetime과 impact ionization 계수를 calibration하고 TLP 시뮬레이션을 적용하는 것이 효율적이다. 이러한 방법의 ESD nMOSFET에 대한 공정/소자 파라미터 calibration에 대한 흐름도를 그림 3-1에 나타내었으며 크게 (1) 공정, (2) 소자(DC), (3) 소자(TLP)의 세 단계로 나누어 볼 수 있다.

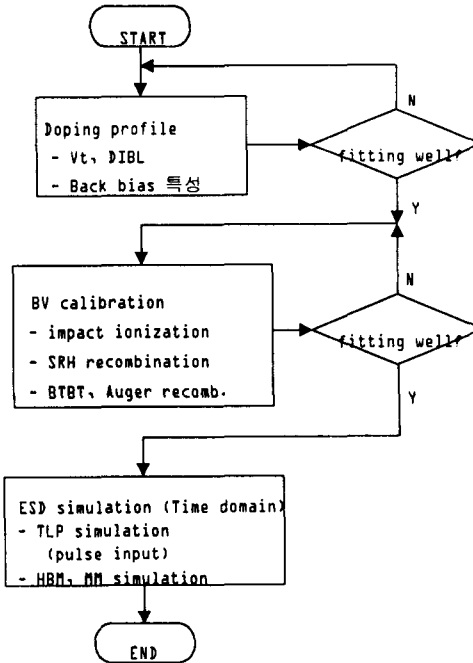


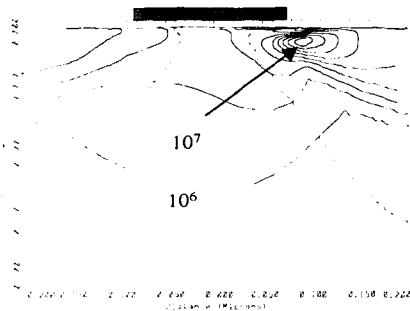
그림 4. ESD 소자에 대한 공정/소자 calibration 흐름도.

V. 소자 시뮬레이션

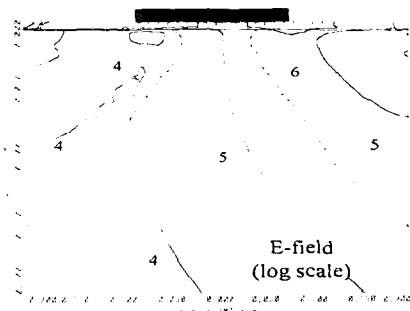
전절에서 설명한 방법으로 0.18 μm ASIC 소자에 대한 공정 및 소자 calibration을 수행한 후 ESD 소자에 대한 TLP 시뮬레이션을 하였다. TLP 시뮬레이션은 실제 ESD pulse와 유사한 square pulse에 대한 소자 특성을 보여주며 ESD 특성을 시간 변화에 따라 알려주는 TLP 측정과 직접 비교할 수 있으므로 가장 중요한 것이며 시뮬레이션 결과 중에서 중요한 결과들을 살펴보기로 한다.

■ Thermal failure에서 소자 내부의 물리적 특성

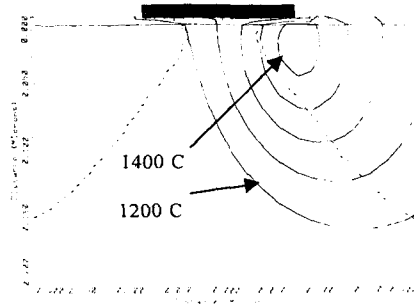
Thermal failure에 들어간 소자 내부의 물리적 특성들을 살펴보기로 한다. 소자는 0.18 μm nMOSFET, TLP pulse는 300ns, 1A이다. 그림 5는 TLP pulse가 인가되고 300 ns가 지난 후, 위에서 적용한 세가지 thermal failure 기준을 모두 넘은 상태에서의 전류밀도, 전기장, 격자온도, n_i 를 나타낸 것이다.



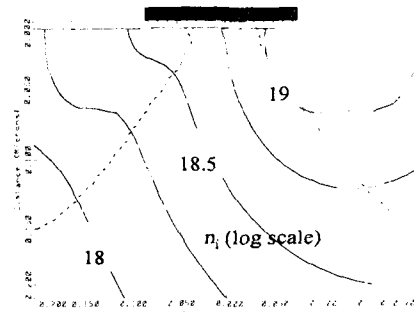
(a) 전류밀도.



(b) 전기장.



(c) 격자온도.



(d) n_i .

그림 5. TLP 시뮬레이션 결과.

전류밀도(current density)는 gate edge 부분에서 가장 크게 나타나는데, 이는 (1) base(MOSFET의 bulk)에서 collector(MOSFET의 drain)로 흘러들어가는 전자가 전계에 의한 drift 전류로 넘어가며 (2) drain gate 사이에 큰 전계가 걸리기 때문으로 보인다. 격자온도는 Joule heating($J \cdot E$)에 의해 증가하므로 전계의 크기가 작은 source 쪽은 큰 증가를 보이지 않으며 drain 쪽의 gate edge 부분에서 크게 증가하는 것을 볼 수 있다. 격자온도에 의해 결정되는 n_i 도 비슷한 경향을 보인다. 따라서 thermal failure는 drain LDD 부분에서 발생하게 된다.

■ STI 깊이의 영향

STI (Shallow Trench Isolation)의 깊이는 bulk 저항과 관련이 있다. STI가 깊어질수록 bulk 저항의 단면적이 좁아지므로 저항이 증가하고 triggering이 빨리 일어날 수 있다. 실제 소자에서 STI 깊이가 ESD 특성에 미치는 영향을 알아보기 위하여 3500Å의 STI 깊이를 갖는 구조와 STI가 없

는 소자 구조에 대해서 소자 시뮬레이션을 하고 그 I-V 결과를 그림6에 나타내었다.

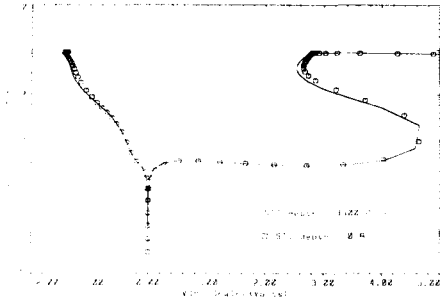


그림 6. STI 깊이 변화에 따른 ESD 특성.

인가된 TLP pulse는 300ns, +1A와 300ns, -1A 두 가지이다. 그림에서 보는 바와 같이 STI 깊이 변화에도 불구하고 ESD 소자 특성에는 별다른 변화가 없다. Bulk 저항이 없는 트랜지스터와 비교하여 저항이 있는 경우 triggering이 빨라지지만 어느 정도 이상의 bulk 저항에 대해서는 차이가 크지 않음을 알 수 있다. 실제 소자에서의 경우에서의 bulk 저항(well 저항)은 ESD 특성에 거의 영향이 없는 값으로 보인다.

■ DCGS(Drain Contact to Gate Spacing)의 영향

DCGS는 R_{sb} 과 V_{sb} (snapback voltage)에 영향을 준다. 큰 DCGS 값은 R_{sb} 를 증가시켜서 큰 전류가 흐를 때 저항에 의한 전압강하에 의하여 저항 성분을 뺀 intrinsic 소자에 보다 작은 전압을 건 것과 같은 효과를 준다. 따라서 design rule이 허용하는 한, ESD용 MOSFET는 큰 DCGS를 갖는 것이 좋다. 그림 7에 DCGS가 0.225 μ m인 nMOSFET과 DCGS가 1.0 μ m인 소자 구조에 대한 TLP 시뮬레이션 결과를 나타내었다.

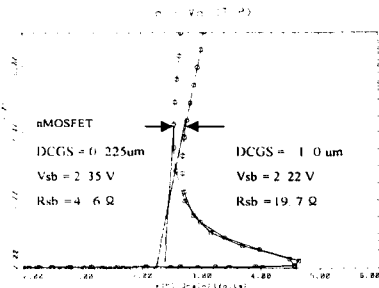


그림 7. DCGS 변화에 따른 TLP 시뮬레이션.

그림에서 보는 바와 같이 DCGS의 증가로 인하여 V_{sb} 를 0.07V 줄이고 R_{sb} 를 3배 정도 증가시키는 효과를 얻을 수 있었다. 뿐만 아니라 T_{max} 의 증가를 지연시키는 효과도 관찰할 수 있었다. 이와 같이 DCGS는 공정과 독립적이면서도 ESD 소자 특성을 결정하는 중요한 파라미터이며 ESD 소자 설계시 반드시 고려해야 한다.

V. 결 론

본 논문에서는 ESD 소자의 TCAD calibration 방법론과 소자의 ESD 특성 및 해석방법에 대하여 알아보았으며 0.18 μ m logic nMOSFET를 대상으로 TLP 시뮬레이션을 수행하였다. TLP 측정결과와 비교하여 (1) thermal failure에 대한 정확한 정의, (2) 소자가 impact ionization 영역에 도달하기까지의 transient 특성, (3) mobility의 온도의존성, (4) power-to-failure vs. time-to-failure 특성에 대한 정보 및 시뮬레이션과의 비교가 가능하다.

참고문헌

- [1] J. K. Keller, "Protection of MOS integrated circuits from destruction by electrostatic discharge," EOS/ESD Symposium Proc., 1980.
- [2] *Medici users manual version 2.3*, Technology Modeling Associates, Inc., Feb., 1997.
- [3] S. M. Sze, *Physics of Semiconductor Devices*, 2nd Ed., John Wiley & Sons, Inc., pp. 105, 1981.
- [4] C. Fiegna, F. Venturi, E. Sangiorgi, and B. Ricco, "Efficient non-local modeling of the electron energy distribution in sub-micron MOSFETs," IEDM Dig. Tech., pp. 451-454, 1990.
- [5] J. W. Slotboom, G. Streutker, M. J. v. Dort, P. H. Woerlee, A. Pruijboom, and D. J. Gravesijn, "Non-local impact ionization in silicon devices," IEDM Dig. Tech., pp. 127-130, 1991.
- [6] *MINIMOS 6.0 users manual*, Institute of Microelectronics at Technical University of Vienna, Ch. 2, Oct, 1994.
- [7] J. W. Slotboom, G. Streutker, G. J. T. Davids, and P. B. Hartog, "Surface impact ionization in devices," IEDM Dig. Tech., pp. 494-497, 1987.
- [8] S. G. Beebe, *Characterization, modeling, and design of ESD protection circuits*, Technical report No. ICL94-038, Stanford University, 1994.