

채널 길이에 따른 n-채널과 p-채널 poly-Si TFT's의 전기적 특성 분석

백희원¹, 이제혁¹, 임동규¹, 김영호²
수원대학교 공과대학 전자재료공학과

Analysis of the Electrical Characteristics with Channel Length in n-ch and p-ch poly-Si TFT's

Hee-Won Back, Jea-Huck Lee, Dong-Gyu Lim, Young-Ho Kim
Dept. of Electronic Materials Engineering, Suwon University

Abstract - 채널길이에 따른 n-채널과 p-채널 poly-Si TFT's를 제작하고 그 전기적 특성을 분석하였다. n-채널과 p-채널소자는 공통적으로 기생바이폴라트 랜지스터현상(parasitic bipolar transistor action)에 의한 kink 효과, 전하공유(charge sharing)에 의한 문턱전압의 감소, 소오스와 드레인 근처의 결함에 의한 RSCE(reverse short channel effect) 효과, 수직 전계에 의한 이동도의 감소, 그리고 avalanche 증식에 의한 S-swing의 감소가 나타났다. n-채널은 p-채널보다 더 큰 kink, 이동도, S-swing의 변화가 나타났으며, 높은 드레인 전압에서의 문턱전압의 이동은 avalanche 증식(multiplication)에 의한 것이 더 우세한 것으로 나타났다. 누설전류의 경우, 채널 길이가 짧아짐에 따라 n-채널은 큰 증가를 나타냈으나 p-채널의 경우는 변화가 나타나지 않았다.

1. 서 론

전기적 이동도가 높은 다결정 실리콘 박막 트랜지스터(poly-Si TFT's)는 비정질 실리콘(a-Si) 보다 동일한 기판에 LCD 구동 회로를 접적 할 수 있어, 휴대용 디스플레이 구동소자로 최근에 많은 연구가 진행되어지고 있다. 휴대용 디스플레이 소자에서 요구되어지는 저 소비 전력화, 소형화, 우수한 전기적 특성 및 LCD의 개구율을 높이기 위해서는 소자의 크기가 작아져야만 한다. 그러나 소자의 크기가 작아짐에 따라 문턱전압의 감소 등 원하지 않는 단채널효과가 나타나게 되어 소자의 응용에 있어서 제한 요소로 작용하게 된다. 따라서 본 연구에서는 quartz 기판 위에 poly-Si TFT's를 채널길이 변화에 따라 제조하였고, 채널길이에 따른 poly-Si TFT's의 전기적 특성을 측정 및 분석하였다.

2. 실험 방법

LPCVD(low-pressure chemical vapor deposition) 방법으로 550°C에서 500Å 두께의 실리콘 박막을 quartz 기판 위에 증착하여 활성층으로 사용하였다. 이 때 반응 가스로는 가장 많이 쓰이는 SiN₄를 사용하였으며, 증착시 진공도는 0.3Torr, SiN₄ 유입량은 60scm³(standard cubic centimeter), 증착률은 34Å/min로 유지하였다. Si 이온을 35keV, $1.1 \times 10^{15}/\text{cm}^2$ 의 조건으로 실리콘 박막에 이온 주입시켰으며 증착된 비정질 실리콘을 고상결정화(solid phase crystallization, SPC) 방법으로 열처리(580°C, 48hrs)하여 다결정 실리콘으로 고상결정화 시킨 후 active mask를 이용하여 활성영역 층을 정의하고 전식 식각 방법으로 다결정 실리콘 박막을 식각 하였다. 게이트 산화막은 열산화 방법으로 950°C에서 1000Å 성장시키고 poly-Si 게이트 전극을 LPCVD 방법을 사용하여 560°C에서 1500Å 두께로 증착한 후 게이트 mask를 사용하여 게이트 영역층을 정의하였다. n⁺와 p⁺의 소오스, 드레인 영역을 형성하기 위해 $3 \times 10^{15}/\text{cm}^2$ 과 $2 \times 10^{15}/\text{cm}^2$ 의 95keV의 조건으

로 n⁺이온 및 p⁺이온을 소오스, 드레인, 게이트 영역에 이온 주입하였으며 LPCVD 방법으로 순수 SiO₂ 막을 3500Å 두께로 증착시켰다. Contact mask를 이용하여 소오스, 드레인, 게이트 접촉점을 정의한 후 실리콘 1% 험유된 알루미늄을 DC magnetron sputtering 방법으로 전극을 증착하였다. Metal mask를 사용하여 전극을 형성하고 450°C에서 1시간 동안 alloying하여 채널 폭이 50μm과 100μm이고 다양한 채널 길이(2μm~50μm)을 갖는 n-채널, p-채널 다결정 실리콘 박막 트랜지스터를 제작하였다. 제작된 소자는 HP4156을 사용하여 각 채널길이에 따라 측정하였고 parameter(V_{th} , g_m , S-swing)값을 추출하였다.

3. 결과 및 고찰

그림 1은 채널 폭이 50μm인 n-채널과 p-채널소자의 채널 길이에 따른 $I_{DS}-V_{DS}$ 특성곡선을 나타낸 그림이다. 그림에서 보는 바와 같이 n-채널과 p-채널 모두 kink 효과가 나타나고, 채널 길이가 짧을수록 더 작은 드레인 전압에서 kink 효과가 나타나는 것을 알 수 있다. 채널 길이가 4μm이고, $V_{GS} = 3V$ 일때의 n-채널소자 경우

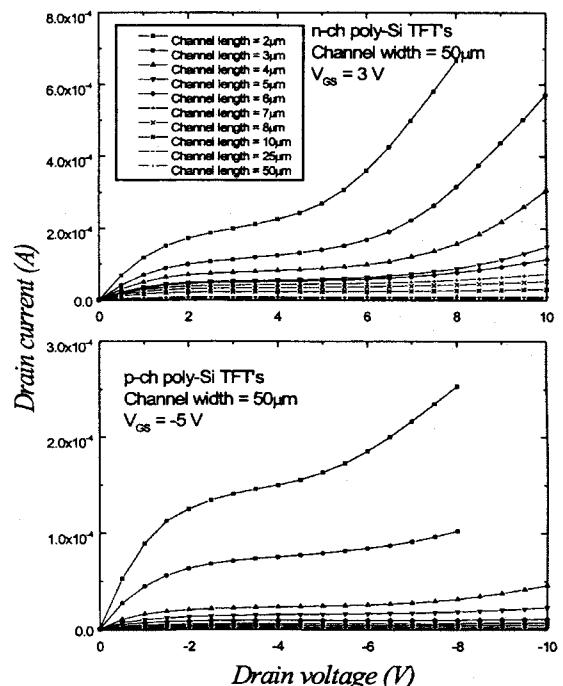


그림 1. $V_{GS} = 3V, -5V$ 일때의 n-채널과 p-채널소자
의 채널길이에 따른 $I_{DS}-V_{DS}$ 특성곡선

드레인 전압이 약 8V 정도에서 kink 효과가 나타났다. 반면에 채널 길이가 4μm인 p-채널의 경우 $V_{GS} = -5V$ 임에도 불구하고 드레인 전압이 -8V일 때 아직 kink 효과가 확실히 나타나지 않았다. 따라서 캐리어의 이동도가 큰 n-채널이 p-채널 보다 더 작은 드레인 전압에서 더 큰 kink 효과가 나타나는 것을 알 수가 있다. 이러한 kink 효과는 충돌전리(impact ionization)나 avalanche 증식에 의한 기생바이폴라현상으로, 채널 길이가 짧아지거나 드레인 전압이 증가함에 따라 이러한 기생바이폴라 현상이 더 커짐을 알 수가 있다.

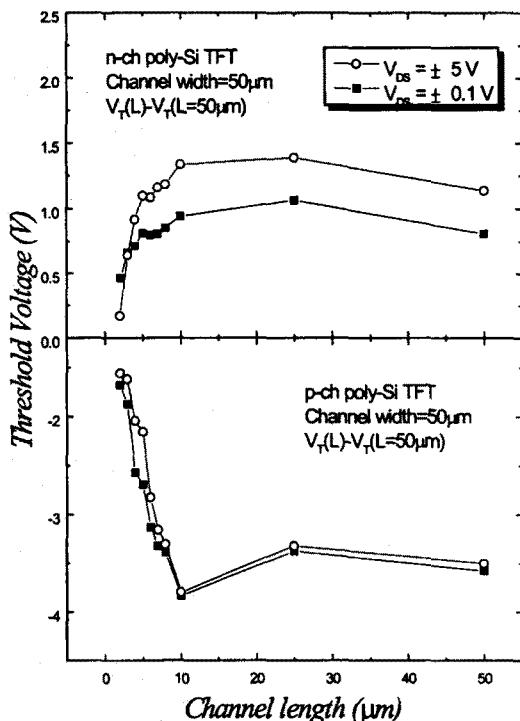


그림 2. $V_{DS} = \pm 1, \pm 5V$ 일 때 n-채널과 p-채널 소자 채널 길이에 따른 문턱전압 값

그림 2는 $V_{DS} = \pm 1, \pm 5V$ 일 때의 n-채널과 p-채널 소자의 채널 길이에 따른 문턱전압의 값을 나타낸 그림이다. 문턱전압은 일정전류법을 사용하여 구하였다. 그림에서 보는 바와 같이 문턱전압은 채널 길이가 짧아짐에 따라 급격한 감소를 나타내었다. 이것은 소오스와 드레인의 공핍층에 의하여 발생하는 전하공유에 의한 것으로 수식은 다음과 같다.⁽¹⁾

$$\Delta V_{T_{sc}} = \frac{qN_{sub}d_{max}r_j \sqrt{1 + \frac{2d_{max}}{r_j}} - 1}{C_{ox}L}$$

여기서, d_{max} 는 소오스와 드레인의 채널내 최대 공핍층 폭이고, r_j 는 소오스와 드레인의 접합 깊이, L 은 채널의 길이이다. 그림 3은 $V_{DS} = \pm 1, \pm 5V$ 일 때의 n-채널과 p-채널 소자의 채널길이의 역수에 따른 문턱전압의 변화량을 나타낸 그림으로, 문턱전압의 변화량은 채널의 역수에 선형적으로 비례하여 어느 정도 위의 수식과 일치한다는 것을 알 수가 있다. 그러나 그림 2와 3에서 p-채널 소자는 n-채널 소자에서는 드레인 전압이 0.1V에서 5V로 커지고 채널길이가 짧아짐에 따라 더 큰 문턱전압의 감소를 나타내었다. n-채널의 경우, 높은 드레인 전압에 의한 문턱전압의 큰 변화는 드레인 전압이 커짐에 따라 드레인의 공핍층의 확대에 의한 것보다, 충돌전리나 avalanche 증식⁽²⁾에 의한 것이 더 우세한 것

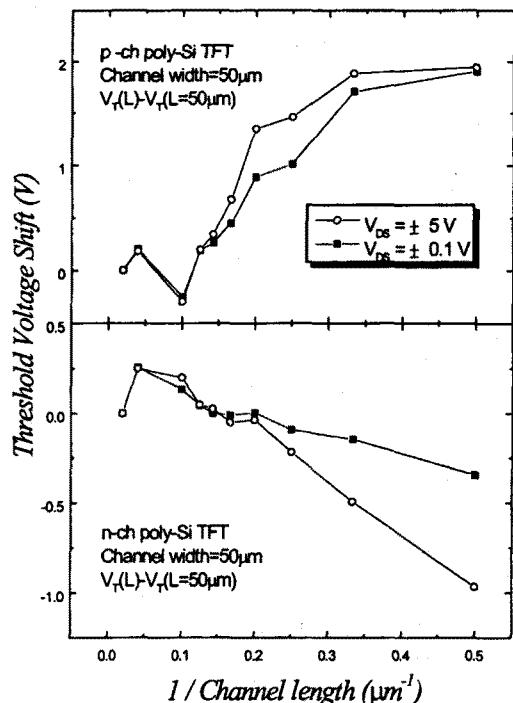


그림 3. $V_{DS} = \pm 0.1V, \pm 5V$ 일 때 n-채널과 p-채널 소자의 채널길이의 역수에 따른 문턱전압의 변화량

으로 사료된다. 또한 n-채널과 p-채널에서 채널길이가 감소함에 따라 문턱전압이 감소하기 전에 먼저 증가하는 RSCE가 나타났다. 이것은 일반 MOS 소자에서 소오스와 드레인의 implant 공정에 의해 채널 끝 부분의 결합이 발생하고, 이러한 결합으로 인하여 boron이 확산⁽³⁾하여 문턱전압의 증가를 나타내는 것과 비슷한 현상이다. Poly-Si TFT's에서는 intrinsic 기판을 사용함으로

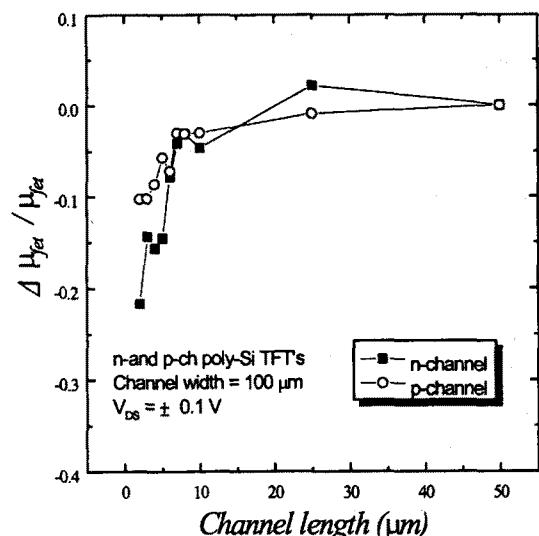


그림 4. 채널 폭이 100μm이고, $V_{DS} = \pm 0.1V$ 일 때 n-채널과 p-채널 소자의 채널길이에 따른 이동도의 변화량

boron과 같은 dopant를 가지고 있지 않으나 소오스와 드레인의 implant 공정에 의한 결합이 발생하게 된다. 따라서 채널길이가 짧아짐에 따라 이러한 결합의 영향은 커지게 됨으로서 문턱전압의 값은 증가하게 되는 것으로 사료된다.

그림 4는 채널 폭이 $100\mu\text{m}$ 인 n-채널과 p-채널소자의 $V_{DS} = \pm 1\text{V}$ 일 때 채널 길이에 따른 이동도의 변화량을 나타낸 그림이다. 그림에서 보는 바와 같이 채널 길이가 줄어듬에 따라 이동도가 작아지는 것을 알 수가 있다. 이것은 MOS 소자의 캐리어가 기판의 표면영역(채널)을 따라 흐르기 때문에 나타나는 현상으로, 수직전계가 일정한 값 이상 커짐에 따라 캐리어는 더욱 더 표면을 따라 흐르게 되고, 더 큰 scattering이 발생하여 결국 이동도는 줄어들게 된다. 따라서 그림 4에서 보는 바와 같이 채널 길이가 짧아짐에 따라 수직 전계는 더욱 더 커지게 되어 이동도가 줄어드는 것을 알 수가 있고, 변화량은 이동도가 큰 n-채널소자가 p-채널소자보다 더 크게 나타났다.

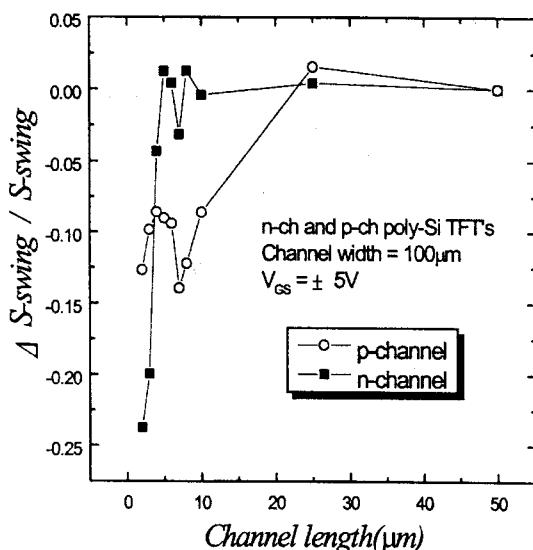


그림 5. 채널 폭이 $100\mu\text{m}$ 이고, $V_{DS} = \pm 5\text{V}$ 인 n-채널 p-채널소자의 채널 길이에 따른 S-swing의 변화량

그림 5는 채널 폭이 $100\mu\text{m}$ 인 n-채널과 p-채널소자의 $V_{GS} = \pm 5\text{V}$ 일 때 채널 길이에 따른 subthreshold swing, S_t 값을 나타낸 그림이다. 그림에서 보는 바와 같이 n-채널과 p-채널 모두 S_t 값은 감소하여, 일반적인 MOS 소자의 채널길이 감소에 따른 S_t 값의 증가(subsurface punchthrough 현상)와는 반대되는 결과가 나타났다. 이것은 일반적인 MOS 소자가 subsurface punchthrough⁽⁴⁾가 발생되는 채널길이($L \leq 2\mu\text{m}$)만큼 poly-Si TFT's가 충분히 작지 않기 때문으로 사료된다. n-채널이 p-채널보다 더 큰 감소량을 보였는데, 이것은 off 상태에서 게이트 전압이 증가하여 캐리어가 이동하기 시작할 때 드레인 전압에 의한 캐리어의 avalanche 증식이 발생하여 S_t 값이 감소⁽⁶⁾하는 것으로 사료된다.

그림 6은 n-채널과 p-채널소자의 채널 길이에 따른 누설전류의 변화량을 나타낸 그림이다. 누설전류는 드레인 근처의 전계 크기에 의존한다고 알려져 있다. 그림 6에서 보는 바와 같이 n-채널의 경우 채널 길이가 감소함에 따라 누설전류가 급격히 변하는 것⁽²⁾을 알 수 있고, 채널 폭이 작을 수록 더 큰 변화가 나타나는 것을 알 수 있다. 반면에 p-채널의 경우 채널길이가 감소함에도 불구하고 누설전류의 변화가 거의 없는 것으로 나타났는데, 이것은 p-채널소자의 누설전류가 증가하기에는 채널

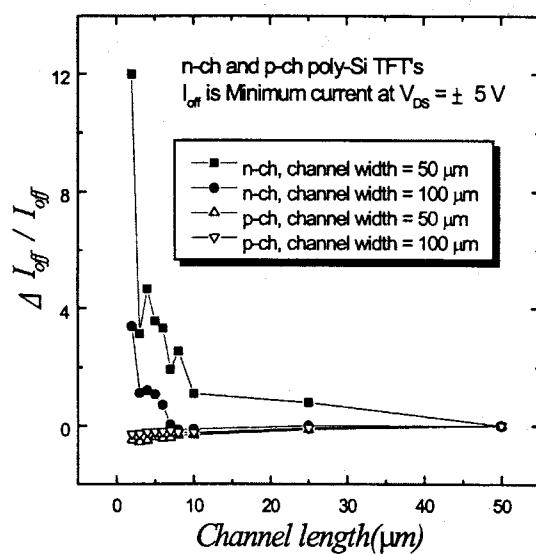


그림 6. $V_{DS} = \pm 5\text{V}$ 일 때 n-채널과 p-채널소자의 채널길이에 따른 누설전류의 변화량

$2\mu\text{m}$ 가 충분히 작지 않기 때문에 생각되어 진다.

4. 결 론

채널 폭은 $50\mu\text{m}$ 와 $100\mu\text{m}$ 이고, 채널 길이는 $2\mu\text{m}$ ~ $50\mu\text{m}$ 인 n-채널과 p-채널 poly-Si TFT's를 제조하였고, 각각의 전기적 특성을 분석하였다.

n-채널과 p-채널소자 모두 kink 효과가 나타났으나 n-채널이 더 큰 kink 효과가 나타났다. 낮은 드레인 전압에서는 전하공유에 의한 문턱전압의 감소가 나타났고, n-채널의 경우 높은 드레인 전압에서는 avalanche 증식이 더 우세한 것으로 나타났다. 또한 n-채널과 p-채널 모두 소오스와 드레인의 implant에 의한 결합으로 RSCE가 나타났다. 채널길이가 짧아짐에 따라 수직 전계의 증가로 인하여 캐리어의 이동도는 감소하였고, S-swing은 avalanche 증식에 의해 감소하는 것으로 나타났다. 누설전류는 n-채널의 경우 채널길이가 감소함에 따라 크게 감소하였고, 채널 폭이 작은 경우 더 큰 감소를 나타냈다. 그러나 p-채널은 채널 길이가 감소함에도 불구하고 누설전류의 변화는 거의 나타나지 않았다.

(참 고 문 헌)

- [1] S. Wolf, Silicon processing for the VLSI era volume 3, Lattice press, pp212, 1995
- [2] Alan G. Lewis et al, "Physical mechanisms for short channel effects in polysilicon thin film transistors", IEDM, pp.349, 1989
- [3] H. I. Hanafi, "A model for anomalous short-channel behavior in submicron MOSFET's", IEEE EDL, vol. 14, pp 575, 1993
- [4] S. Wolf, Silicon processing for the VLSI era volume 3, Lattice press, pp232, 1995
- [5] J. R. Davis et al. IEEE EDL, vol. 7, pp 570, 1986