

## CMOS 이미지 센서를 위한 A/D 변환기의 설계

백경갑<sup>1</sup>, 주병권, 신경식<sup>2</sup>, 이영석<sup>3</sup>, 김근섭<sup>4</sup>, 이윤희, 오명환  
한국과학기술연구원 정보재료 및 소자 연구센터, 대전대학교 전자공학과<sup>1</sup>, 고려대학교 전자공학과<sup>2</sup>,  
청운대학교 전자공학과<sup>3</sup>, 삼성항공<sup>4</sup>

### Design of A/D Converter for CMOS Image Sensor

K.K.Paek<sup>1</sup>, B.K.Ju, K.S.Shin<sup>2</sup>, Y.S.Lee<sup>3</sup>, K.S.Kim<sup>4</sup>, Y.H.Lee, M.H.O  
Electronic Material and Device Research Center, KIST, Dept. of Electronic Eng., Daejin Univ.<sup>1</sup>,  
Dept. of Electronic Eng., Korea Univ.<sup>2</sup>, Dept. of Electronic Eng., Chungwoon Univ.<sup>3</sup>,  
Samsung Aerospace<sup>4</sup>

**Abstract** - In recent years, analog to digital converter is significant component in high frame rate system. But, in the future, as long as minimum line width is reduced, matching between speed and resolution may be worse. In this paper, first-order  $\Sigma-\Delta$  analog to digital converter is adopted and designed as its solutions. Hspice simulation is performed, using 0.65 $\mu$ m CMOS 2-poly 2-metal model parameter.

#### 1. 서 론

많은 FPA(Focal Plane Array) 시스템에서 이미지 센서 어레이와 이미지 처리 회로는 중요한 부분이다. 높은 프레임 속도, 큰 어레이 크기, 높은 fill factor, 높은 픽셀 해상도와 같은 이미지 어레이 기술이 시스템 사양에 포함된다. 지난 몇 년동안 FPA 개발 부분에서 상당한 진보가 이루어져 왔다. 픽셀의 수가 1개 면에 수천개로 증가하고 어레이의 픽셀당 비트의 수 또한 증가하였다. 이러한 경우에, 1개의 포트를 갖는 판독(readout) 시스템을 통해서 FPA 밖으로의 데이터 전송속도가 충분하지 않아 데이터 병목 현상이 일어난다.

기존의 이미지 시스템은 센서 어레이의 데이터를 X-Y 판독한 다음 칩외부에 있는 직렬 A/D 변환기로 전송한다. 하지만, 고속 프레임의 경우, 데이터 병목현상이 일어난다. 이것의 해결책으로 픽셀당 전용 ADC를 갖고 FPA의 뒤로 3차원 배선을 한 병렬 판독 시스템을 고려하였다. 여기서는 아날로그 신호의 처리와 전송을 피하기 위해 가능하면 빨리 A/D 변환을 수행한다. 이 시스템의 장점은 센서 어레이로부터 디지털 데이터를 읽을 때 신호 감쇄가 일어나지 않는다는 것이다. 그래서 본 논문에서는 완전 병렬 이미지 센서를 위한 1차 전류 입력  $\Sigma-\Delta$  오버샘플링 ADC를 설계하였다.

#### 2. FPA 구조

대형 이미지를 실시간으로 높은 KHz나 MHz의 프레임 속도로 다루는 이미지 처리 시스템을 구현하는 것은 현재의 이미지 시스템 능력 밖의 이야기이다. 예를 들면, 500x500의 8비트 이미지 시퀀스를 100KHz의 프레임

속도로 발생하는 1차  $\Sigma-\Delta$  ADC는 현재 실질적으로 거리가 먼 655GHz 이상으로 클럭킹되어야 한다. 병렬 ADC가 이미지 어레이의 모서리를 따라 배치될 때조차도 ADC가 동작하는 속도는 이미지 크기에 따라 증가해야 하기 때문에 부분적으로만 이러한 문제가 경감된다. 500x500의 8비트 이미지를 100KHz의 프레임 속도로 발생하기 위해서는 동일한 면에 1.31GHz 이상으로 클럭킹되는 500개의 ADC가 필요하다. 1개의 die에 이렇게 많은 고속 ADC를 배치하는 것은 현재의 기술에서 벗어나는 문제이다.

완전 병렬 판독 시스템은 각 픽셀이 연관된 ADC를 갖는다. 이러한 픽셀과 ADC의 하부 어레이를 1개의 수직 광 링크와 1개의 디지털 신호처리 장치에 연결하여 이미지 처리한다. 이미지 센서의 fill factor를 최대화하기 위해, ADC 회로의 면적을 최소화 하는 것이 필요하다. 그래서 센서 어레이에서  $\Sigma-\Delta$  ADC의 전단이 픽셀 베이스로 구현된다. 이러한 구조에서는  $\Sigma-\Delta$  ADC 전단에서 디지털 데이터가 출력되기 때문에 잡음이 신호로 유입될 수 없다. 이것은 기존의 모든 FPA 링크에서 사용되던 형식인 아날로그 신호와는 정반대이다.

그림 1은 이미지 센서의 하부 어레이에 대해 설명한다. 각각의 하부 어레이는 8x8 멀티플렉싱 픽셀 블록의 어레이로 구성되며, 여기서 광 검출기와 1개의  $\Sigma-\Delta$  ADC로 각각 구성된다. 통과 트랜지스터가 이용되어 각각의 픽셀 블록이 비트라인에 연결된다. 8개의 행주소 복호기와 8개의 디지털 감지 증폭기를 이용하여 비트라인을 읽는다. 각각의 픽셀 블록은 아날로그 광 신호를 디지털 신호로 변환한다. 전체 시스템은 동기식으로 작동하며 각각의 클럭 펄스후에 각각의 픽셀 블록이 1비트의 데이터를 출력한다. 두번째 칩에 있는 DSP 프로세서와 이미지 전처리 어레이를 연결/배선해주는 각 하부 어레이 상의 집적화된 광전 에미터를 구동하기 위해, 출력된 모든 디지털 출력 신호는 에미터 구동기에 의해 증폭된다.

시스템의 하부 수준에서는, 집적화된 검출기가 광신호를 받아 작은 아날로그 신호를 출력한다. 이 신호는 클럭에 의해 동기되는 비교기에 의해 증폭되고 동기화된

다. 비교기의 디지털 출력은 직렬적으로 DSP 프로세서에 전달된다.

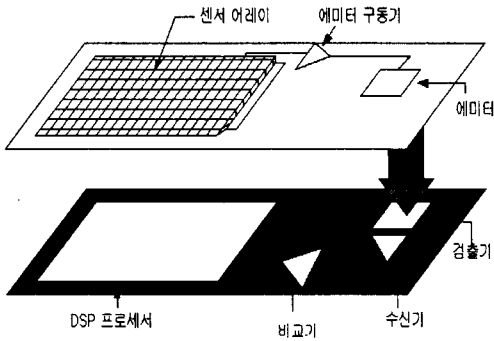


그림 1. 이미지 센서의 하부 어레이

### 3. CMOS $\Sigma$ - $\Delta$ ADC

최근의 단채널 CMOS 공정은 시스템 사양을 초과하는 좋은 속도 성능을 제공해준다. 앞으로 채널길이가 짧아질수록 속도는 개선될 것이다. 하지만, 정확도와 소자 정합은 선풍이 감소할수록 더욱 악화될 것으로 기대된다. 완전 병렬 FPA 시스템의 경우, 수천개의 ADC를 함께 묶을 경우 잠재적으로 심각한 문제가 된다. 여기서 균일한 이미지를 얻으려면 양호한 소자 균일성이 필요하다. 그래서 정확도와 속도를 적절히 고려하는 것이 유리하다. 이것은 속도가 감소되지만 더욱 높은 정확도를 얻을 수 있는 융통성있는 시스템을 얻을 수 있음을 말한다. 그래서 속도와 소자의 부정합을 적절하게 고려한  $\Sigma$ - $\Delta$  전류 입력 1차 오버샘플링 변환기를 이용하였다. 이 ADC에 대한 간단한 구조가 그림 2에 있다.

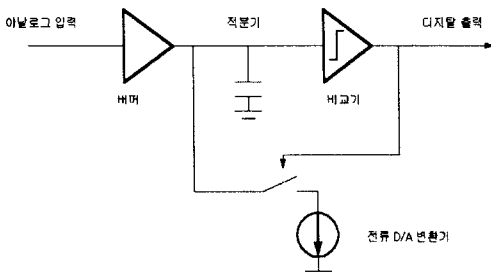


그림 2.  $\Sigma$ - $\Delta$  전류 입력 1차 오버샘플링 변환기

여기서 다루어지는 지능형 FPA 분야에서, 광 검출기와 오버샘플링 변환기 사이에 전류버퍼가 필요하다. 검출기에 낮은 입력 임피던스와 안정한 바이어스를 제공해 주기 위해 판독회로의 전단에서 전류버퍼를 사용했다. 일반적으로 전류버퍼는 검출기의 nonzero 출력 어드미턴스 효과를 줄이기 위해 낮은 입력 임피던스를 제공해주어야 한다. 입력소자는 검출기의 선형성을 개선하기

위해 특정한 dc 바이어스 전압을 제공해 준다. 출력버퍼의 출력은 전류 적분기(커패시터)와 1비트 D/A 변환기(전류원과 스위치)에 연결된다. 적분기 출력(전압)은 전단의 디지털 출력을 발생하는 클럭에 의해 동작하는 비교기로 보내진다. 적분기의 수준이 비교기의 문턱전압 아래로 되도록 D/A 변환기를 동작시킨다. 출력은 아날로그 입력이 펄스폭변조(PWM)된 것이어서 이를 디지털 필터링하면 아날로그 값이 복구된다. 하지만, 펄스폭변조 출력의 특성에서 양자화 잡음이 고주파에서 지배적이 되도록 해야 한다. 그래서 더욱 높은 대역폭 필터가 이를 제거할 수 있도록 해야 한다. 이는 이중경사 변환기가 만드는 신호와는 대조적이다. 이것은 동일한 해상도의 경우에도 매우 높은 데이터 속도로 동작하도록 한다. 부가적으로 출력 디지털값은 커패시터가 아니라, 입력과 D/A 전류원의 값에 의해서만 정해진다. 그래서 변환기가 커패시터 값의 공정변화에 민감하지 않다.

그림 3은 1차 변환기 회로의 상세도이다. 검출기 바이어스는 바이어스 전압원(V)에 의해 제어되고, 이는 다른 픽셀과 공유된다. 전류원(I)은 다른 모든 픽셀과 공유하고 있는 전류 미러로부터 발생된다. 전류버퍼는 캐환루프를 사용하여 검출기 바이어스를 전압원(V)과 동일한 값으로 유지하도록 한다. 전류 DAC는 전류 미러와 전류미러를 on/off시키는 2개의 스위치 트랜지스터로 구성된다. 전류 적분기는 커패시터로 구현되며, 이것의 값은 원하는 최대 입력 신호크기와 최소 동작속도에서 비선형 클리핑이 발생하지 않도록 설정된다. 적분기 전압과 기준 전압을 비교하는 비교기는 1비트 출력 데이터 스트림을 발생한다. 2개의 클럭은 비교시간과 데이터가 유효한 시간을 결정해준다. 비교기는 정제환 차동증폭기와 데이터 래치로 구성된다. 비교기 출력은 DAC로 캐환되어 DAC 캐환 전류를 제어하여 비교기 출력 평균이 입력을 추적할 수 있도록 한다.

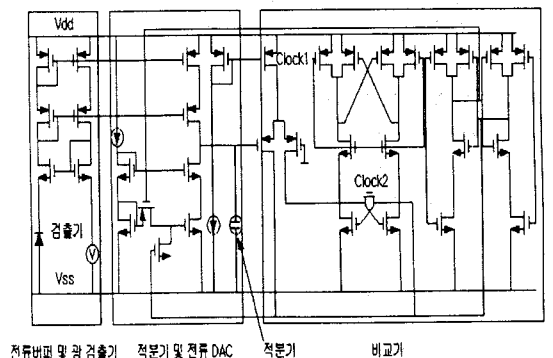


그림 3. 전류버퍼를 갖는 1차 변환기의 회로도

Hspice 시뮬레이션 결과를 분석해보면, 비교기 클럭은 나이퀴스트율의 16배 오버샘플링 비율인 1.6MHz로 동작함을 알 수 있다. 적분기 전압은 800mV를 초과하

지 않으며 최대 입력 전류시 포화되지 않는다. 이는 800fF이 가장 최적의 값을 말해준다. 적분기 전압이 0[V]를 만날때, 비교기는 다음 클럭 신호시 스위칭한다. 이것은 DAC 전류를 on하여 적분기 전압이 다시 0[V]를 만날때까지 계속 유지된다.

#### 4. 결 론

이미지 어레이의 각 픽셀내에 면적밀도가 높은 1차 전류 입력  $\Sigma-\Delta$  변환기를 설계/시뮬레이션하였다. 픽셀 당 전용 ADC는 센서 어레이로부터 디지털 데이터를 읽을 때 신호 감쇄가 일어나지 않게 해준다.

병렬 판독 시스템은 급격히 증가하고 있는 칩외부로의 데이터 전송속도를 해결하는 가장 좋은 선택이다. 3차원 적으로 수직 광통신 링크와 병렬 판독 구조가 결합될 때 거의 완전한 병렬 판독 시스템을 구현할 수 있으리라 생각한다.

#### (참 고 문 헌)

- [1] S.Decker의 3인, "A 256×256 CMOS imaging array with wide dynamic range pixels and column-parallel digital output", IEEE J. Solid-State Circuits, vol.33, no.12, pp.2081-2091, Dec. 1998.
- [2] V.Peluso의 4인, "A 900mV, low-power  $\Delta\Sigma$  A/D converter with 77-dB dynamic range", IEEE J. Solid-State Circuits, vol.33, no.12, pp.1887-1897, Dec. 1998.
- [3] S.Rabii의 1인, "A 1.8V, digital audio sigma-delta modulator in 0.8- $\mu$ m CMOS", IEEE J. Solid-State Circuits, vol.32, no.6, pp.783-796, June 1997.
- [4] F.Chen의 1인, "A 0.25-mW low-pass passive sigma-delta modulator with built-in mixer for a 10-MHz IF Input", IEEE J. Solid-State Circuits, vol.32, no.6, pp.774-782, June 1997.
- [5] S.Au의 1인, "A 1.95V, 0.34mW, 12-b sigma-delta modulator stabilized by local feedback loops", IEEE J. Solid-State Circuits, vol.32, no.3, pp.321-328, Mar. 1997.
- [6] A. M.Marques의 1인, "A 1.95V, 0.34mW, 12-b sigma-delta modulator stabilized by local feedback loops", IEEE J. Solid-State Circuits, vol.32, pp.321-328, Mar. 1997.
- [7] G.M.Yind의 2인, "A high-speed CMOS comparator with 8-b resolution", IEEE J. Solid-State Circuits, vol.27, pp.208-211, Feb. 1992.