

0.25um CMOS를 이용한 고해상도 TV용 1.485Gb/s 직/병렬화기의 설계

류 지열, 홍 영욱, 최 배근, 조 규형
한국과학기술원

1.485Gb/s Tranceiver Design for HDTV Camera System using 0.25um CMOS Process

Ryoo Ji-Yeoul, Hong Young-Uk, Choi Bae-Kun, Cho Gyu-Hyung
KAIST

Abstract - 본 논문은 HDTV camera에 응용할 수 있는 직/병렬화기에 관한 것이다. 송신단은 camera에서 만들어진 영상, 음성 및 제어 74.25Mb/s 20bit 병렬 데이터를 1.485Gb/s의 직렬 데이터로 변환하여 송신하고 수신단은 수신된 직렬 데이터에서 클럭을 추출한 뒤 원래의 74.25Mb/s 20bit 병렬 데이터로 복원한다. 0.25um CMOS공정을 이용하여 설계하였으며 2.5V 단일 전원에서 총 615mW의 전력을 소모한다.

1. 서 론

미국과 일본 및 유럽에서 최근 DTV 방송을 시작하였으며 곧 기존의 NTSC방식의 아날로그 방송을 없애고 디지털 방송으로 모두 대체할 예정이다. 우리 나라도 이에 맞춰 2002년도부터 디지털 방송을 시작할 예정이다. 이러한 디지털 방송은 기존의 아날로그 방식과 달리 모든 영상 및 음성 데이터를 디지털로 처리하고 외부와 송수신 한다. 따라서 camera와 base station간에 데이터를 송수신할 때 한꺼번에 많은 양의 데이터를 실시간으로 전송해야하기 때문에 높은 data rate가 요구될 수밖에 없다. HDTV의 경우는 74.25Mb/s, 20bit 데이터를 1.485Gb/s의 직렬 데이터로 변환하여 coaxial cable이나 optical fiber를 통하여 보내고 base station에서는 수신한 데이터에서 클럭을 추출한 뒤 이 클럭으로 원래의 74.25Mb/s, 20bit 데이터를 복원하게 된다. 이 데이터들은 camera에서 얻어지는 영상과 음성 데이터뿐만 아니라 제어 신호까지 같이 송수신되어야 하므로 camera와 base station에는 각각 직렬화기와 병렬화기가 필요하게 된다. 또한 과거에 bipolar나 GaAs의 영역이었던 RF대역을 최근 CMOS 공정 기술의 급속한 발전에 힘입어 CMOS로써 구현하는 것이 충분히 가능하게 되었다. 그래서 본 논문에서는 저전력, 고집적화가 가능한 CMOS 공정을 이용하여 HDTV에 응용할 수 있는 1.485Gb/s Tranceiver를 설계하였다.

2. 본 론

그림 1은 camera와 base station간의 데이터 전송 구성도이다. 점선으로 표시된 것이 각각 직렬화기와 병렬화기이다. 직렬화기와 병렬화기에 관하여 아래에서 각각 설명하겠다.

2.1 직렬화기 설계

직렬화기는 두 부분으로 구성되어 있다. 기준 클럭으로 서로 다른 위상을 가진 20개의 클럭을 만드는 아날로그 PLL과 이 클럭을 이용하여 20bit의 데이터를 1bit로 만드는 20:1 직렬화기이다.

2.1.1 PLL

일반적으로 기준 클럭으로 칩내부에서 사용할 클럭을 만드는 데 DLL과 PLL이 사용된다. DLL은 loop자체

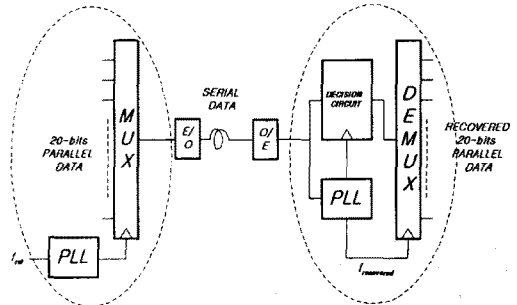


그림 1. Tranceiver Block diagram

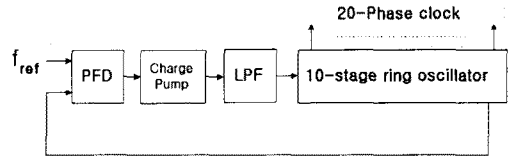
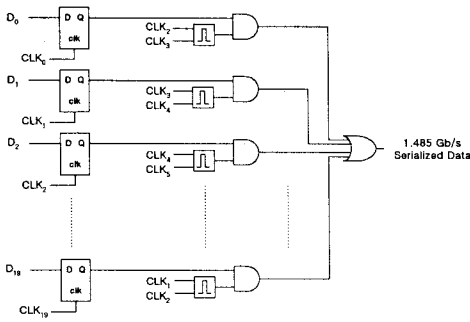


그림 2. PLL in Serializer.

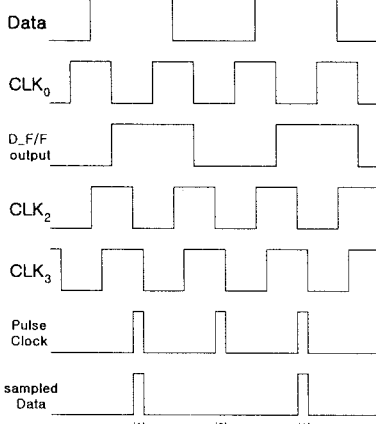
의 특성이 안정하며 지터가 적다는 장점이 있지만 동작 주파수가 높아질수록 위상 비교기와 충전 펌프의 신호 지연으로 인하여 첫 번째 지연된 클럭과 최종 지연된 클럭간의 시간 차이가 지연 소자의 평균 지연보다 크다. 이러한 문제는 직렬화된 데이터의 data rate가 원하는 data rate보다 높아지게 되고 20 bit마다 한번씩 큰 지터가 한 번씩 발생하게 되어 수신단에서 클럭을 복원하는데 어려움을 겪게된다. 그래서 각 클럭간에 위상의 차이가 일정한 클럭을 만들기 위해 그림 2와 같이 ring oscillator를 이용한 PLL을 설계하였다.

2.1.2 20:1 직렬화기

PLL에서 공급받은 20개의 클럭을 이용하여 74.25Mb/s, 20bit 데이터를 1.485Gb/s, 1bit로 만들기 위하여 그림 3과 같은 구조의 20:1 직렬화기를 설계하였다. 각 bit의 데이터를 먼저 D FlipFlop에 저장한 후 인접한 두 클럭을 이용하여 data rate에 해당하는 만큼의 duty cycle을 가지는 20개의 pulse로 각 D FlipFlop에 저장된 데이터를 순차적으로 sample해서 출력으로 내보낸다. 여기에서 사용된 D FlipFlop은 클럭의 skew에 영향을 받지않고 많은 bit수로 인한 소비 전력을 줄이기위하여 TSPC(True Single Phase Clock)를 이용하였다. 이러한 TSPC를 이용하면 20:1 직렬화기에서의 소모 전력을 줄일 수 있을 뿐만 아니라 차동이 아닌 단일 클럭으로 D FlipFlop을 구동할 수 있기 때문에 차동 출력을 만들기 위해 PLL의 ring oscillator를 20-stage로 설계하는데 반해 10-stage로 설계해도 20개의 서로 다른 위상을 가진 클럭을 충분히 얻을 수 있으므로 PLL에서의 소모 전력이 현저히 줄일 수 있다.



(a) 20:1 Serializer



(b) 20:1 Serializer timing diagram

그림 3. 20:1 Serializer

2.2 병렬화기 설계

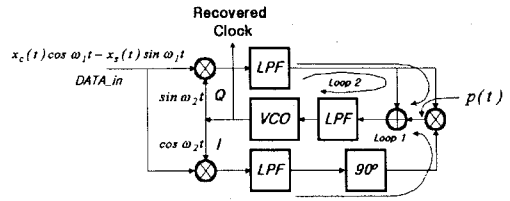
병렬화기도 두 부분으로 나누어진다. 수신단에 crystal oscillator를 사용하면 송신단의 crystal oscillator의 주파수와 같지 않아서 복원된 데이터에 error가 유발되므로 1.485Gb/s 직렬 데이터로부터 클럭을 복원한 뒤 이 클럭으로 74.25Mb/s, 20bit 데이터를 복원해야한다. 따라서 입력된 직렬 데이터에서 클럭을 복원하는 클럭 복원회로가 필요하고 이 클럭을 이용하여 병렬화하는 1:20 병렬화기가 필요하다.

2.2.1 클럭 복원회로

클럭 복원회로로 쓰이는 방식은 크게 두 가지로 나뉜다. SAW 필터를 사용하는 방식과 PLL을 이용하는 방식이 있는데 전자의 경우는 한 칩에 집적화하기가 힘들고 일반적으로 1Gb/s이하에서 많이 사용하며 후자의 경우는 집적화가 가능하며 높은 data rate에서도 사용이 가능하다. 그림 4는 여기에서 사용된 클럭 복원회로로 costas loop이라고 한다. 발진기에서 위상이 90° 다른 두 클럭을 입력 데이터와 위상을 비교한 후 다른 클럭에 비해 위상이 90° 낮은 클럭과 비교한 위상 차이를 미분한 후 두 차이를 곱하면 입력 데이터와 발진기의 주파수 차이에 비례하는 DC 성분이 출력된다. 이때 바깥쪽 loop1은 입력 데이터와 발진기간의 주파수 차이에 해당하는 정보만 얻을 수 있으므로 위상에 대한 정보를 얻을 수 있는 loop2가 필요하게 된다. 이러한 주파수 차이와 위상 차이의 값을 가산기에서 더하고 LPF에 저장하여 발진기의 발진 주파수가 입력 데이터와 같고 입력과 원하는 위상 차이를 만드는 구조이다.

2.2.2 1:20 병렬화기

병렬화기는 크게 두 가지의 방식으로 나눌 수 있다.



$$Ep(t) = \Delta\omega\sigma_r^2 \quad \Delta\omega = \omega_1 - \omega_2$$

σ_r : input variance

그림 4. Costas loop in Deserializer

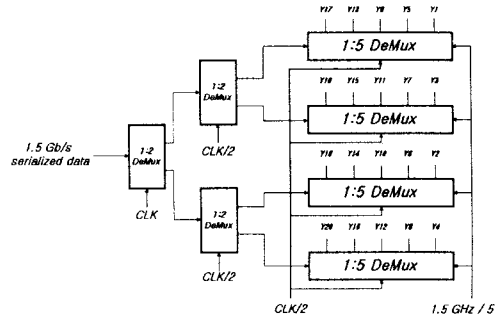


그림 5. 1:20 Deserializer.

첫째 2ⁿ bit에 적합한 tree 구조가 있다. 이러한 방식은 첫 번째 1:2 병렬화기만 입력 데이터와 같은 고주파에서 동작하고 다음 stage로 내려갈수록 주파수가 반으로 떨어지기 때문에 첫 번째 1:2 병렬화기의 설계가 비교적 용이하고 저전력으로 동작이 가능하다. 둘째 2ⁿ bit가 아니더라도 사용할 수 있는 shift register 구조가 있다. 이 방식은 모든 D FlipFlop이 입력 데이터와 같은 주파수에서 동작해야 하므로 D FlipFlop의 설계가 쉽지 않고 전력 소모가 많다. 여기에서는 20 bit의 데이터를 복원해야 하므로 shift register 구조를 사용할 수 있지만 많은 bit 수로 인하여 매우 많은 전력을 소모하므로 고주파에서 동작하는 부분은 tree 구조로 상대적으로 저전력을 도모하고 저주파 부분은 tree 구조로 만들 경우 dummy bit가 발생하는 것을 막기 위해 shift register 구조로서 설계하였다. 그림 5는 전체 1:20 병렬화기로서 고주파 부분은 1:4 tree 구조로 저주파 부분은 1:5 shift register 구조로 이루어져 dummy bit가 없고 설계가 용이하고 다른 구조에 비해 상대적으로 저전력 동작이 가능하다.

2.3 모의 실험 및 칩 제작

직렬화기는 85°C, 2.5V 전원 하에서 95mW의 전력을 소모하고 병렬화기는 520mW의 전력을 소모한다. 그림 6은 직렬화기의 50Ω 부하의 1.485Gb/s 직렬 데이터 최종 출력 파형이다. 그림 7은 병렬화기의 최종 74.25Mb/s 20bit 최종 출력 파형이다. 그림 8은 직/병렬화기의 layout으로 아남 0.25um CMOS 공정을 사용하여 설계하였다. 현재 칩이 제작 중이고 12월중 칩 제작이 완료될 것으로 예상하고 있다.

3. 결 론

과거에 Gb/s급 직렬 통신용 칩들은 대부분 f_T 가 높고 g_m 이 큰 bipolar나 GaAs로 설계되어 있다. 본 논문에서는 상대적으로 f_T 와 g_m 은 작지만 고집적, 저전력이 가능한 CMOS로 HDTV용 1.485Gb/s 직/병렬화기를 설계하였다. 또한 앞서 말한 바와 같이 CMOS 공정의 design rule이 낮아짐으로써 CMOS로도 Gb/s

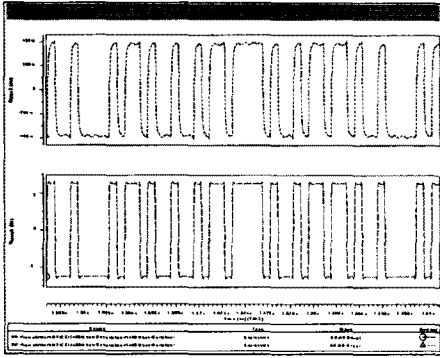


그림 6. 1.485Gb/s Serializer output waveforms

직렬 통신용 칩의 설계 및 제작이 가능하고 여기에서 설계한 HDTV용 1.485Gb/s 직/병렬화기는 충분히 CMOS로도 Gb/s 직렬 통신용 칩을 설계할 수 있음을 보여준다.

[참 고 문 헌]

- (1)D. Messerschmitt, Frequency Detectors for PLL Acquisition in Timing and Carrier Recovery, vol. Com-27, pp 1288-1295, September, 1979
- (2)B. Razavi, 2.5-Gb/s 15-mW Clock Recovery Circuit, IEEE J. Solid- State Circuits, vol. 31, pp 472-480, April, 1996
- (3)F. Sato, A 2.4 Gb/s Receiver and a 1:16 Demultiplexer in One Chip Using a Super Self-Aligned Selectively Grown SiGe Base (SSSB) Bipolar Transistor, IEEE J. Solid-State Circuits, vol 31, pp 1451-1456, Oct, 1996
- (4)K.Ishida, A 10-GHz, 8-bit Multiplexer/Demultiplexer ChipSet for the SONET SRS-192 System, IEEE, J.
- (5)H. Ransijn, A PLL-Based 2.5 Gb/s GaAs Clock and Data Regenerator IC, IEEE J. Solid-State Circuits, vol 26, pp 1345-1352, Oct, 1991

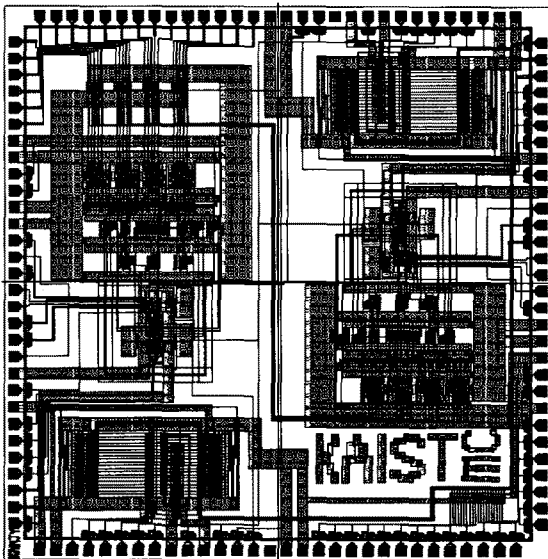


그림 8. 1.485Gb/s Tranceiver Layout

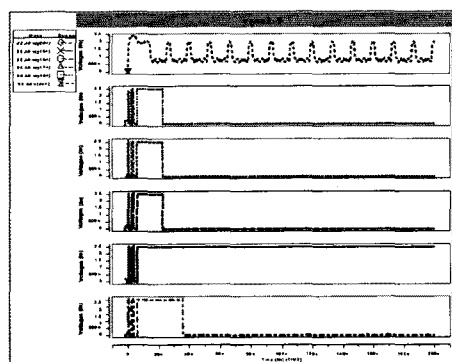
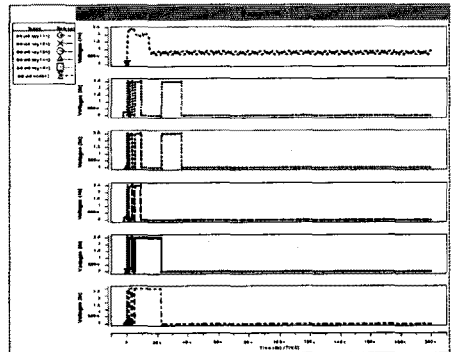
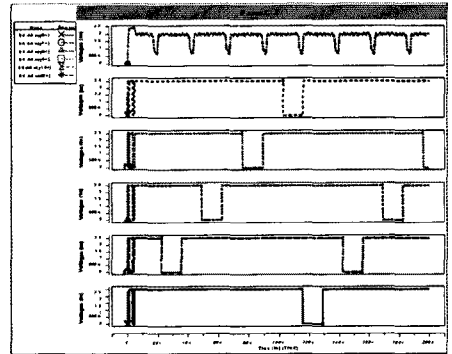
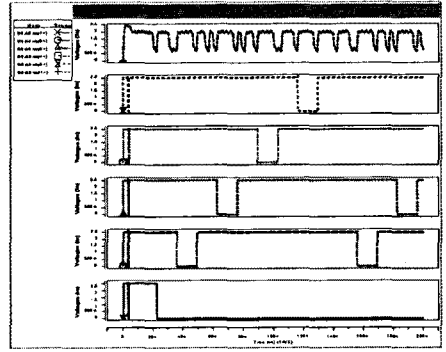


그림 7. 1.485Gb/s Deserializer output waveforms