

PLL 고정시간의 저감대책 수립과 저 지터 구현을 위한 위상-주파수 감지기의 설계

정석민*, 이종석, 김종열, 우영신, 성만영
고려대학교 전기공학과

A Design of Phase-Frequency Detector for Low Jitter and Fast Locking Time of PLL

S. M. Jung*, J. S. Lee, J. R. Kim, Y. S. Woo, M. Y. Sung
Department of electrical engineering, Korea Univ.

Abstract - In this paper, a new precharge type PFD for fast locking time of PLL is suggested. It is realized by inserting NMOS transistor and inverter into the precharge part of PFD for isolating the reset of the Up signal from the feedback signal. The new precharge type PFD generates the Up signal while the feedback signal is fixed at a high level. Therefore the new PFD output is increased than the conventional precharge type PFD output. As a result of the increased PFD output, fast locking of PLLs is achieved. Additionally, with control the falling time of the inverter, the dead-zone is reduced and the jitter characteristics are improved. The whole characteristics of PFD and PLL are simulated by using HSPICE.

Simulation results show that the dead-zone is 20ps and the locking time of PLL using the new PFD is 38ns at the 350MHz frequency of reference signal. This value is quite small compared with conventional PFD.

1. 서 론

여러 개의 VLSI 칩들로 구성되는 고속 통신 시스템에서 외부의 동기된 클럭 신호를 각 칩에 공급하더라도 각 칩 내부의 커패시턴스에 대한 부하값이 다르기 때문에 칩마다 클럭 신호의 타이밍이 서로 다르게 된다. 따라서 이들 칩간의 클럭 스쿠(clock skew)로 인해 데이터 전달과정의 고속화와 정확성에 문제점이 발생하게 된다. 이런 문제점을 해결하기 위해 PLL(phase-locked loop)은 통신 시스템에서 매우 중요한 부분으로 자리잡게 되었다^(1, 2, 4).

PLL은 위상에 대한 네가티브 피드백 루프를 사용하여 입력신호와 출력신호의 위상 차이를 줄여 동상이 되게 하는 비선형 소자로서 특히 위상 차이를 감지하는 위상 감지기(phase detector : PD)의 역할이 중요하다. PLL이 주파수 변조와 복조에 응용되기 위해서 빠른 고정시간이 필요한데 빠른 고정시간은 정보의 고속화와 정확성을 이룰 수 있기 때문에 많은 연구가 이루어지고 있다. 주파수 차이를 감지하는 영역에서 루프 필터에 더 많은 전하를 주입하여 고정시간을 감소시키고, 위상 감지와 주파수 감지기능을 따로 분리시켜 고정시간을 감소시키는 연구가 활발히 진행되고 있다⁽⁵⁾. 주파수가 차이나는 두 입력신호에 대해서 위상 및 주파수 감지를 하는 기존의 PFD(phase-frequency detector)가 출력에 제한이 있는 문제점을 나타내므로^(2, 3, 4), 본 논문은 PFD의 출력신호를 증가시켜 PLL의 고정시간(locking time)을 감소시키고, 위상 차이를 구분할 수 없는 데드존을 감소시켜 감지 가능한 위상 차이를 최소화하는 새로운 PFD를 고안하여 PLL의 고속동작과 지터 특성을

향상시키는 PFD를 제안하였다. 제안한 PFD의 동작특성 파악을 위해 기존의 PFD로 구성된 PLL과 제안한 PFD로 구성된 PLL을 설계하였고, 동작특성을 비교·분석하기 위해 HSPICE로 시뮬레이션하여 데드존과 고정시간을 측정하였다. 시뮬레이션에 사용된 트랜지스터는 0.6 μ m 표준 CMOS 모델 파라미터를 사용하였다.

2. 본 론

2.1 새로운 선충전(precharge) 형태의 PFD로 구성된 PLL의 설계

2.1.1 새로운 선충전 형태의 PFD의 설계 및 고정 시간 해석

그림 1에 새로운 선충전 형태의 PFD 회로도도를 나타내었다. 회로구조는 선충전 노드(pc1과 pc2) 아래에 피드백신호와 직접 연결되는 NMOS 트랜지스터와 인버터(inv1과 inv3)에 의해 연결되는 NMOS 트랜지스터로 구성된 Up과 Dn 신호 발생부로 이루어져 있다.

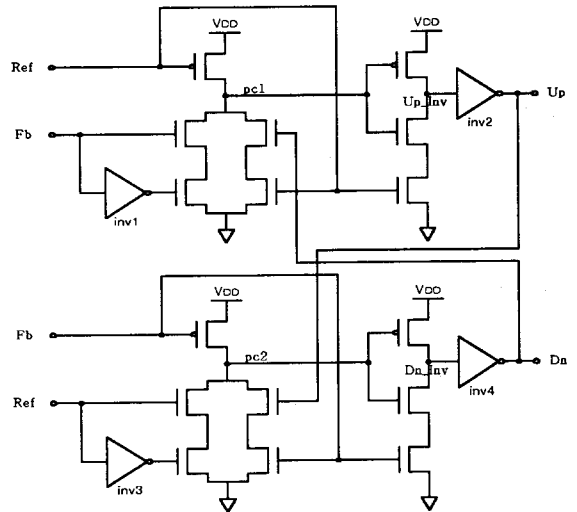


그림 1. 새로운 선충전 형태의 PFD 회로도

그림 2에 위상 감지기능을 하는 전압파형을 나타내었다. 기준신호(Ref)가 피드백신호(Fb)보다 앞설(lead) 때의 동작을 살펴보면 기준신호가 '0'인 동안 노드 pc1은 선충전되어 있다가 기준신호가 '1'로 상승할 때 이 선충전 노드에 의해서 Up_inv 노드는 '0'으로 방전되어 Up 신호가 발생한다. 이후 피드백신호가 '0'에서 '1'로 상승할 때 피드백신호에 직접 연결된 방전 트랜지스터는 턴 온되고 인버터 출력에 연결된 방전 트랜지스터는 인버터의 지연시간으로 인해 순간적으로 턴 오프되지 않고

지연시간동안 턴 온 상태에 머무름으로써 선충전 노드는 지연시간동안 방전되어 Up과 Dn 신호는 '0'으로 리셋된다. 특히 기존의 선충전 형태의 PFD와 다른 점은 피드백신호가 '1'로 상승할 때 인버터(inv1과 inv3)의 지연시간동안 선충전 노드가 방전되어 위상 감지기능을 수행하고, 인버터(inv2와 inv4)의 하강시간을 길게 조절하여 두 입력신호의 위상 차이가 작게 발생할 때 위상 차이를 감도 높게 감지함으로써 데드존을 감소시킨 점이다.

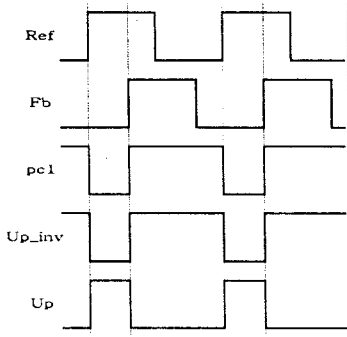


그림 2. 새로운 PFD의 전압파형 - 위상 감지기능

그림 3에 주파수 감지기능을 하는 전압파형을 나타내었다. 주파수 감지기능은 Up과 Dn 노드에 교차되어 연결된 선충전 노드 밑의 NMOS 트랜지스터에 의해서 이루어지지만 기준신호와 피드백신호가 '1'일 때 기존구조에서는 리셋이 이루어지지만 새로운 선충전 형태의 PFD에서는 과거상태에 따라 선충전 노드의 방전이 이루어져 리셋된다. 따라서 대부분 Up 신호가 발생되어 평균 출력전압이 0.5V_{DD}보다 크고 점선으로 표시한 기존 구조의 Up 신호보다도 크게 된다.

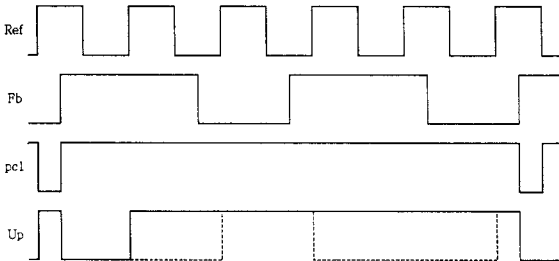


그림 3. 새로운 PFD의 전압파형 - 주파수 감지기능
(— : 새로운 PFD 파형, ... : 기존의 PFD 파형)

고정시간은 lock-in 시간(T_L)과 pull-in 시간(T_P)의 합으로 주어진다. lock-in 시간과 pull-in 시간은 다음과 같은 식으로 주어진다⁽⁵⁾.

$$T_L \approx \frac{2\pi}{\omega_n}, \quad T_P = \frac{4}{\pi^2} \cdot \frac{(\Delta\omega_{i0})^2}{\zeta\omega_n^3}$$

여기서 $\Delta\omega_{i0}$ 는 두 입력신호의 초기 주파수 차이이고 ζ 는 감쇠비(damping ratio)이다. 이 식으로부터 고정시간은 고유 주파수(natural frequency) ω_n 에 반비례함을 알 수 있다. 그리고 고유 주파수는 PFD 출력에 비례하므로 고정시간을 감소시키려면 결과적으로 PFD 출력을 증가시켜야 한다. 제안한 PFD가 기존의 PFD보다 출력이 크므로 고유 주파수가 증가되어 결과적으로 PLL의 고정시간이 감소됨을 예상할 수 있다.

2.1.2 전하 펌프와 루프 필터의 설계

그림 4에 전하 펌프와 루프 필터의 회로도를 나타내었다. 전하 펌프에서 스위치 역할을 하는 PMOS 트랜지스터 위의 전류원은 PMOS 전류 거울 회로를 이용하여 구현하고 NMOS 트랜지스터 밑의 전류원은 NMOS 전류 거울 회로를 이용하여 구현하였다. 한편 루프 필터는 고정상태에서 위상 오차가 0이 되는 저항과 커패시턴스로 구성된 수동(passive) RC 필터로 구현하였다. 여기서 커패시턴스 C_P를 저항에 병렬로 연결하여 제어전압이 계단(step) 변화를 하지 않도록 하였다. C_P의 값은 C의 1/10배로 설계하였고, 저항 R은 루프의 감쇠비가 1/√2로 되어 시스템이 안정하도록 설계하였다.

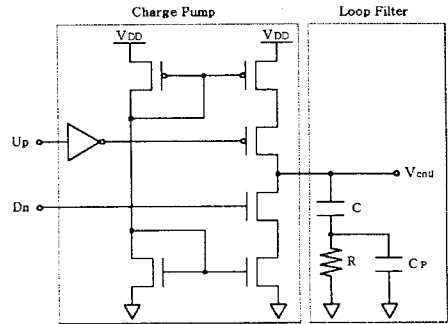


그림 4. 전하 펌프와 루프 필터의 회로도

2.1.3 링 발진기 형태의 전압 제어 발진기의 설계

전압 제어 발진기는 인버터와 2개의 전류원으로 이루어진 9개의 기본 셀(cell)과 전류원에 전류를 공급하는 전류 거울 회로로 구성된 링 발진기 형태로 구현하였다. 전류원은 제어전압이 2V일 때 300μA의 전류가 흐르도록 설계하였고, 인버터는 지터가 없는 구조가 되도록 설계하였다.

2.2 시뮬레이션 결과 및 고찰

새로운 선충전 형태의 PFD로 구성된 PLL의 고정시간이 기존의 선충전 형태의 PFD로 구성된 PLL의 고정시간보다 감소되는 결과를 시뮬레이션을 통해 비교 관찰함으로써 새로운 PFD의 우수성을 평가하고자 하였다.

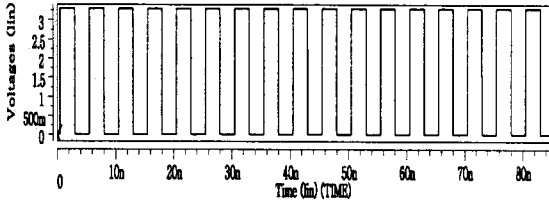
그림 5에 기준신호의 주파수가 100MHz이고 피드백신호의 주파수가 25MHz인 경우에 대한 시뮬레이션 결과를 나타내었다. 기준신호의 주파수가 빠르므로 Up 신호가 발생하는 것을 볼 수 있지만, 기존의 PFD와 달리 새로운 PFD에서는 피드백신호가 '1'일 때에도 Up 신호가 발생하여 기존의 선충전 형태의 PFD로 구성된 PLL보다 고정시간이 감소될 수 있음을 예상할 수 있다.

그림 6에 위상 차이를 감지할 수 없는 데드존을 비교하여 나타내었다. 기존의 선충전 형태의 PFD에서는 데드존이 40ps로 측정되었지만, 새로운 선충전 형태의 PFD에서는 20ps로 측정되어 50% 감소되었음을 확인할 수 있었다.

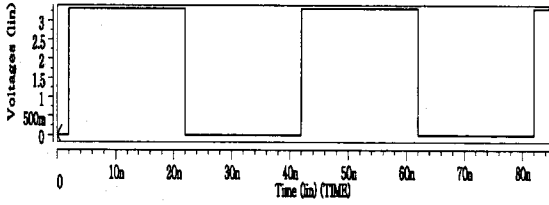
그림 7에 피드백신호의 주파수가 50MHz로 일정하고 기준신호의 주파수가 피드백신호 주파수의 3~8배인 150MHz에서 400MHz로 변화할 때 제어전압이 0V에서 3.3V까지 증가하는 시간을 나타내었다. 기존 PFD의 증가 시간보다 새로운 PFD의 증가 시간이 평균적으로 약 40% 감소되었음을 볼 수 있다. 이는 주파수 차이가 나는 두 입력신호가 인가되었을 때 기존의 PFD보다 새로운 PFD가 평균 출력전압이 커서 나타나는 결과이므로 고정시간이 감소됨을 예상할 수 있다.

그림 8에 기준신호의 주파수를 200~425MHz로 변화시켰을 때 PLL의 고정시간을 비교하여 나타내었다. 새로운 PFD로 구성된 PLL의 고정시간이 평균적으로 약 30% 감소되었음을 확인할 수 있었다. 특히

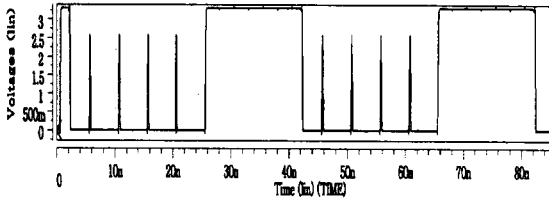
350MHz에서는 기존의 PFD로 구성된 PLL의 고정시간은 87ns이고 새로운 PFD로 구성된 PLL의 고정시간은 38ns로 56% 감소되었음을 확인할 수 있었다.



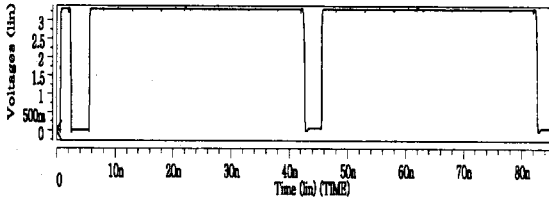
(a) 기준신호 - 100MHz



(b) 피드백신호 - 25MHz



(c) Up 신호 - 기존의 PFD



(d) Up 신호 - 새로운 PFD

그림 5. 기존의 PFD와 새로운 PFD의 출력신호 비교

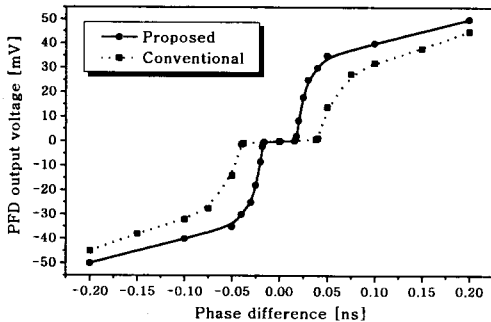


그림 6. 데드존의 비교

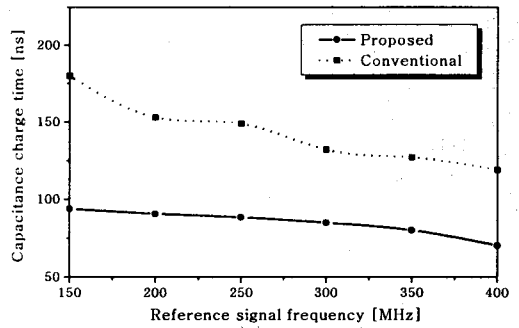


그림 7. 커패시턴스 충전시간의 비교

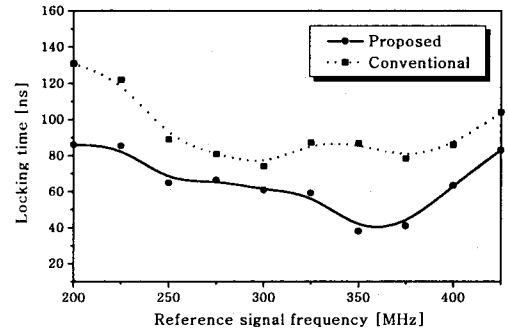


그림 8. 고정시간의 비교

3. 결 론

본 논문에서는 기존의 선충전 형태의 PFD가 가지고 있던 고정시간 감소에 제한이 있는 문제점을 해결한 새로운 선충전 형태의 PFD를 제안하였다. 피드백신호가 '1'로 일정하더라도 PFD 출력신호를 발생시킴으로써 고정시간을 감소시키고, 인버터의 하강시간을 조절하여 위상 차이를 과대 평가함으로써 데드존을 감소시켜 지터 특성을 향상시켰다. 시뮬레이션 결과 데드존은 기존구조의 1/2인 20ps로 측정되었고, 고정시간은 기준신호가 200~425MHz의 범위에서 기존의 PFD로 구성된 PLL보다 30% 감소되었으며 350MHz에서는 38ns로 측정되어 최고 56% 감소되었다. 따라서 빠른 고정시간을 갖는 PLL 특성으로 인해 주파수 변조기와 복조기에 서 고속 동작을 위해 사용될 것으로 판단된다.

(참 고 문 헌)

- [1] Behzad Razavi, "Monolithic Phase-Locked Loops and Clock Recovery Circuits", IEEE PRESS, 1996
- [2] Harufusa KONDOH et al., "A 1.5-V 250-MHz to 3.0-V 622-MHz Operation CMOS Phase-Locked Loop with Precharge Type Phase-Frequency Detector", IEICE TRANS. ELECTRON, VOL. E78 C. NO 4, pp 381~388, 1995
- [3] Henrik O. Johansson, "A Simple Precharged CMOS Phase Frequency Detector", IEEE J. Solid-State Circuit, Vol. 33, No. 2, pp. 295~299, 1998
- [4] Hiroyasu YOSHIZWA et al., "A Low Power 622MHz CMOS Phase-Locked Loop with Source Coupled VCO and Dynamic PFD", IEICE TRANS. ELECTRON, VOL. E80 A. NO. 6, pp 1015~1020, 1997
- [5] P. Larsson, "Reduced pull-in time of phase-locked loops using a simple nonlinear phase detector", IEE Proc.-Commun., Vol. 142, No. 4, pp 221~226, 1995