

VHDL을 이용한 다이오드정류기의 고조파 저감을 위한 컨트롤러의 제작

오정언*, 서영조, 심우혁, 김병진, 전희중
송실대학교 전기공학과

The Development of Controller for Reducing Harmonics of Diode Rectifier using VHDL

Jeong-Eon Oh*, Young-Jo Seo, Woo-Hyuk Shim, Beung-Jin Kim, Hee-Jong Jeon
Soongsil University Electrical Eng.

Abstract - 본 연구에서는 VHDL로 설계한 제어기를 이용하여 3상 다이오드 정류기의 입력파형 개선을 수행하였다. 일반적인 부하측에 흐르는 전류는 매 순간 3상 중에서 가장 높은 상에서 가장 낮은 상으로 흐르게 되므로 나머지 한 상의 전류가 불연속적으로 흐르게 된다. 이때 다이오드로 도통되지 않는 상의 전류는 부가한 스위치를 통하여 흐르게 되어 전류의 연속성을 얻을 수 있다. 이러한 동작을 위해 제안된 제어기는 입력신호에 맞추어 적절한 PWM 신호를 스위치에 인가함으로써 정류기의 역률 개선 및 고조파 저감의 효과를 얻을 수 있었다. FPGA제어기는 기존의 DSP를 이용한 제어기에 비해 작은 소비전력을 사용하며 제작기간을 줄일 수 있고 소형화시킬 수 있는 장점을 가짐을 확인하였다.

1. 서 론

최근 들어 집적회로 제조기술이 발달함에 따라서 설계자의 응용 목적에 맞는 칩셋의 개발이 활발히 이루어지고 있다. 칩 용량의 증가와 개발장비의 정밀화와 더불어 발달된 ASIC(Application Specific Integrated Circuits) 기술을 산업에 적용함으로써 하드웨어의 간략화, 처리 속도의 증가, 신뢰성 및 저가격화 등의 이점들을 얻을 수 있다.

ASIC은 다음과 같이 여러 가지 종류로 나눌 수 있다. 먼저 full-custom IC 제작 방식은 설계자가 로직 셀과 회로등의 대부분 과정을 설계하는 방식으로 마이크로 프로세서와 같이 독자적인 기능이나 속도를 얻고자 할 경우에 적용된다. standard-Cell-Based ASIC(CBIC: Cell-Based IC) 방식은 multiplexers, OR gates 또는 counter와 같이 미리 정해진 standard cell이라는 로직 셀을 이용하여 설계한다. FPGA(Field-Programmable Gate Array)는 PLD(Programmable Logic Device) 보다 큰 용량의 복잡한 구조를 갖는 형태이다. 따라서 FPGA는 CPLD(Complex PLDs)라고도 불려진다. 본 연구에서는 구현이 용이하고 제작기간이 빠른 FPGA를 이용하였다.

VHDL(Very high speed IC Hardware Description Language)은 디지털 시스템의 구조와 동작을 기술하는 언어이다. ASIC 칩의 용량이 증가함에 따라서 Schematic한 방법에서의 디지털 시스템 설계는 사실상 매우 힘들다. VHDL을 이용하여 개발 기간단축, 호환성 증가 및 효율적인 데이터 관리가 가능하다.

VHDL은 시스템 레벨에서 게이트 레벨까지 다양한 하드웨어 회로 구현이 가능하다. 따라서 전체 시스템의 동작에 대한 고수준의 표현과 그것에 부속되는 서브 시스템과 서브 시스템의 개개 단위 구성에 이르기까지 회로 표현이 가능하게 되어 있다. 그 결과 VHDL의 사용자는 개개 구성에서부터 여러 가지 모델을 적용시켜 점검하게 하여 그 시스템에 가장 적합한 구성요소를 선택할 수 있다. 또한 VHDL 사용자는 시스템의 한 구성요소를 변경하거나, 타 업체에서 이용되고 있는 설계 단위

로 교환하거나 혹은 기존의 것을 재 사용할 수가 있다. 그리고 전체 시스템의 설계과정과 상관없이 먼저 개발된 서브시스템 레벨을 시뮬레이션하고 검증하는 등 설계과정의 병행수행을 할 수도 있다. 그리고 VHDL은 대규모 설계를 위한 설계의 공유, 검증, 관리를 지원하기 위해 패키지(Package), 구성요소(Configuration Declaration) 및 하나의 entity에 따른 여러 개의 architecture body 표현 등을 지원한다(4).

본 연구에서는 3상 다이오드 정류기의 입력 역률 개선을 위한 제어기를 FPGA를 이용하여 구현하였다. 3상 다이오드 정류기의 입력단 선전류의 불연속성으로 고조파의 발생 및 역률저하가 발생된다. 이러한 문제를 해결하기 위해 기존의 3상 브리지 다이오드 정류기에 간단하게 3개의 양방향성 스위치와 FPGA를 이용한 제어기를 설치하여 도통되지 않는 상의 전류가 이 스위치를 통해서 연속적으로 흐를 수 있게 하였다. 따라서 전류가 연속적으로 흐르게되어 입력단 선전류의 전고조파왜곡률(THD)과 역률(power factor)의 개선을 가져왔다. 구현된 FPGA 제어기는 DSP(Digital Signal Processor)를 이용한 제어기와 동일한 성능을 가짐을 확인하였으며 오히려 제안된 제어기가 디지털 프로세서 제어기에 비해 노이즈의 발생이 저감됨을 확인하였다.

2. 본 론

2.1 VHDL을 이용한 FPGA제어기의 설계

FPGA를 이용한 칩셋 개발과정은 다음과 같다. 먼저 구현될 칩의 사양을 정의하고 정의된 사양을 근거로 칩의 입,출력을 정한다. 사양에 정의된 칩의 기능을 VHDL, Verilog-HDL 또는 Schematic등을 통하여 설계한다. 설계된 기능을 시뮬레이션을 통하여 검증한다. 검증이 확인된 결과물을 구현될 칩에 맞추어 Mapping, Placing 그리고 Routing 과정을 수행한다. Routing까지 처리된 결과물을 원하는 형태의 칩셋에 다운로드 한다. 마지막으로 만들어진 칩셋의 동작을 확인한다(5).

제어기의 동작은 다음과 같다. 개발된 제어기는 전압 센서에서 측정된 3상의 전압의 제로 크로싱 신호들과 전류센서로 측정된 입력 선전류를 입력받는다. 3개의 제로 크로싱 전압을 이용하여 스위칭을 할 상을 결정하고 선전류 입력을 이용하여 듀티비를 결정한다. 이렇게 결정된 PWM스위칭이 부가된 3개의 스위치에 인가된다. 그림 1은 제어기의 구성이다.

2.2 FPGA제어기를 이용한 다이오드 정류기 제어

본 연구에서 제안된 시스템의 전체 구성은 그림 2과 같다. 일반적인 다이오드 정류기에 스위칭 소자와 제어회로가 부가되었고 콘덴서가 병렬로 연결되어 있는 것이 차이점이다.

부하측에 흐르는 전류는 매 순간 3상중에서 가장

높은 상에서 가장 낮은 상으로 흐르게 되므로 나머지 한 상의 전류가 불연속적으로 흐르게 된다. 이때 다이오드로 도통되지 않는 상의 전류는 부가한 스위칭 중에서 한곳을 통하여 흐르게 되어 전류의 연속성을 얻을 수 있다. 각 상의 스위치는 상전압이 영점을 지난 전/후 30° 동안 PWM 동작을 한다. 이 두 구간을 각각 최대나 최소 지점을 향해서 증가하는 30° 동안을 증가구간이라고 하고, 반대로 최대나 최소점에서 하강하는 30° 동안을 감소구간이라고 하였다. 그림 3은 증가와 감소 구간에서의 스위칭을 보여주고 있다. PWM의 듀티비는 부하변동에 따라서 최소의 THD를 갖게 설정되었다.

제어회로는 검출부로부터 매 순간 다이오드로 도통되지 않는 상을 검지하여 부하에 따라서 최소의 THD를 갖게 하는 PWM 파형을 인가한다.

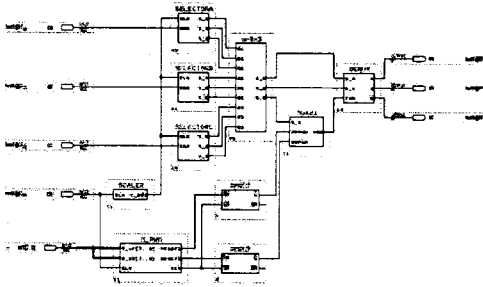


그림 1. FPGA의 논리 회로 블럭

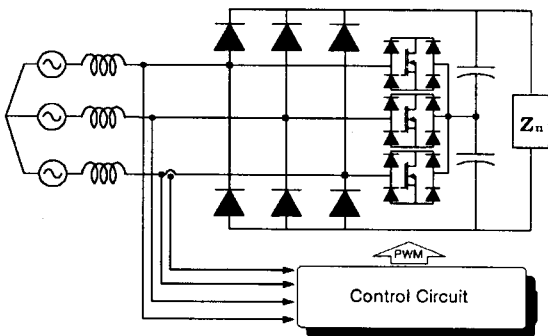


그림 2. 전체 시스템의 구성

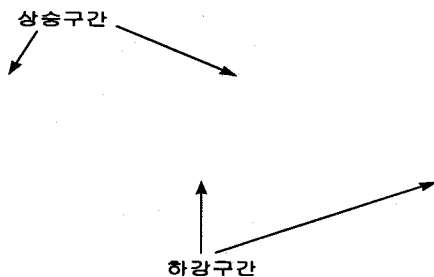


그림 3. 상전압 파형과 PWM

3. 실험 및 고찰

본 연구에는 다이오드 정류기의 입력 파형 개선을 위한 라인 필터는 12.68mH를 사용하였고 DC 링크 캐패시터 (capacitor)는 600 μ F를 이용하여 직류전압 평활에 사용하였다.

그림 4는 FPGA 제어기의 시뮬레이션 출력 파형을 보여주고 있다.

그림 5는 3상 다이오드 정류기의 입력단에 라인 필터용 인덕터를 삽입했을 경우의 전압과 전류 파형이다. 전압의 영점을 기준으로 30도 구간에서의 전류의 불연속성이 존재하며 전압에 대해 전류의 파형이 크게 지상이 됨을 확인할 수 있었다.

그림 6은 제안된 FPGA 제어기를 이용한 3상 다이오드 정류기의 입력 전류, 전압파형이다. 각 상의 전압이 영점을 기준으로 30도 전후인 구간에서 스위칭을 인가한다. 따라서 전류가 연속적으로 도통되어 THD 및 역률 개선의 효과를 얻었다.

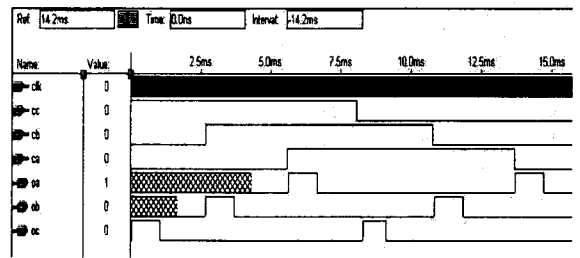


그림 4. 전부하 인가시 FPGA제어기의 시뮬레이션 파형

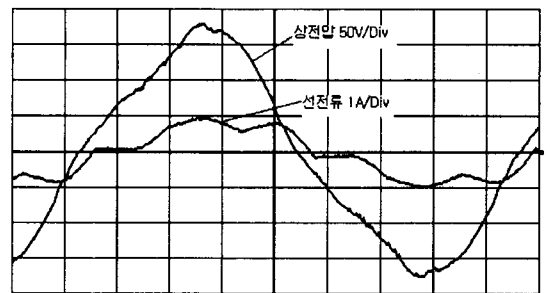


그림 5. 라인 필터를 갖는 3상 다이오드 정류기의 전압, 전류 파형(2ms/Div)

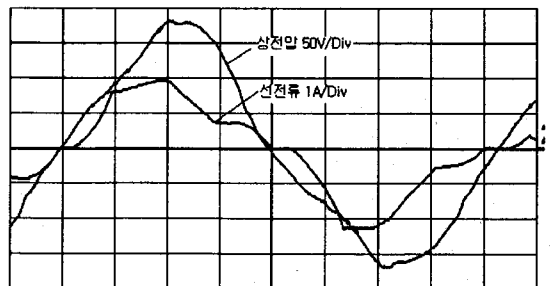


그림 6. 제안된 3상 다이오드 정류기의 전압, 전류 파형(2ms/Div)

5. 결 론

ASIC기술의 급진적인 발전과 더불어 장차 설계자의 용도에 맞는 칩셋의 개발이 활발히 이루어질 것으로 예상된다. 또한 다양한 기능의 라이브러리를 제공하는 씨드 파트의 등장으로 하드웨어 제작공정의 소프트웨어화가 추진되고 있다.

본 연구에서는 VHDL로 설계한 FPGA 제어기를 이용하여 3상 다이오드 정류기의 입력파형 개선을 수행하였다. 제작된 제어기는 입력신호에 맞추어 적절한 PWM 신호를 스위치에 인가함으로써 정류기의 역률 개선 및 고조파 저감의 효과를 얻을 수 있었다. FPGA제어기는 기존의 DSP를 이용한 제어기에 비해 작은 소비전력을 사용하며 제작기간을 줄일 수 있고 소형화시킬 수 있는 장점을 가짐을 확인하였다.

[참 고 문 헌]

- [1] I. Barbi, J.C. Fagundes and C.M.T. Cruz, "A new low cost high power factor three-phase diode rectifier with capacitive load", IEEE Applied Power Electronics Conference(APEC '94) Proceedings, pp.745~751, February, 1994.
- [2] Salmon and J.C., "Circuit topologies for pwm boost rectifiers operated from 1-phase and 3-phase ac supplies and using either single or split dc rail voltage outputs", IEEE Applied Power Electronics Conference(APEC '95) Proceedings, pp.473~479.
- [3] A. R. Prasad, P. D. Ziogas and Manias, "An active power factor correction technique for three-phase diode rectifiers", IEEE Power Electronics Specialists Conference (PESC '89) Records, pp. 58-66, June 1989.
- [4] Michael John Sebastian Smith, "Application-Specific Integrated Circuits", Systems Series.
- [5] "Top-Down방식에 근거한 ASIC/FPGA회로 설계", ASIC 지원센터.